



Grado en Ingeniería Electrónica Industrial y Automática

Trabajo Fin de Grado

SISTEMA DE MEDIDA COMPACTO ULTRA- RÁPIDO PARA SENSORES BASADOS EN REDES DE BRAGG EN FIBRA

Autor: Luis Trapero Moreno

Tutor: José Antonio García Souto

Departamento de Tecnología Electrónica

Septiembre 2017

RESUMEN

Este proyecto consiste en el diseño de un sistema de instrumentación compacto basado en sensores de fibra óptica para la medida de deformaciones dinámicas.

Las aplicaciones de este sistema están principalmente enfocadas a distintos tipos de ensayos de vibraciones, de emisión acústica o de ultrasonidos.

Se emplea un láser comercial de emisión superficial y cavidad vertical (VCSEL) y se propone un sistema electrónico para controlar la emisión del láser y acondicionar la salida de una red de Bragg en fibra.

A partir de un láser de emisión superficial y cavidad vertical (VCSEL), usado como fuente con longitud de onda sintonizable, se ha realizado un sistema de medida que detecta el espectro de reflexión del sensor basado en una red de Bragg grabada en fibra (FBG) con alta tasa de repetición.

Se ha diseñado este sistema para que sea compacto con salida PWM, proporcionando los bloques necesarios para poder funcionar en tiempo continuo. El trabajo incluye el modelado funcional y simulación del sistema mixto formado por circuitos electrónicos y componentes fotónicos, optoelectrónicos y de fibra óptica. Incluye la implementación del sistema de medida basada en circuitos modulares, varios de ellos desarrollados durante el proyecto, susceptibles de ser integrados en un prototipo compacto y completamente funcional para su utilización en ensayos de vibraciones, en ensayos de emisión acústica o en ensayos de ultrasonidos.

ABSTRACT

This project consists in the design of an instrumentation compact system based on optic fiber sensors for the measurement of dynamic deformations.

The applications of this system are mainly focused on different types of acoustic emission or ultrasonic vibration trials.

A commercial *Vertical - Cavity Surface - Emitting Laser (VCSEL)* is used and an electronic system is proposed to control the laser emission and to conditionate the output of a Fiber Bragg Grating (FBG)

As from a VCSEL, used as tunable wavelength source, It has been made a measurement system capable of detecting the reflection spectrum of the sensor based on a FBG with a wide range of sweeps.

This system has been designed to be compact with the output PWM, providing the necessary blocks to be able to work in continuous time. The work includes the functional modelling and the simulation of the combined system made by electronic circuits and photonic, optoelectronic and optical fiber components. It includes the implementation of the measuring system based on modular circuits, some of them developed during the project, susceptible to be integrated in a compact prototype and completely functional to be used in vibration, acoustic emission or ultrasonic trials.

ÍNDICE

Capítulo I. Visión Global y Objetivos	11
1. Motivación.....	11
2. Entorno socioeconómico.....	11
3. Introducción conceptual	12
4. Objetivos	14
5. Fases de desarrollo.....	14
6. Medios empleados	16
7. Estructura de la memoria.....	16
Capítulo II. Introducción teórica.....	17
1. La luz y el espectro electromagnético.....	17
2. Redes de Bragg en fibra.....	18
3. Laser de cavidad vertical y emisión superficial	19
4. Principio de medida.....	19
5. Sistema de instrumentación.....	22
a) Circuito de modulación del láser.....	22
b) Componentes ópticos	23
c) Circuito de acondicionamiento de la señal de salida	23
Capítulo III. DESARROLLO DEL TFG.....	25
Apartado 1. Estudio y caracterización del VCSEL de Optilabs.....	25
1. Estudio previo.....	25
2. Caracterización y ensayos	27
a) Relación entre Potencia Óptica y Corriente.....	28
b) Curva estática de Longitud de Onda – Corriente	29
c) Curva estática de Longitud de Onda – Temperatura:	30
Apartado 2. Ensayo experimental	32
1. Planteamiento del experimento	32
2. Resultados del experimento.....	35
3. Conclusiones del ensayo	36
Apartado 3. Diseño de circuitos	37
1. Circuito generador de señales.....	37
A. Diseño de subsistemas.....	39
a) Generador de señal cuadrada	39
b) Circuito sumador.....	45
c) Circuito integrador	47

d) Circuito atenuador	54
B. Diseño y fabricación de la placa de circuito impreso	57
a) El esquemático:	57
b) Correspondencia de componentes:	58
c) Diseño del layout	58
C. Resultados experimentales	60
D. Conclusión	63
2. Placa conectora para el VCSEL	64
A. Estudio previo	64
B. Correspondencia de pines	66
C. Diseño y fabricación de la placa	67
3. Sistema de acondicionamiento de la señal de salida	69
Apartado 4. Simulación del sistema propuesto	71
1. Modelizando los componentes	71
a) Modelo del VCO	71
b) Modelo del VCSEL	73
c) Modelo de la FBG	76
2. Simulación del sistema completo	79
Capítulo IV. Conclusión y ampliaciones	83

ÍNDICE DE FIGURAS

Figura 1. Representación de una red en fibra de Bragg y su respuesta espectral [W1]	12
Figura 2. Diagrama de la estructura de un láser de tipo VCSEL [W2]	13
Figura 3. Representación del espectro electromagnético [W3]	17
Figura 4. Estructura interna e índice de refracción de una red de Bragg en fibra	18
Figura 5. Perfil de reflexión de una FBG [W1]	18
Figura 6. Representación del barrido de longitudes del VCSEL en torno a la longitud central de la FBG	20
Figura 7. Representación de las distintas salidas que se pueden generar a partir de la luz reflejada por la FBG.....	21
Figura 8. Diagrama de bloques electrónicos, opto-electrónicos y de fibra óptica del sistema compacto de medida rápida con un sensor FBG basada en un VCSEL como láser sintonizable y codificación de la salida como señal PWM o como señal de fase.	22
Figura 9. Imagen del VCSEL-1550-SM de Optilabs	25
Figura 10. Pinout del VCSEL de Optilabs	25
Figura 11. Tabla de características del VCSEL	26
Figura 12. Perfil de emisión del VCSEL a 11 mA	26
Figura 13. Curva estática Potencia Óptica-Corriente proporcionada por el fabricante	27
Figura 14. Curva estática Potencia Óptica-Corriente realizada con datos experimentales.....	28
Figura 15. Perfil de emisión a 11 mA realizado con datos experimentales	28
Figura 16. Curva estática Longitud Onda-Corriente realizada con datos experimentales.....	29
Figura 17. Perfiles de emisión del VCSEL para el rango de corrientes de polarización entre 2 y 12,5 mA	30
Figura 18. Curva estática Longitud Onda-Temperatura realizada con datos experimentales....	31
Figura 19. Filtro óptico sintonizable FFP-TF2 9000 de Micron Optics.....	32
Figura 20. Espectro Óptico de un Interferómetro Fabry-Pérot [W4].....	33
Figura 21. Características principales del FFP-TF2 9000 de Micron Optics.....	33
Figura 22. Perfiles de espectro óptico transmitidos a través del Fabry-Pérot para distintos valores de corriente de inyección del VCSEL.....	35
Figura 23. Gráfica con los valores máximos de potencia transmitidos por el Fabry-Pérot en un barrido de longitud de onda realizado con el VCSEL.....	36
Figura 24. Diagrama de bloques electrónicos, opto-electrónicos y de fibra óptica del sistema compacto de medida rápida con un sensor FBG basada en un VCSEL como láser sintonizable y codificación de la salida como señal PWM o como señal de fase.	37
Figura 25. Esquemático Circuito Generador de Señales	38
Figura 26. Diagrama de bloques del CD4046B	40
Figura 27. Diagrama de bloques del VCO interno del CD4046B	40
Figura 28. Frecuencia Central vs C1	41
Figura 29. Desviación de la Frecuencia Central vs C1	41
Figura 30. Gráfica con la frecuencia central seleccionada	42
Figura 31. Diagrama del circuito final del VCO.....	42
Figura 32. Circuito Generador de Señal Cuadrada caracterizado	43
Figura 33. Caracterización del Circuito Generador Señal Cuadrada	43
Figura 34. Señal cuadrada generada por el VCO y medida en el osciloscopio.....	44
Figura 35. Esquemático Circuito Sumador	45
Figura 36. Esquemático final Circuito Sumador	46

Figura 37. Resultado simulación Circuito Sumador	47
Figura 38. Representación de una señal cuadrada y una triangular en fase	47
Figura 39. Esquemático Circuito Integrador ideal.....	48
Figura 40. Esquemático Circuito Integrador real	49
Figura 41. Representación de la respuesta en frecuencia de los circuitos integradores ideal y real	49
Figura 42. Representación de las señales de entrada y salida ideales del circuito.....	51
Figura 43. Esquemático del Circuito Integrador caracterizado	52
Figura 44. Respuesta en frecuencia del Circuito Integrador simulado	53
Figura 45. Señales de entrada y salida del Circuito Integrador simulado.....	53
Figura 46. Esquemático Circuito divisor de tensión	55
Figura 47. Esquemático Circuito divisor de tensión caracterizado	55
Figura 48. Representación de la señal triangular de tensión.....	56
Figura 49. Representación de la señal triangular de corriente	56
Figura 50. Esquemático global del Generador de Señales caracterizado	56
Figura 51. Esquemático de la placa Generadora de Señales descrito en KiCad.....	57
Figura 52. Esquemático de la alimentación del circuito	57
Figura 53. Cara frontal del layout de la placa del Circuito Generador de Señales en KiCad.....	59
Figura 54. Cara posterior del layout de la placa del Circuito Generador de Señales en KiCad...	59
Figura 55. Vista superior de la PCB de la placa generadora de señales.....	60
Figura 56. Placa generadora de señales con todos los componentes soldados.	60
Figura 57. Salida señal cuadrada del Circuito Generador de Señales en PCB.....	61
Figura 58. Salida del Circuito Sumador dentro de la Placa Generadora de Señales	61
Figura 59. Salida del Circuito Integrador dentro de la Placa Generadora de Señales	62
Figura 60. Salida señal triangular del Circuito Generador de Señales en PCB	62
Figura 61. Imagen de un láser con encapsulado butterfly	64
Figura 62. Disposición de los pines del VCSEL SM 1550 nm de Optilabs	64
Figura 63. Disposición tipo 1 de la fuente CLD1015 de Thorlabs.....	65
Figura 64. Disposición tipo 2 de la fuente CLD1015 de Thorlabs.....	65
Figura 65. Esquemático de la placa de conexión entre el VCSEL y la fuente CLD1015 en KiCad	67
Figura 66. Cara superior de la placa de conexión entre el VCSEL y la fuente CLD1015 de Thorlabs diseñada en KiCad	68
Figura 67. Cara inferior de la placa de conexión entre el VCSEL y la fuente CLD1015 de Thorlabs diseñada en KiCad	68
Figura 68. Vista inferior de la placa de conexión entre el VCSEL y la fuente CLD1015 de Thorlabs	68
Figura 69. Vista superior de la placa de conexión entre el VCSEL y la fuente CLD1015 de Thorlabs.....	68
Figura 70. Placa de recepción con fotodiodo y circuito de transimpedancia integrados.	69
Figura 71. Comparador con señal de referencia.....	69
Figura 72. Conexiones del biestable para generar una señal PWM.....	70
Figura 73. Conexiones del biestable para generar la salida de Fase.....	70
Figura 74. Diagrama de bloques del sistema propuesto como circuito de acondicionamiento para el VCSEL.....	71
Figura 75. Bloque para simular el comportamiento del VCO	71
Figura 76. Esquema de bloques interno del VCO.....	72
Figura 77. Salidas del bloque VCO.....	73

Figura 78. Curva estática Longitud de Onda - Corriente de inyección del VCSEL con línea de tendencia.....	74
Figura 79. Curva estática Potencia Óptica-Corriente con línea de tendencia.....	75
Figura 80. Bloques que simulan el comportamiento del VCSEL.....	75
Figura 81. Salidas del bloque del láser	76
Figura 82. Bloque para simular el comportamiento de la FBG	77
Figura 83. Diagrama de bloques interno de la FBG.....	77
Figura 84. Perfil de reflexión de la FBG para LongOnda-Central=1540nm, FWHM=0,6 y Reflexión=0,8.....	77
Figura 85. Perfil de reflexión de la FBG para LongOnda-Central=1547nm, FWHM=2 y Reflexión=0,9.....	78
Figura 86. Salidas de Potencias Conducida y Reflejada por la FBG al conectar las salidas del láser a las entradas correspondientes de Potencia Óptica y Longitud de Onda.....	78
Figura 87. Diagrama de bloques del sistema completo	79
Figura 88. Muestra de los pulsos que se generan en el comparador a partir de los picos de potencia óptica reflejada	80
Figura 89. Salida PWM para una longitud de onda central en la FBG de 1542	80
Figura 90. Salida PWM para una longitud de onda central en la FBG de 1534	81
Figura 91. Salida de FASE para una longitud de onda central en la FBG de 1542.....	81
Figura 92. Salida de FASE para una longitud de onda central en la FBG de 1534.....	82
Figura 93. Repartición de los costes sobre el presupuesto.....	89

ÍNDICE DE TABLAS

Tabla 1. Ecuaciones de Maxwell.....	17
Tabla 2. Caracterización del VCSEL.....	22
Tabla 3. Tamaños de las conexiones de la placa	58
Tabla 4. Listado de conexiones del CLD1015 para la disposición tipo 2	65
Tabla 5. Tamaño de pistas, vías y taladros de la placa de conexión entre el VCSEL y la fuente CLD1015	67

Capítulo I. VISIÓN GLOBAL Y OBJETIVOS

1. MOTIVACIÓN

Cada día que pasa la ciencia sigue avanzando y a medida que se desarrollan nuevos sistemas cada vez más sensibles y precisos es necesario introducir nuevas tecnologías para poder seguir progresando.

Gracias a la investigación en campos de la ciencia recién descubiertos surgen a diario nuevas maneras de afrontar los problemas de siempre para llegar a mejores soluciones y hacerlo de una forma más asequible.

Sin embargo, estas nuevas tecnologías generalmente son poco accesibles, caras y complicadas de utilizar cuando se encuentran en un estado de desarrollo primitivo.

En el ámbito de los sistemas de ensayos de vibraciones, emisión acústica o ultrasonidos es precisamente lo que está pasando.

La rama de la optoelectrónica ha introducido nuevas soluciones para realizar este tipo de ensayos llegando más lejos (mayores frecuencias de muestreo) pero con aparatosos y caros sistemas de instrumentación difícilmente aplicables a la industria.

La motivación de este proyecto es proponer un sistema alternativo, dentro del marco de la optoelectrónica, barato y compacto que no se quede atrás en cuanto a prestaciones.

2. ENTORNO SOCIOECONÓMICO

Los sistemas de instrumentación para medidas de vibraciones, emisiones acústicas e inspección por ultrasonidos son ampliamente utilizados en grandes sectores industriales y de transporte como el aeronáutico, el aeroespacial, el ferroviario o el automovilístico.

La magnitud de estos sectores es enorme dentro de la economía global, por ejemplo, el sector aeroespacial y de defensa facturó en 2015 674.6 miles de millones de dólares americanos creciendo en 24.8 miles de millones con respecto al año anterior [1].

Para poder diseñar sus productos y conseguir las certificaciones, los ensayos de vibraciones y acústicos son parte fundamental del proceso en estas y en muchas otras industrias. Esa es la razón por la que se invierte mucho dinero en sistemas de instrumentación para realizar este tipo de pruebas.

Existen muchas maneras de realizar los ensayos pero la mayoría contemplan caros y complejos sistemas difíciles de operar. Por este motivo, la posibilidad de incorporar elementos sensores a bordo, incluso integrados en las estructuras, proporciona un paradigma, a menudo recogido bajo la denominación de estructuras inteligentes.

Si bien los sensores y actuadores basados en materiales piezoeléctricos tienen mayor inserción en este mercado, los sensores de fibra óptica están tomando mayor presencia por sus ventajosas características asociadas a su naturaleza de guiado dieléctrico y que facilita la interacción de la luz con la magnitud de medida. Además, el desarrollo y abaratamiento de la tecnología basada en fibra óptica se ha beneficiado de su principal aplicación que es el de las comunicaciones ópticas, de alta capacidad y larga distancia.

Dentro de los sensores de fibra óptica, los sensores basados en redes de Bragg (*Fiber Bragg Gratings o FBG*) son los más eficientes en relación calidad (precisión) / precio y junto con los sistemas de medida distribuidos de fibra óptica constituyen el 80% del mercado, ocupando alrededor del 70% del programa en los foros especializados de investigación y desarrollo de sensores de fibra óptica. Hay más de 50 empresas en el mundo que entre sus productos y servicios ofrecen sensores FBG y los sistemas de medida necesarios para utilizarlos.

Ahora bien, los sistemas de medida desarrollados para sensores FBG adolecen mayoritariamente de velocidad de respuesta limitada (frecuencia máxima de la magnitud de medida) y por otra de falta de compacidad para ser integrados con el propio sensor. Por este motivo las FBG tienen su mayor aplicación en medidas cuasi-distribuidas de deformaciones cuasi-estáticas y/o temperatura. En este proyecto se aborda una aproximación a un sistema más rápido y potencialmente más compacto para abordar magnitudes de mayor frecuencia (vibraciones y emisiones acústicas).

Como ya se ha explicado antes, la idea de este proyecto es emplear una tecnología recientemente desarrollada, pero disponible como componente (*Commercial-Off-The-Self o COTS*) para crear un sistema asequible, de fácil uso y compacto que permita realizar estas pruebas sin perder precisión en las medidas. Es por esta diferencia con respecto a otros sistemas de medida con FBG en este ámbito de la ciencia, por lo que se considera una opción interesante a desarrollar dentro de este sector socioeconómico.

3. INTRODUCCIÓN CONCEPTUAL

Las redes de Bragg en fibra, o FBG, son microestructuras de unos pocos milímetros que se graban en un pequeño segmento de fibra óptica y que reflejan una longitud de onda de luz concreta mientras transmiten las demás.

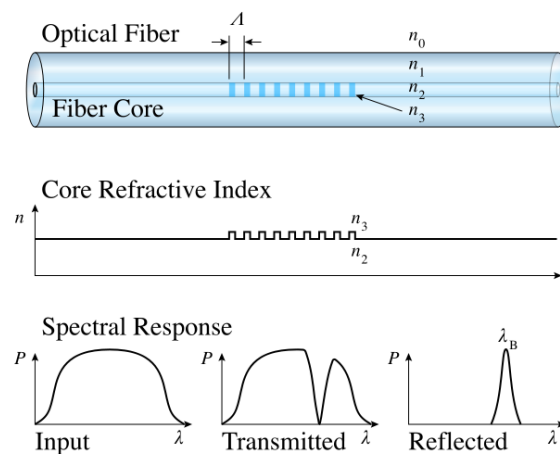


Figura 1. Representación de una red en fibra de Bragg y su respuesta espectral [W1]

De esta forma, las redes de Bragg permiten crear filtros ópticos que funcionan de forma análoga a un filtro paso banda en frecuencia. El parámetro más importante de una FBG es su valor de longitud de onda central de reflexión que depende tanto de la temperatura como de la deformación axial de la fibra, lo que se aprovecha para utilizar estos elementos como sensores cuasi-puntuales.

Gracias a ese principio de funcionamiento característico de las FBGs y conociendo la afección de la temperatura se puede estudiar como varía la longitud de onda reflejada para conocer las deformaciones en la fibra. [2]

Para ello, en este proyecto se propone emplear un láser que ilumine una línea del espectro óptico y que sea capaz de barrer cierto rango de longitudes de onda para interrogar una FBG. El objetivo del barrido es detectar la posición de la longitud de onda central de la FBG.

Un láser sintonizable que presenta buenas características y bajo coste es el de emisión superficial y cavidad vertical (VCSEL). Este componente óptico es un diodo láser de tipo semiconductor que a diferencia de otros láseres Fabry-Perot y DFB de emisión lateral, emite su haz de luz verticalmente desde su cara superior.

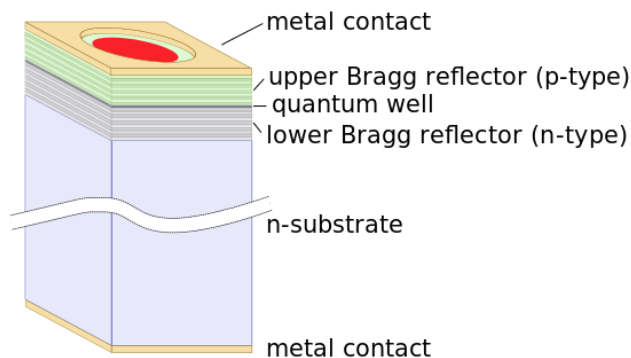


Figura 2. Diagrama de la estructura de un láser de tipo VCSEL [W2]

La principal característica por la que se utiliza este tipo de láser para esta aplicación es porque modifica la longitud de onda a la que emite el haz de luz en función de la temperatura y de la corriente de inyección. Esta propiedad del VCSEL permite realizar barridos de longitudes de onda modificando únicamente la corriente de inyección y es el principio en el que se basa este sistema de medida.

Otra característica importante del VCSEL es su amplio rango de barrido de longitudes de ondas. Al ser mayor que el espectro de reflexión de una FBG y de su posible variación con la deformación y con la temperatura, es posible utilizarlo como base de un analizador del espectro óptico reflejado y a partir del mismo captar cualquier deformación de la FBG.

Ya se han realizado otros sistemas demostrando las ventajas de ejecutar los barridos en longitudes de onda con láseres de tipo VCSEL. El principal problema es obtener una lectura completa en un tiempo muy corto, lo que equivaldría a incrementar la velocidad de barrido; por este motivo únicamente se ha llegado a trabajar a frecuencias de kHz. [3],[4]

Actualmente se están empleando otro tipo de técnicas en los ámbitos de la investigación y la industria para analizar la variación de la longitud de onda central de las FBGs.

La más utilizada consiste en emplear analizadores de espectro ópticos o esquemas interferenciales a partir de una fuente óptica de espectro amplio. Gracias a este tipo de fuentes ópticas se puede apreciar todo el perfil de la red de Bragg y percibir cualquier variación. [5]

El problema de los sistemas que emplean esta metodología es que están en todo momento muestreando la banda de longitud de onda de la fuente óptica de espectro amplio y no se centran únicamente en la zona del espectro en la que está situada la longitud de onda central de la FBG. Esa desventaja termina limitando el funcionamiento de este tipo de circuitos hasta frecuencias de kilohercios (kHz) en la mayoría de los casos, por lo que suelen emplearse para medidas cuasi-estáticas.

Otra tecnología utiliza láseres de longitud de onda sintonizable (FDML) para realizar esquemas de barrido de longitud de onda de una forma similar a la que se propone en este proyecto. [6]

Sin embargo, este tipo de sistemas requieren todo un sistema de instrumentación añadido que termina desembocando en sistemas costosos, complejos y poco compactos.

4. OBJETIVOS

El objetivo principal de este proyecto es diseñar un sistema compacto [7] para obtener la medida proporcional a los cambios de longitud de onda de un sensor FBG: El sistema se plantea para ser compacto e integrado combinando bloques electrónicos, opto-electrónicos y de fibra óptica. Sus principales características son las siguientes:

- Polariza el VCSEL con control de corriente y temperatura y modula la corriente de inyección del láser para efectuar barridos de longitud de onda.
- Utilizando modulación de la corriente de inyección al dispositivo con un generador de onda triangular se obtiene un espectro completo con tasas de repetición altas.
- Acondiciona la señal de salida del fotodiodo para generar una señal PWM cuyo ancho depende de la deformación de la FBG.
- Adicionalmente permite obtener una señal de fase proporcional a la deformación de la FBG que combinada con un oscilador controlado por tensión permita una configuración de lazo óptico enganchado en fase.

De esta manera se conforma un sistema compacto, independiente y totalmente funcional capaz de muestrear las deformaciones de una FBG a una gran velocidad. Esto nos permite realizar barridos con un VCSEL y obtener una salida interpretable sin necesidad de emplear aparatoso instrumental complementario para la modulación y la lectura.

También se plantea como objetivo realizar una simulación funcional del sistema para validar el método de medida y los componentes, y estudiar cómo afectan a la salida variaciones en el elemento sensor.

Por último, se proyecta realizar una serie de experimentos empleando el instrumental de medida opto-electrónico del laboratorio para caracterizar los componentes ópticos que se va a emplear e incluir los datos experimentales en la simulación.

5. FASES DE DESARROLLO

Para llevar a cabo el proyecto se ha dividido en varias fases de desarrollo claramente diferenciadas:

- 1 ***Estudio de cuestiones físicas y de óptica.*** Este proceso ha sido necesario para familiarizarse con conceptos desconocidos anteriormente sobre todo en el ámbito de la óptica.
- 2 ***Estudio del contexto investigador.*** En esta parte se ha realizado una labor de recopilación de documentos científicos sobre líneas de investigación similares para partir de una base avanzada en materia de optoelectrónica, en la que no se había profundizado durante el grado.

- 3 ***Aprendizaje para la utilización de material de instrumentación opto-electrónico.*** Formación necesaria para poder utilizar instrumental específico como fuentes de corriente para láseres con control de temperatura, analizadores de espectro, etc.
- 4 ***Realización de los experimentos necesarios para la caracterización de un láser tipo VCSEL.*** Etapa necesaria ya que se propone trabajar con un láser completamente nuevo que necesita ser caracterizado para poder realizar el sistema a su medida
- 5 ***Familiarización con programas de simulación programables como LTspice.*** Etapa obligatoria ya que era necesario un programa de simulación que permitiera definir comportamientos programables y mezclarlos con circuitos electrónicos, creando de esta forma un modelo de simulación de un sistema opto-electrónico.
- 6 ***Creación de modelos programados para la simulación de componentes ópticos.*** Ha sido imprescindible para poder simular el comportamiento de componentes puramente ópticos como el VCSEL o la FBG.
- 7 ***Desarrollo de una simulación funcional para verificar el sistema propuesto.*** Etapa requerida para poder poner a prueba el sistema y comprobar cómo afecta la variación de parámetros externos.
- 8 ***Definición de los subsistemas que se han de diseñar.*** Proceso para detallar las distintas etapas y sus funciones antes de proceder a concretar los componentes internos.
- 9 ***Diseño, calculo, selección y caracterización de circuitos electrónicos.*** Todo el proceso necesario para llegar hasta dar con una solución que cumpla con cada una de las funciones que debe cumplir cada subsistema.
- 10 ***Simulación de circuitos diseñados.*** Necesario para comprobar el buen funcionamiento de los circuitos diseñados, antes de proceder a su fabricación.
- 11 ***Aprendizaje de programas de diseño electrónico, simulación y enrutado de PCBs.*** En este caso se ha empleado KiCad, por su flexibilidad, su servicio gratuito, sus múltiples opciones y su gran lista de huellas disponibles.
- 12 ***Estudio y puesta en práctica de las técnicas relacionadas con la fabricación de PCBs a la hora de crear un circuito diseñado para funcionar a altas frecuencias.*** Ha sido necesario un tiempo para formarse y aplicar diversas cuestiones a tener en cuenta en el diseño de PCBs como las vinculadas a las conexiones a tierra, las interferencias electromagnéticas o las capacidades parasitas.
- 13 ***Diseño del enrutado y definición de las características de fabricación de las placas de circuito impreso.***
- 14 ***Soldadura de las placas y comprobación del correcto funcionamiento de los sistemas.***
- 15 ***Medidas experimentales.*** Para comprobar el correcto funcionamiento de los sistemas diseñados.

El orden temporal y la duración de las fases de desarrollo del proyecto aparece explicado en el diagrama de Gantt que se puede encontrar en el Anexo 1.

6. MEDIOS EMPLEADOS

Los medios empleados para la realización del proyecto han sido los siguientes:

- ***Programa de simulación LTspice.*** Además de integrar un gran número de componentes electrónicos permite incluir componentes externos mediante archivos .spice y simular modelos con comportamientos programados mediante código.
- ***Programa de diseño de placas de circuito impreso KiCad.*** Programa de código abierto, gratuito y muy bien documentado para el diseño de PCBs y huellas de componentes.
- ***Acceso al laboratorio*** de instrumentación electrónica y de tecnología láser del Departamento de Tecnología Electrónica de la Universidad Carlos III de Madrid.
- ***Equipamiento para la fabricación de placas de circuito impreso, PCBs.***
- ***Fuente de corriente regulable y modulable con control de temperatura CLD1015 de Thorlabs.*** Se ha empleado para alimentar el VCSEL y realizar los experimentos de caracterización del láser.
- ***Generador de señales.*** Utilizado en los experimentos para modular el VCSEL.
- ***Analizador de espectro óptico OSA (Optical Spectrum Analyzer) AQ370B de Yokogawa Electric Corporation.*** Se ha utilizado para analizar el espectro óptico emitido por el láser durante los experimentos.
- ***Laser VCSEL modelo SM 1550 nm de Optilabs.***
- ***Interferómetro Fabry-Pérot FFP-TF2 9000 de Micron Optics.*** Filtro óptico que se ha empleado para realizar experimentos con el VCSEL y estudiar su respuesta en modulación.
- ***Banco de fotodiodos.*** Empleado en los experimentos para obtener una salida en corriente de la potencia óptica reflejada.

7. ESTRUCTURA DE LA MEMORIA

La memoria se divide en los siguientes capítulos:

- **Capítulo I. Visión Global y Objetivos:** una introducción al proyecto en la que se habla del contexto y los objetivos del mismo
- **Capítulo II. Introducción teórica:** se tratan los principios físicos con los que se va a trabajar, los componentes principales y se plantea el sistema propuesto.
- **Capítulo III. Desarrollo del TFG:** El desarrollo completo de todas las fases del proyecto.
- **Capítulo IV. Conclusión y ampliaciones:** se sopesa si se han cumplido los objetivos del proyecto y se plantean los próximos retos.

Capítulo II. INTRODUCCIÓN TEÓRICA

En este apartado se explican los principios físicos a tener en cuenta para el funcionamiento del sistema, se describen los principales elementos y se detalla el principio de medida y el sistema propuesto.

1. LA LUZ Y EL ESPECTRO ELECTROMAGNÉTICO

La luz es una radiación electromagnética que conforma una cierta porción del espectro electromagnético. Como el resto de las radiaciones electromagnéticas, su comportamiento es el propio de una onda y responde a las cuatro ecuaciones de Maxwell:

	Forma Integral	Forma Diferencial
Ley de Gauss	$\oiint_S \vec{D} \cdot d\vec{S} = q$	$\nabla \cdot \vec{D} = \rho$
Ley de Faraday	$\oint_C \vec{E} \cdot d\vec{l} = -\frac{\partial}{\partial t} \iint_S \vec{B} \cdot d\vec{S}$	$\nabla \times \vec{E} = -\frac{\partial \vec{B}}{\partial t}$
Flujo del campo Magnético	$\oiint_S \vec{B} \cdot d\vec{S} = 0$	$\nabla \cdot \vec{B} = 0$
Ley de Ampère	$\oint_C \vec{H} \cdot d\vec{l} = I + \frac{\partial}{\partial t} \iint_S \vec{D} \cdot d\vec{S}$	$\nabla \times \vec{H} = \vec{J} + \frac{\partial \vec{D}}{\partial t}$

Tabla 1. Ecuaciones de Maxwell

El espectro electromagnético clasifica en función de la longitud de la onda todas las distintas radiaciones electromagnéticas. De menor a mayor el orden es el siguiente: radio, microondas, infrarrojo, región visible, ultravioletas, rayos-X y rayos gamma.

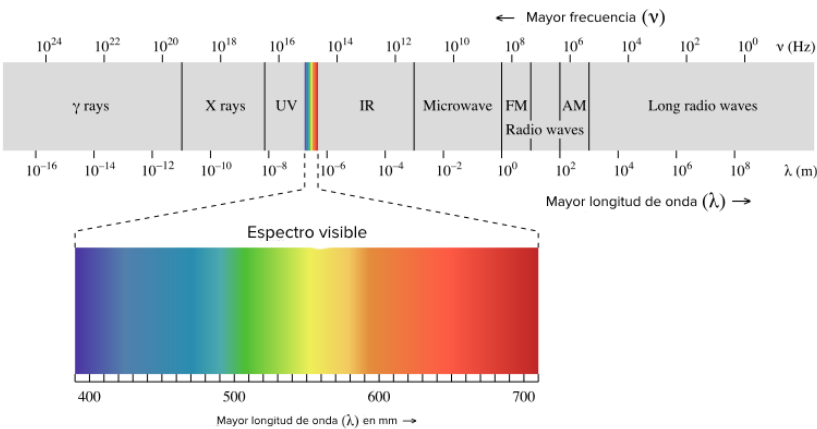


Figura 3. Representación del espectro electromagnético [W3]

De todo el espectro óptico, en este proyecto se va a trabajar con fibras ópticas en longitudes de onda del infrarrojo. Estas se sitúan en torno a los 1330 o 1550 nm donde se encuentran la mayoría de componentes comerciales por tratarse de las ventanas de mínima atenuación y máxima dispersión.

2. REDES DE BRAGG EN FIBRA

Las redes de Bragg en fibra o FBGs (Fiber Bragg grating) son estructuras ópticas en la fibra que reflejan una longitud de onda de luz concreta mientras que transmiten todas las demás. Dado que dicha estructura sufre cambios con la temperatura y con las deformaciones, las FBGs pueden utilizarse como sensores de fibra óptica que cambian la longitud de onda reflejada en respuesta a la magnitud de medida. Como sucede en otros sensores de fibra óptica, se aprovecha la fibra como elemento de transmisión de luz, pero también como elemento donde se produce la transducción.

Internamente, las FBGs son pequeñas estructuras que crean una variación periódica del índice de refracción en el núcleo de la fibra generando un espejo dieléctrico para una longitud de onda concreta.

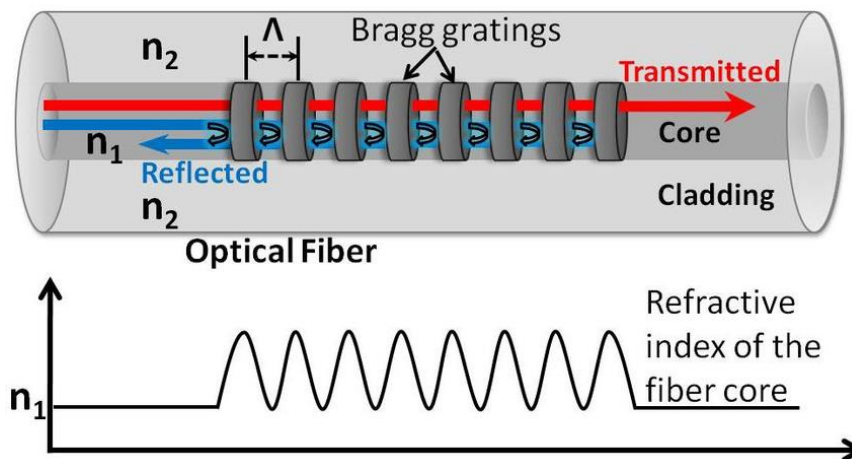


Figura 4. Estructura interna e índice de refracción de una red de Bragg en fibra

De esta forma, las redes de Bragg en fibra actúan como filtros ópticos reflejando la luz que atraviesa la fibra a una longitud de onda muy selectiva.

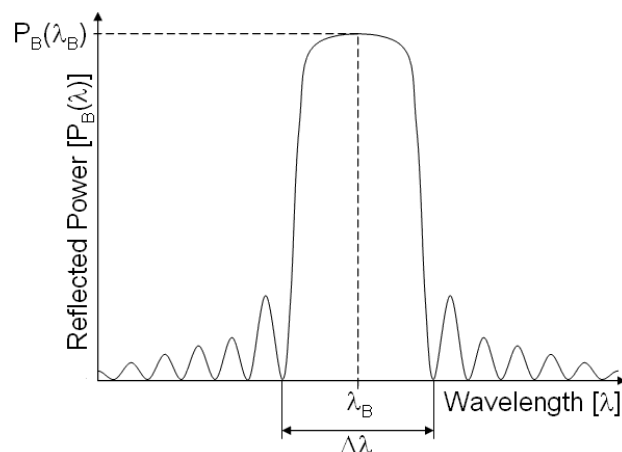


Figura 5. Perfil de reflexión de una FBG [W1]

Los parámetros más importantes de una FBG son la longitud de onda central (λ_B), la reflectividad máxima o la potencia reflejada ($P_B(\lambda_B)$ en la figura 5) y la anchura a media altura ($\Delta\lambda$):

- Longitud de onda central: la longitud de onda central de la FBG es la longitud de onda a la que su valor de reflexión es máximo.

- Reflexión: la reflexión de una FBG hace referencia a que porcentaje de potencia óptica es capaz de devolver a través de la fibra. Para caracterizar una FBG es importante conocer el valor máximo de reflexión.
- Anchura a media altura ($\Delta\lambda$): la anchura a media altura o FWHM indica como de selectiva es la red de Bragg.

La propiedad más interesante de las redes de Bragg, y la razón por la que se emplean como sensores para las deformaciones es porque modifican su longitud de onda central al sufrir una deformación axial.

La temperatura también influye sobre su longitud de onda, pero realizando una monitorización de la temperatura y observando la variación de longitud de onda de la FBG se pueden determinar las deformaciones con una gran precisión. Este principio de medida es sobre el que se basa el sensor y todo el sistema de medida se encarga de la detección de la longitud de onda reflejada.

3. LASER DE CAVIDAD VERTICAL Y EMISIÓN SUPERFICIAL

Los diodos laser son dispositivos semiconductores que emiten haces de luz de potencia óptica concentrada a distintas longitudes de onda.

El VCSEL o laser de cavidad vertical y emisión superficial es un diodo laser semiconductor que emite su haz de luz a través de la superficie superior en contraposición a los láseres convencionales que emiten por el borde.

Esta diferenciación le aporta una serie de características:

- Su longitud de onda es sintonizable en la banda de ganancia de la región activa del láser.
- Su gran apertura de salida, en comparación con el resto de modelos de láser, le permite una mayor eficiencia al acoplarse a fibras ópticas
- Los espejos de gran reflectividad con los que se fabrican estos modelos de láser hacen que las corrientes necesarias para polarizarlos sean mucho menores. También implica que la potencia óptica que generan sea menor
- El bajo valor umbral de corriente supone que el VCSEL posea un bajo consumo además ancho de banda de modulación alto.

De todas estas características la más importante para el proyecto es la de la longitud de onda sintonizable que varía según parámetros externos como la temperatura o la corriente de polarización.

Esa propiedad es por la que se ha seleccionado un láser de tipo VCSEL ya que nos permite realizar barridos de longitud de onda para interrogar la FBG.

4. PRINCIPIO DE MEDIDA

Para medir las deformaciones dinámicas se emplea la FBG como sensor y elemento central del sistema de medida. Como se ha explicado antes, las redes de Bragg reflejan la luz a una longitud de onda concreta. La longitud de onda central a la que refleja la luz es conocida como longitud de onda de Bragg λ_B y es proporcional a la temperatura y la deformación de la fibra.

Para calcular la longitud de onda central de la FBG λ_B , lo más fácil es partir de una longitud de onda inicial λ_0 , y medir la variación (1). [8]

$$\frac{\Delta\lambda}{\lambda_0} = (1 - p_e) \cdot \varepsilon + (\alpha_A + \alpha_n) \cdot \Delta T \quad (1)$$

Donde $\Delta\lambda$ es la variación de longitud de onda, λ_0 es la longitud de onda inicial, p_e es el coeficiente de tensión óptica, ε es la tensión experimentada por la red, α_A es el coeficiente de expansión térmica, α_n es el coeficiente óptico térmico y ΔT es la variación de temperatura.

Para el principio de medida, se emplea la FBG como un filtro óptico de forma que atenúa la potencia óptica de la luz a las longitudes de onda diferentes de la longitud central λ_B .

Para detectar esa longitud de onda central realizaremos un barrido a lo largo de un rango de longitudes de onda con el VCSEL como aparece representado en la Fig. 1.

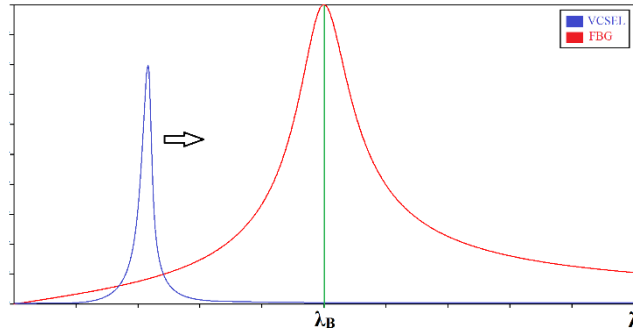


Figura 6. Representación del barrido de longitudes de onda del VCSEL en torno a la longitud central de la FBG

Aunque, como se observa en la propia figura, ni el VCSEL ni la FBG son componentes ideales que actúan a única longitud de onda exacta. Por lo que el haz reflejado tampoco concentrará su potencia óptica en una única longitud de onda.

La potencia óptica que refleja la FBG a las distintas longitudes de onda para un único instante corresponde a la ecuación 2: [8]

$$g(\lambda - \lambda_B) = R \cdot \exp \left[-4 \cdot \ln 2 \cdot \left(\frac{\lambda - \lambda_B}{\Delta\lambda_B} \right)^2 \right] \quad (2)$$

Donde λ es la longitud de onda a la que queremos calcular la ganancia, λ_B es la longitud de onda central de la FBG, R es la reflectividad máxima de la red de Bragg ($0 \leq R \leq 1$) y $\Delta\lambda_B$ es el ancho espectral a media altura.

La potencia óptica reflejada por la red de Bragg que recibirá el fotodiodo, será la convolución de las dos funciones representadas en la Fig. 1. La combinación entre el perfil de emisión del láser y el perfil de reflexión de la FBG.

Esta función variará con el tiempo a medida que el VCSEL vaya realizando el barrido y será máxima en el momento en el que la longitud de onda del haz de luz del láser coincida con la longitud de onda central de la red de Bragg en fibra.

Para polarizar el láser se emplea una fuente triangular de corriente. De esta forma se obtiene una variación lineal de la longitud de onda del láser y se generan dos picos de corriente en el fotodiodo por cada período de la señal triangular.

Estos picos de corriente se convertirán en pulsos de tensión mediante un circuito de acondicionamiento. A partir de esos pulsos, se han propuesto dos maneras para codificar electrónicamente la información de la longitud de onda reflejada por la FBG, como se puede apreciar en la Fig. 7:

- **Modulación PWM:** el ancho de la señal modulada ($T_2 - T_1$) varía según la longitud de onda central de la FBG. Cuanto mayor sea λ_B , menor será el ancho de la señal.
- **Fase:** aprovechando únicamente el primero de los pulsos se genera una señal con periodo fijo y conocido. Su retardo (fase) son respecto a una señal cuadrada de sincronismo de la misma frecuencia que la señal triangular depende de la longitud de onda reflejada por la FBG.

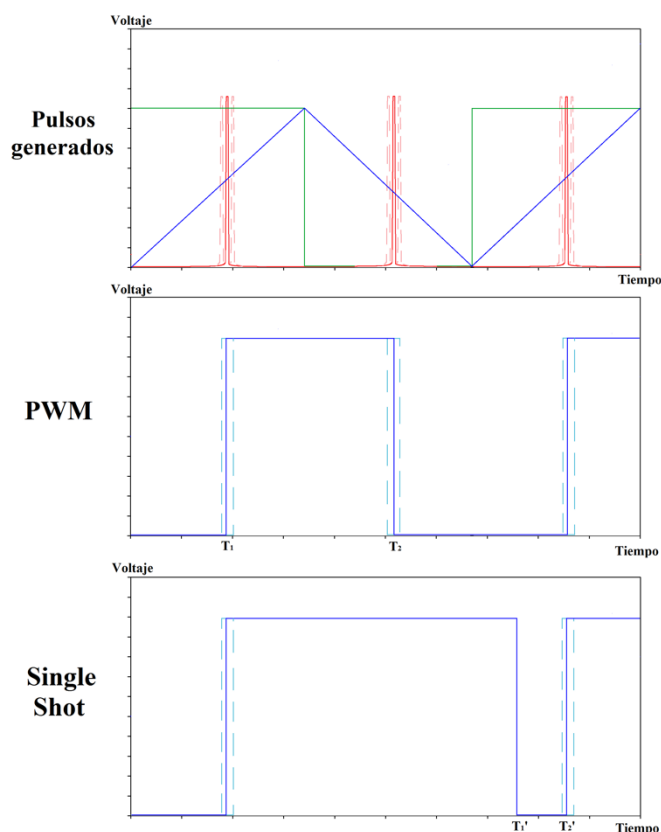


Figura 7. Representación de las distintas salidas que se pueden generar a partir de la luz reflejada por la FBG

En la Figura 7 también aparece representada, en colores más claros y línea discontinua, una pequeña variación en la longitud de onda central de la FBG, como la que podría provocar una vibración, y el efecto que tendría sobre las diferentes señales generadas.

Aunque en ambas modificaría el ancho de la señal de salida, en la PWM afectaría a los dos flancos mientras que en la señal de Fase o Single Shot solo afectaría al primero.

5. SISTEMA DE INSTRUMENTACIÓN

El sistema de instrumentación que aparece diseñado a alto nivel en la Figura 8 consta de tres partes principales claramente diferenciadas, el circuito de modulación del láser (gris), la parte óptica (azul) y el circuito de acondicionamiento de la señal de salida (verde).

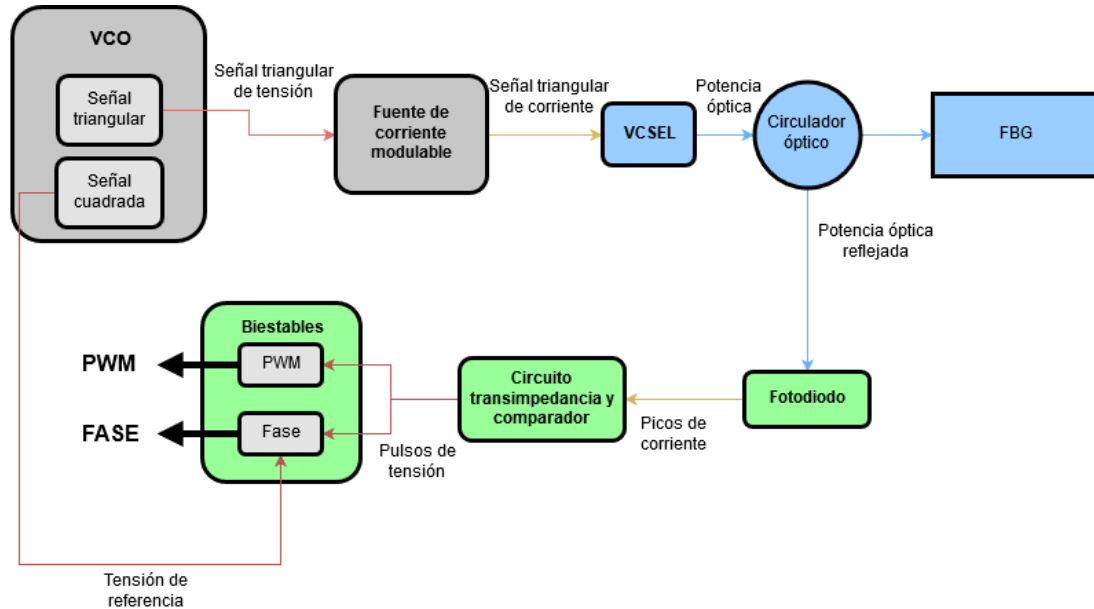


Figura 8. Diagrama de bloques electrónicos, opto-electrónicos y de fibra óptica del sistema compacto de medida rápida con un sensor FBG basada en un VCSEL como láser sintonizable y codificación de la salida como señal PWM o como señal de fase.

a) Circuito de modulación del láser

Para poder diseñar y caracterizar el circuito de modulación del láser lo primero es estudiar las características principales del VCSEL.

En la Tabla I aparecen los principales parámetros de un VCSEL modelo SM 1550 nm de Optilabs seleccionado para el proyecto. Estos valores se muestran para dar una idea aproximada de su magnitud, y son los presentados por el fabricante. Más adelante se presentará la caracterización experimental.

CARACTERIZACIÓN DEL VCSEL

Características	Valores
Rango de corriente máximo (Onda continua)	2.0 mA – 15 mA
Rango de Longitud de Onda	1510 nm – 1570 nm
Corriente Umbral	2 mA – 4 mA
Potencia emitida típica	0.5 mW

Tabla 2. Caracterización del VCSEL

En la tabla se muestra como variando la corriente de inyección se modifica la longitud de onda a la que se emite con el láser. De esta forma y manteniendo la temperatura constante, bastaría con inyectar una corriente variable al VCSEL para realizar el barrido de longitudes de onda en el rango de funcionamiento de la red de Bragg.

La mejor manera de realizar este barrido es mediante una señal triangular de corriente que provoque una variación lineal en la longitud de onda del haz de luz.

Para generar esta señal de corriente se necesita:

- Un oscilador controlado por tensión (VCO) con el que generar una onda triangular de tensión.
- Una fuente de corriente capaz de polarizar el láser, para convertir la señal de tensión de entrada en una señal de corriente y limitar la corriente máxima por el láser.

b) Componentes ópticos

Como ya se ha explicado antes, gracias a la señal triangular de corriente, el VCSEL genera un haz de luz que varía su longitud de onda de forma lineal. Cuando su longitud de onda coincide con la longitud de onda central de la FBG, el haz de luz se refleja sobre el circulador óptico que lo redirige hasta el fotodiodo.

El fotodiodo genera una corriente en función de la potencia óptica que recibe de la FBG que será máxima cuando la longitud de onda del VCSEL coincida con la longitud de onda central de la FBG. En ese punto máximo se generará un pico de corriente.

Puesto que la señal de corriente con la que se polariza el láser es una señal triangular simétrica, cada periodo de la señal generará dos picos de corriente en el fotodiodo ya que todas las longitudes de ondas se barrerán dos veces.

c) Circuito de acondicionamiento de la señal de salida

A partir de los picos de corriente que se crean en el fotodiodo se formará una señal que contenga la información sobre la longitud de onda a la que se ha reflejado la luz y que pueda ser interpretada por un microprocesador u otros instrumentos de lectura.

Dado que hay dos picos de corriente por periodo, las opciones más interesantes son generar una señal PWM entre ellos o aprovechar uno de los pulsos para crear una señal de pulso fijo y comparar la fase. Estas señales son las que veíamos en la Figura 7.

De esta manera, la deformación axial sobre la fibra se verá reflejada en la variación de la longitud de onda de la FBG que funcionará como sensor. Gracias al VCSEL y al sistema de instrumentación, ese cambio en la longitud de onda de la FBG se verá reflejado en el ancho del pulso (PWM) o en la fase de la señal (Fase).

Para generar la señal modulada por ancho de pulso se emplea:

- Un circuito de transimpedancia para convertir los picos de corriente en picos de tensión y amplificarlos.
- Un comparador con una tensión de referencia que convierta los picos de tensión en pulsos.
- Bien un biestable tipo D, o bien un circuito monoestable (*One Shot*) y un detector de fase para crear la señal de salida a partir de los pulsos de tensión.

Si empleamos el biestable tipo D usando los pulsos de tensión como la señal del reloj obtendremos una señal PWM cuyo ancho dependerá del tiempo transcurrido entre los pulsos.

La otra forma de obtener la señal de salida es mediante un circuito monoestable (*One Shot*) que genere una señal de pulso fijo a partir de uno de los pulsos de tensión y un detector de fase que compare la diferencia de fase entre esa señal y la señal cuadrada del VCO.

Capítulo III. DESARROLLO DEL TFG

Apartado 1. Estudio y caracterización del VCSEL de Optilabs

1. ESTUDIO PREVIO

Para poder realizar el diseño del sistema de medida que realice el barrido de longitudes de onda, lo primero que se debe hacer es analizar, seleccionar y caracterizar las herramientas que se van a utilizar.

El elemento central de todo el proyecto es el láser de cavidad vertical VCSEL encargado del barrido de longitudes de onda. Como ya se ha explicado antes, por características y precio se ha decidido emplear el VCSEL-1550-SM de Optilabs, aunque todas las simulaciones y los circuitos que se presentan se pueden ajustar para funcionar con otros modelos.

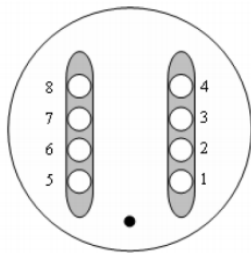


Figura 9. Imagen del VCSEL-1550-SM de Optilabs

Además de incluir el láser, dentro del encapsulado del VCSEL de Optilabs encontramos también un TEC y un termistor para controlar y regular la temperatura del láser y un fotodiodo para hacer las comprobaciones pertinentes y tomar medidas de emisión.

TO-56 temp control/pigtail VCSEL

TO package bottom side view



Pin configuration

Number	Function
1	TEC cathode(-) for cool device
2	Thermistor
3	NA
4	VCSEL cathode/mPD anode
5	TEC anode(+) for cool device
6	Thermistor
7	mPD cathode
8	VCSEL anode

Figura 10. Pinout del VCSEL de Optilabs

Las características principales del láser aparecen en su hoja de características y son las siguientes:

Optical Specifications	
Wavelength	1510 nm to 1570 nm
Threshold Current	2 mA typ., 4 mA max.
Forward Voltage	3 V
Series Resistance	100 Ω typ., 300 Ω max.
Output Power	0.4 mW min., 0.5 mW typ.
Side Mode Suppression	30 dB min., 35 dB max.
Rise and Fall Time	100-150 psec typ.
Monitor Current	0.05 mA min., 0.1 mA typ.
m-PD Dark Current	0.1 μ A
Absolute Maximum Ratings	
Forward Current	15 mA
Reverse Voltage	5 V
Operating Temperature	70 °C
Reflow Temperature	260 °C
TEC Maximum Current	0.7 A
Mechanical Specifications	
Operation Temperature Range	0° to +70° C
Storage Temperature Range	0° to +100° C
Dimensions	28 mm x 7 mm x 7 mm

Figura 11. Tabla de características del VCSEL

Cabe destacar que la longitud de onda del láser varía entre 1510 y 1570 nm, perfecto para interrogar las FBGs cuya longitud de onda central es de 1540 o 1550 nm.

La corriente máxima que puede circular por el láser es de 15 mA, esto implica que hay que tener mucho cuidado al manipularlo y emplear medidas de seguridad como pulseras de conexión a tierra ya que incluso la electricidad estática que se acumula habitualmente podría dañarlo.

Puesto que su corriente mínima típica está entre 2 y 4 mA y su corriente máxima es de 15mA el barrido de longitudes de onda se realizará variando la corriente que atraviesa el láser entre dos valores intermedios a 2 y 15 mA, manteniendo siempre unos márgenes de seguridad para no deteriorarlo.

En la hoja de características del fabricante también encontramos dos gráficas sobre las propiedades del VCSEL:

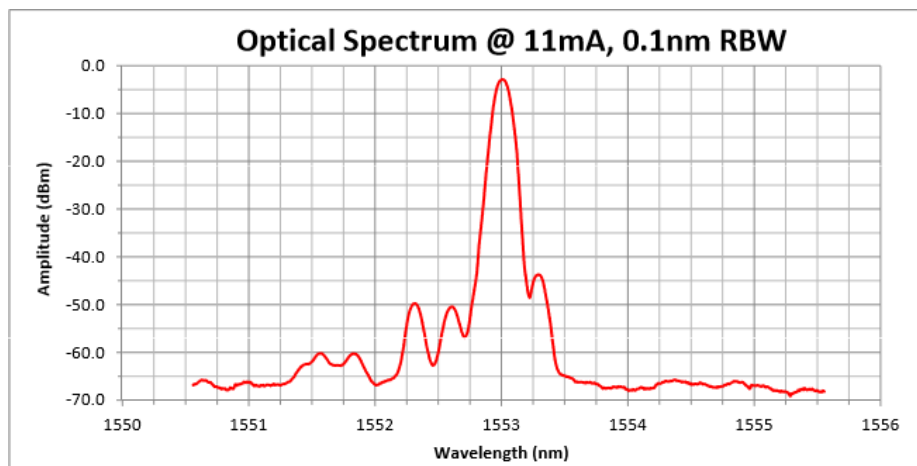


Figura 12. Perfil de emisión del VCSEL a 11 mA

En esta primera gráfica aparece representado el perfil de emisión del láser a 11mA. Como se puede observar, el VCSEL de Otilabs es monomodo casi perfecto y presenta una anchura a media altura o FWHM (Full Width at Half Maximum) bastante reducida, de alrededor de 0,3nm.

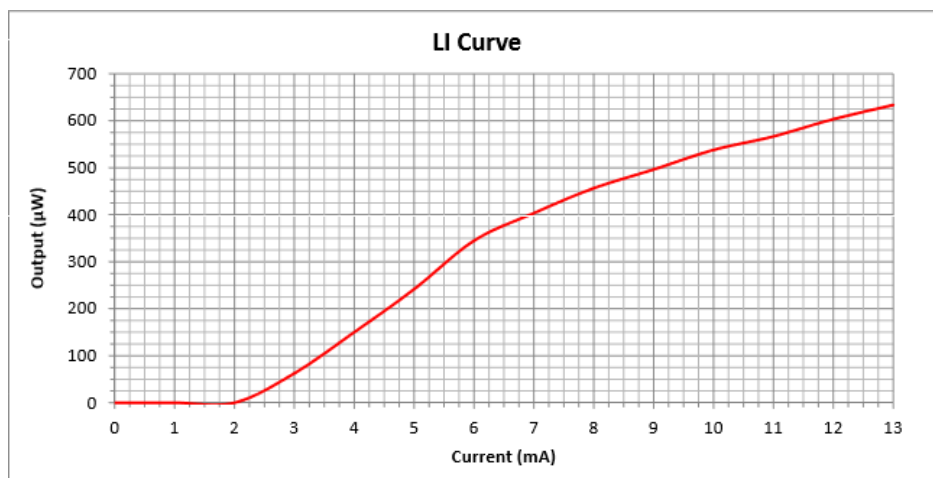


Figura 13. Curva estática Potencia Óptica-Corriente proporcionada por el fabricante

En la segunda gráfica aparece la curva estática que representa como varía la potencia de salida del láser al modificar la corriente de inyección. Se puede apreciar un comportamiento casi lineal, pero con dos pendientes claramente diferenciadas y una pequeña desaceleración hacia el final del rango.

2. CARACTERIZACIÓN Y ENSAYOS

Una vez se ha seleccionado el VCSEL que se va a emplear en el proyecto, se puede proceder a realizar una caracterización más completa del mismo. Para ello se utilizará el propio VCSEL y el analizador de espectro óptico, más conocido con la abreviatura de OSA (Optical Spectrum Analyzer) que se ha mencionado en el apartado de medios empleados.

El analizador de espectros ópticos te representa las medidas de potencia óptica en función de la longitud de onda, obteniendo de esta forma el perfil de emisión del VCSEL para cada variación de corriente o temperatura.

Con esta herramienta se ha realizado el estudio de tres características básicas del VCSEL-1550-SM de Otilabs:

- Relación entre Potencia Óptica y Corriente a temperatura constante.
- Relación entre Longitud de onda y Corriente a temperatura constante.
- Relación entre Longitud de onda y Temperatura a temperatura constante.

Con esos datos sobre el VCSEL ya se podrá proceder a crear un modelo matemático que se pueda simular.

También será interesante comprobar la diferencia entre los datos experimentales y los que incluye en la hoja de características el fabricante.

a) Relación entre Potencia Óptica y Corriente

Para realizar esta medición no es necesario utilizar el OSA, sino que es suficiente con un medidor de potencia óptica a la salida del VCSEL.

Para obtener la curva estática, el láser se mantiene a una temperatura constante mientras se modifica la corriente de polarización y se comprueba la potencia óptica de salida para cada cambio:

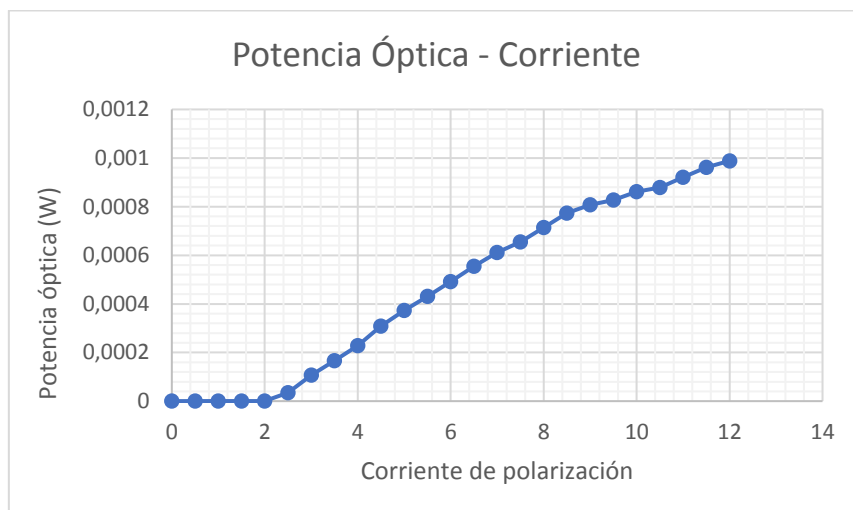


Figura 14. Curva estática Potencia Óptica-Corriente realizada con datos experimentales

Como se puede observar, a pesar de que los valores no son exactamente los mismos que en la gráfica aportada por el fabricante, la tendencia si que coincide. La diferencia en los resultados puede deberse a la temperatura que se ha empleado para realizar el estudio.

Perfil de emisión

Para poder comparar el perfil de emisión que se obtiene experimentalmente con el propio de la hoja de características que aporta el fabricante se ha representado el perfil de emisión para la misma corriente de polarización del láser:

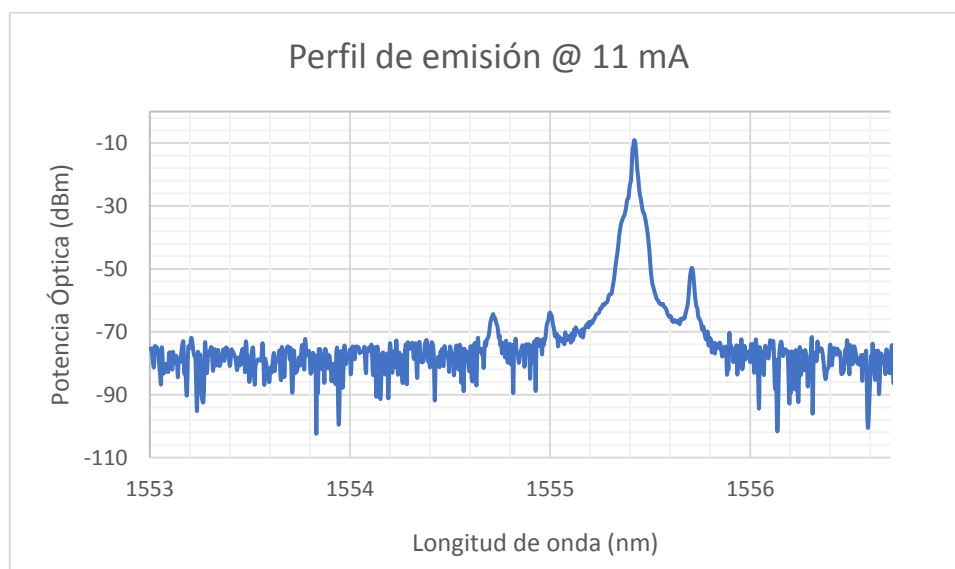


Figura 15. Perfil de emisión a 11 mA realizado con datos experimentales

De nuevo, a pesar de que hay una pequeña diferencia en algún dato concreto como la longitud de onda central, el perfil de emisión es idéntico al de la hoja del fabricante.

Presenta un modo principal claramente identificable, otro pequeño modo a la derecha y otros dos más reducidos a la izquierda. Debido a la gran diferencia de tamaño entre los modos, el VCSEL se puede considerar monomodo.

b) Curva estática de Longitud de Onda – Corriente

La curva de estática de longitud de onda frente a corriente la realizamos obteniendo diferentes perfiles de emisión con el OSA para distintas corrientes de inyección y la misma temperatura.

A partir de esos perfiles de emisión hemos extraído las longitudes de onda centrales a las que emitía el modo principal del VCSEL y las hemos representado en la siguiente gráfica.

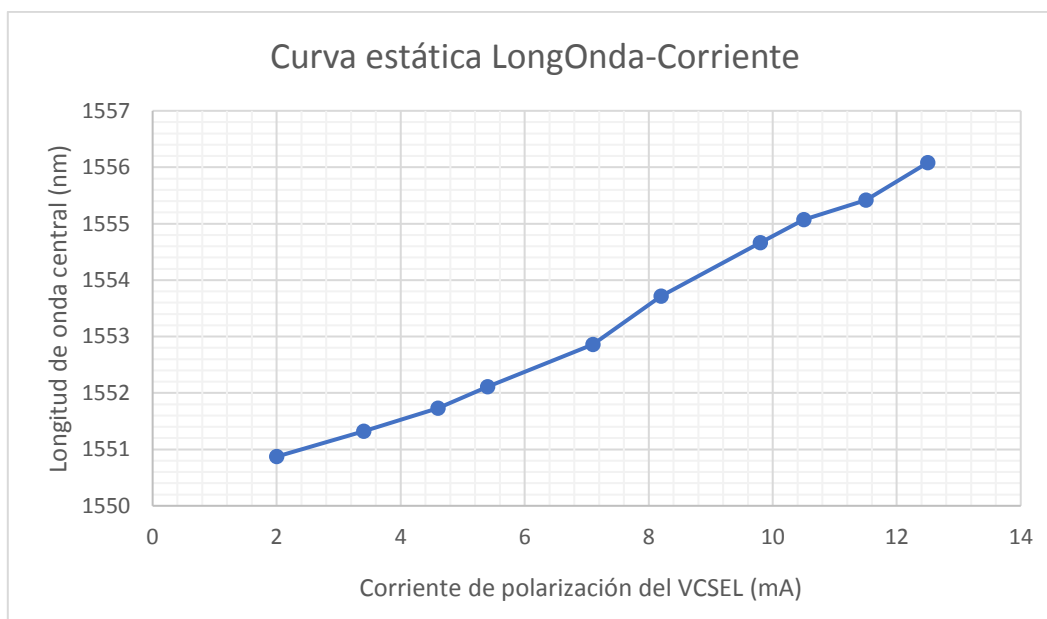


Figura 16. Curva estática Longitud Onda-Corriente realizada con datos experimentales

La tendencia que siguen los datos es una tendencia prácticamente lineal con pendiente positiva.

Otra característica a tener en cuenta que se obtiene de este estudio es la gran inclinación de la pendiente. Para una pequeña variación de 10,5 mA, se consigue un barrido de más de 5 nm de longitud de onda.

Variación de los perfiles de emisión según la corriente

Con el fin de comprender mejor la variación de potencia óptica y longitud de onda en función de la corriente, se ha representado en una única gráfica, el modo principal de cada perfil de emisión:

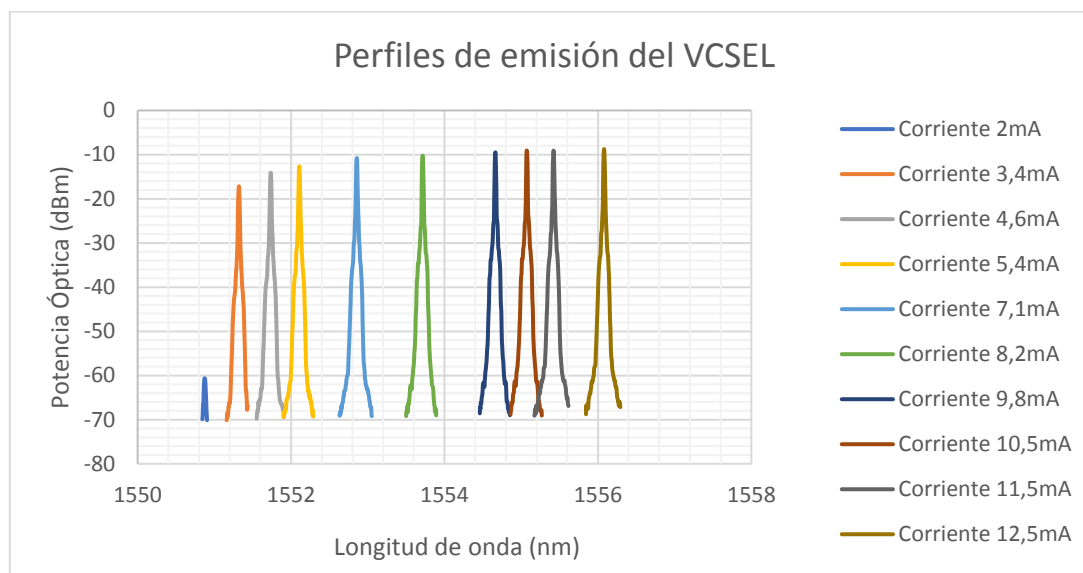


Figura 17. Perfiles de emisión del VCSEL para el rango de corrientes de polarización entre 2 y 12,5 mA

Se puede apreciar de forma visual como la potencia óptica a partir de la corriente mínima de polarización varía poco mientras que la longitud de onda cambia de forma más significativa.

Ese comportamiento del láser es perfecto para el proyecto que se está planteando ya que permite realizar barridos amplios de longitud de onda sin grandes pérdidas de potencia.

c) Curva estática de Longitud de Onda – Temperatura:

Para realizar la caracterización de la variación de longitud de onda con temperatura hemos empleado el TEC y el Thermistor que incluye el propio láser.

El procedimiento para realizar esta caracterización es simple, se fija la corriente por el láser a un valor constante, 8mA en este caso, se modifica gradualmente la temperatura mientras se monitoriza y se mide el cambio de longitud de onda a la salida.

Para realizar el experimento se ha empleado la fuente CLD1015 de Throlabs y un analizador de espectro óptico.

Los resultados del experimento se han representado en la siguiente gráfica:

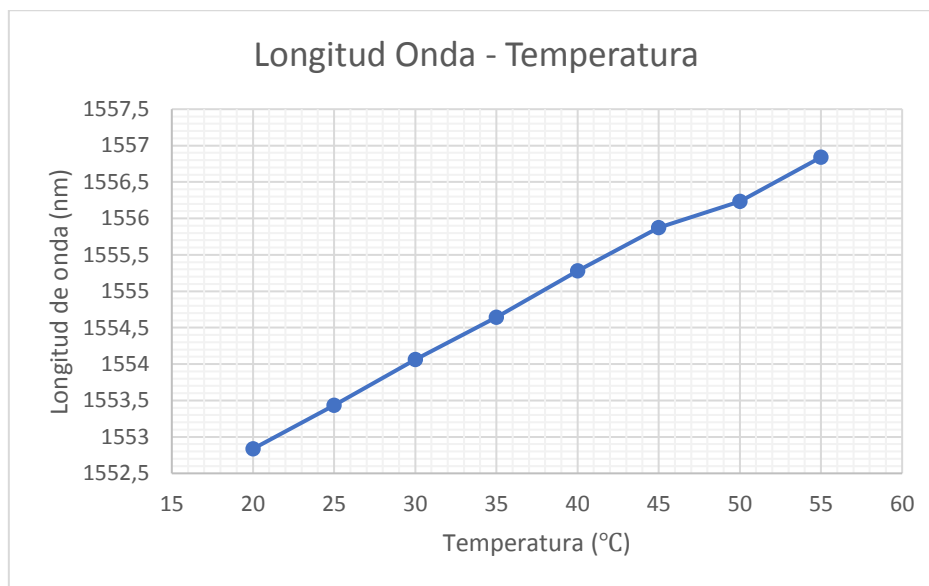


Figura 18. Curva estática Longitud Onda-Temperatura realizada con datos experimentales

En los resultados se puede apreciar como la variación de longitud de onda con respecto a temperatura es muy lineal en el intervalo entre los 20 y los 55°C.

Cabe destacar que el VCSEL SM 1550 nm de Optilabs que se ha empleado en este proyecto cuenta con un TEC y un termistor para permitirnos llevar a cabo un control de temperatura.

Además, la fuente de corriente CLD1015 que se va a emplear también incluye herramientas para el control de temperatura. Gracias a eso, tenemos la posibilidad de calentar o enfriar el VCSEL con el fin de modificar la longitud de onda central del barrido del láser.

El control de temperatura no es en ningún caso el objetivo de este proyecto, que se basa en barridos de longitud de onda mediante señales moduladas de corriente, pero resulta interesante para realizar algunos experimentos.

Apartado 2. Ensayo experimental

1. PLANTEAMIENTO DEL EXPERIMENTO

Empleando el instrumental disponible en el laboratorio, se ha diseñado un experimento para comprobar el funcionamiento del sistema propuesto y acreditar la viabilidad del VCSEL como láser capaz de realizar barridos de longitud de onda.

Para el montaje se ha empleado material de instrumentación del Departamento de Tecnología Electrónica y algunos de los elementos que se han diseñado durante el proyecto.

El experimento consiste en modular el VCSEL con la fuente de corriente para que realice un barrido de longitud de onda y detectar mediante esta técnica la longitud de onda central de un filtro.

Para ello se van a emplear los siguientes elementos:



El único elemento de este ensayo que no se había utilizado ni explicado antes en el proyecto es el interferómetro Fabry-Pérot. El Fabry-Pérot es un instrumento óptico que solamente transmite la luz a unas longitudes de onda muy concretas.



Figura 19. Filtro óptico sintonizable FFP-TF2 9000 de Micron Optics

Su perfil de espectro óptico es muy interesante. Presenta varias bandas con diferentes longitudes de onda a las que trasmite y que tienen una selectividad considerable.

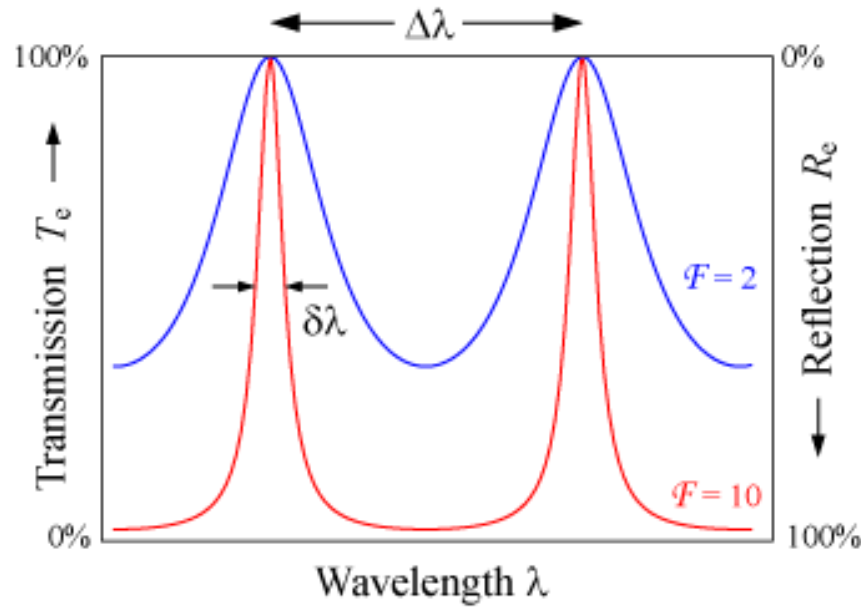


Figura 20. Espectro Óptico de un Interferómetro Fabry-Pérot [W4]

Además, el Fabry-Pérot tiene unas entradas de tensión con las que se modifican las longitudes de onda centrales de las bandas de transmisión. Esto nos permite sintonizarlo para ajustarlo al rango de barrido de nuestro VCSEL y simular la FBG.

Sus características principales son:

Specifications

FFP-TF2

Optical Properties

Operating Wavelength Range ¹	(Custom)	800 - 1200 nm			
Operating Wavelength Ranges ¹	(Standard)	O-Band	1260 - 1360 nm	C-Band	1520 - 1570 nm
		E-Band	1360 - 1480 nm	L-Band	1570 - 1620 nm
		S-Band	1480 - 1520 nm	C & L Band	1520 - 1620 nm
Free Spectral Range (fixed FSR but selectable within this range)		100 to 45,000 GHz (800 pm to 340 nm at 1550 nm)			
Standard Finesse Values (nominal)		10, 40, 100, 200, 500,			
(For non-standard finesse values up to 16,000 - Contact Micron Optics)		650, 1000, 2000, 4000			
3dB Bandwidth		Equals desired FSR/Finesse			
Insertion Loss ²		<1.5 dB			
Polarization Dependent Loss ²		<0.2 dB			
Input Power (Maximum) ³		< 100mW (for finesse <200)			
Glitch Free Dynamic Range (GFDR)		> 15 dB			

Electrical Properties

Tuning Voltage/FSR	< 18 V
Capacitance	< 3.0 μF
Cycling Speed Over 1 FSR	800 Hz (max)
Maximum Tuning Voltage	70 V

Mechanical Properties

Dimensions	13.5 mm x 25.8 mm x 57.2 mm
Weight	53 g
Mounting Holes	(4) #1-72 UNF x 0.16 inch deep
Cable Jacket (loose)	900 μm buffer tubing
Cable Length	>1 m
Connector	See Options

Environmental Properties ^{2,4}

Operating Temperature ¹	-20° to 80°C
Δ Operating Voltage/Operating Temperature	< 18 V
Δ Insertion Loss/Operating Temperature (dependent on FSR)	< 0.5 dB
Δ Insertion Loss/Vibration	< 0.5 dB

Figura 21. Características principales del FFP-TF2 9000 de Micron Optics

De la hoja de características, cabe destacar el FSR o *Free Spectral Range* que determina la distancia entre las bandas de transmisión del espectro óptico que a 1550nm es de 340nm. Lo que significa que nuestro VCSEL al realizar el barrido solo entra en contacto con una de ellas.

Hay varias diferencias importantes entre la FBG y el Fabry-Pérot: el interferómetro es más selectivo, fuerza la transmisión en vez de la reflexión y funciona a varias longitudes de onda.

Sin embargo, las longitudes centrales de su espectro de transmisión son sintonizables y nos permite estudiar que pasa cuando se hace un barrido de frecuencias con un VCSEL modulado entorno a la longitud de onda central de un filtro óptico, que es el objetivo del experimento.

El hecho de que sea un filtro de reflexión o de transmisión es insignificante a la hora de realizar este ensayo ya que no influye en lo que se quiere medir. La propia fabricación del interferómetro, que hace que transmita a varias longitudes de onda, no afecta al experimento ya que en el barrido solo se entra en contacto con una de las bandas de transmisión.

En cambio, que el Fabry-Pérot sea más selectivo que el VCSEL si que es significativo ya que la salida de potencia óptica será diferente. Sin embargo, si se tiene en cuenta a la hora de sacar las conclusiones del experimento sigue teniendo la misma utilidad para demostrar que es posible detectar una longitud de onda central barriendo rangos de longitudes de onda con un VCSEL.

Después de comprobar que es posible modular el láser con la fuente CLD1015, se conecta a la salida del VCSEL el Fabry-Pérot y se emplea el generador de señales digital para realizar el resto de pruebas pudiendo variar la amplitud y la frecuencia con mayor precisión.

Colocando la tensión del Fabry-Pérot a 13.13V y la corriente central de la fuente CLD1015 a 8mA, empezamos a modular generando una triangular de 30mA de amplitud y un hercio.

Al trabajar a tan baja frecuencia se puede comprobar como la corriente en la fuente varía entre los 6 y los 10 mA y como se modifica tanto la longitud de onda como la potencia óptica transmitida al otro lado del Fabry-Pérot.

2. RESULTADOS DEL EXPERIMENTO

Para poder demostrar el efecto del filtro y como varía la salida durante el barrido del VCSEL se ha realizado una medida modificando manualmente con la fuente de Thorlabs la corriente por el láser manteniendo la tensión en el interferómetro y la temperatura constantes:

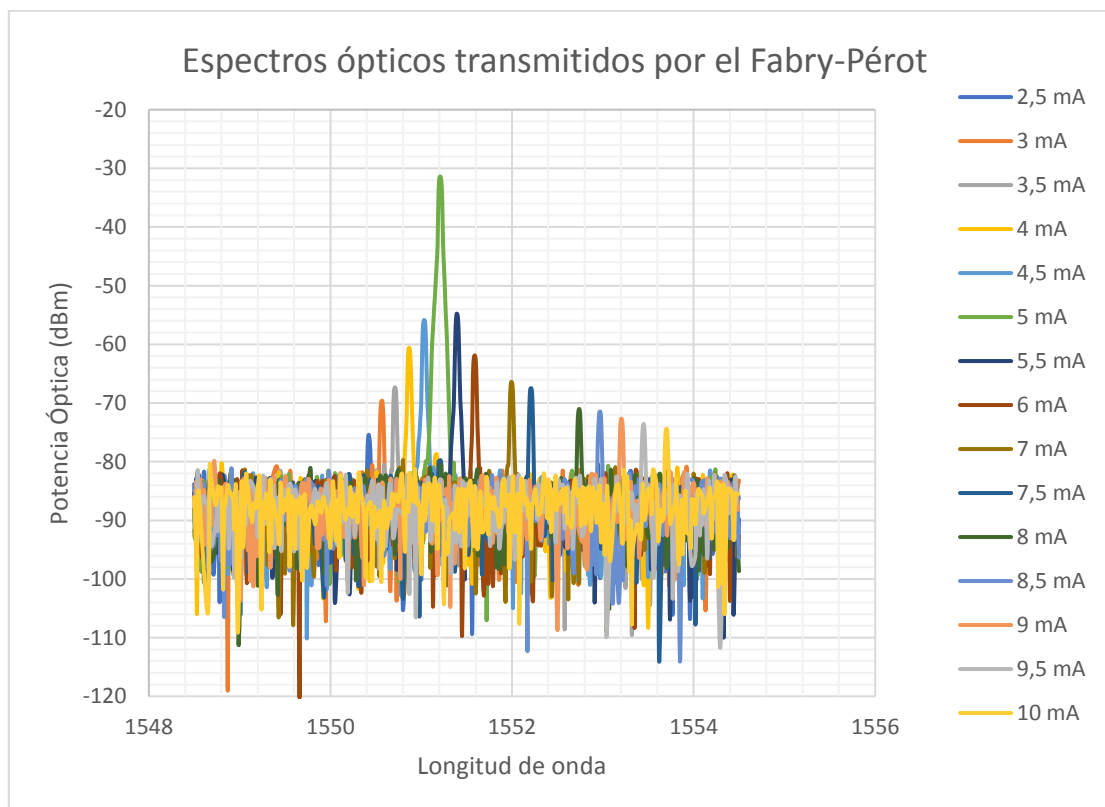


Figura 22. Perfiles de espectro óptico transmitidos a través del Fabry-Pérot para distintos valores de corriente de inyección del VCSEL

Al realizar el barrido se aprecia claramente cuál era la longitud de onda de emisión del VCSEL y como se transmite una cantidad de potencia óptica diferente a través del filtro en función de su cercanía a la longitud de onda central de la banda de transmisión del Fabry-Pérot.

Si se hubiera empleado una FBG con un espectro en torno a estas longitudes de onda en vez de un Fabry-Pérot, el resultado hubiera sido el mismo salvo que se habría perdido menos potencia óptica ya que la reflexión de la FBG es mayor que la transmisión del Fabry-Pérot y la red de Bragg no es tan selectiva como el interferómetro.

En cualquier caso, se demuestra que realizando un barrido se puede identificar claramente la longitud de onda central de un filtro óptico.

Para verlo más claramente se han representado en otra gráfica los valores máximos de potencia óptica de cada perfil de transmisión:

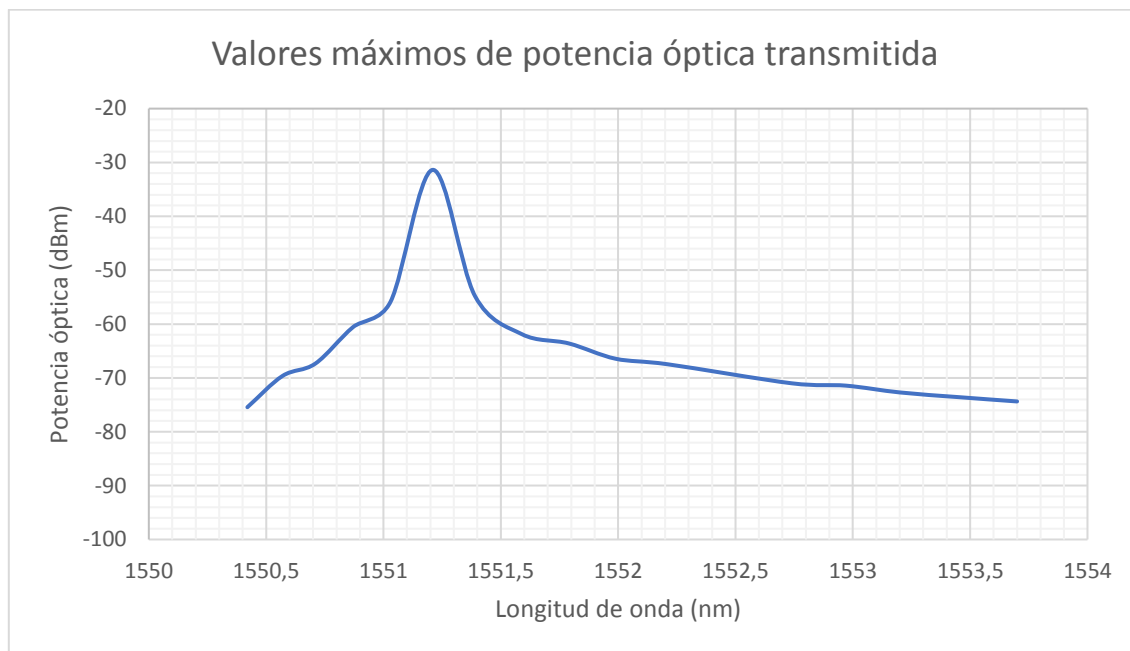


Figura 23. Gráfica con los valores máximos de potencia transmitidos por el Fabry-Pérot en un barrido de longitud de onda realizado con el VCSEL

Como se puede apreciar a simple vista, la longitud de onda central de la banda de transmisión del Fabry-Pérot se sitúa entorno a los 1551.2nm aproximadamente.

3. CONCLUSIONES DEL ENSAYO

Este ensayo nos ha permitido corroborar, demostrando experimentalmente, dos conceptos fundamentales del proyecto:

- Es posible modular el VCSEL para realizar un barrido de longitudes empleando el generador de señales digital o la placa que se ha diseñado.
- Mediante el barrido de longitudes de onda del VCSEL que se ha generado, es posible identificar la longitud de onda central de un filtro óptico.

Esto respalda los principios que fundamentan el proyecto y sobre todo el diseño del sistema que se ha planteado.

Apartado 3. Diseño de circuitos

Para poder implementar el sistema propuesto que aparece representado en la Figura 24 se han diseñado una serie de circuitos electrónicos.

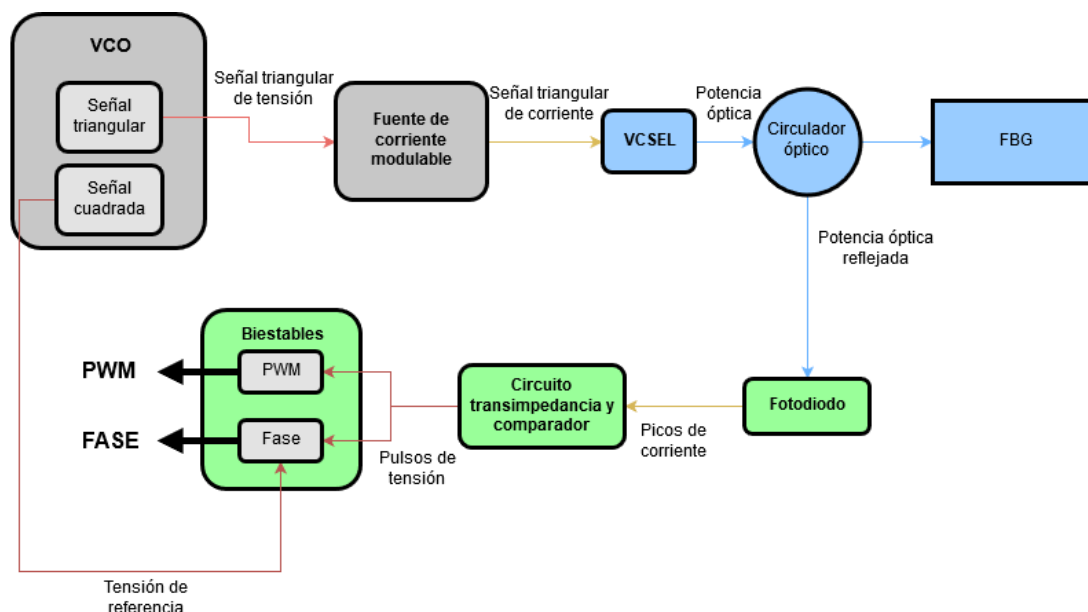


Figura 24. Diagrama de bloques electrónicos, opto-electrónicos y de fibra óptica del sistema compacto de medida rápida con un sensor FBG basada en un VCSEL como láser sintonizable y codificación de la salida como señal PWM o como señal de fase.

Como ya se comentó en el Capítulo II, el sistema consta de tres partes diferenciadas, la parte de modulación del VCSEL, la parte óptica y la parte de acondicionamiento de la señal de salida.

De la primera parte, se ha diseñado y fabricado un circuito generador de señales capaz de generar una señal triangular y una cuadrada en fase que se emplearán para modular la fuente de corriente con la que alimentaremos el VCSEL. Esa fuente de corriente será la CLD1015 de Thorlabs.

De la parte óptica del sistema, ya se cuenta con todos los elementos y solo será necesario diseñar una placa adaptadora para poder conectar el VCSEL a la fuente CLD1015.

De la última parte, se propone un sistema para generar las señales de PWM y Fase empleando un fotodetector, un comparador y dos biestables.

1. CIRCUITO GENERADOR DE SEÑALES

Como ya se ha mencionado anteriormente, para realizar el barrido de longitudes de onda con el VCSEL de Optilabs hace falta alimentarlo con una señal de corriente triangular.

Para ello se pretende utilizar la fuente de corriente CLD1015 de Thorlabs, una fuente muy completa con control de temperatura y varios modos de funcionamiento.

Sin embargo, el CLD1015 tiene una salvedad, solo es capaz de generar valores constantes de corriente y para generar señales requiere de una modulación externa.

Es por eso por lo que se ha diseñado una placa generadora de señales modulables. Las características que tiene son las siguientes:

- **Entradas:** la única entrada necesaria de la alimentación es una entrada de tensión que nos permita modificar la frecuencia de las señales.

La finalidad de esta entrada es doble:

- Permite probar distintas frecuencias de funcionamiento.
- Ofrece la posibilidad de realimentar el sistema completo para crear un lazo cerrado que ajuste el rango a la frecuencia central de la FBG, generando un PLL óptico para aumentar las lecturas por segundo.
- **Salidas:** Serán necesarias dos salidas:
 - **Señal cuadrada:** con una amplitud entre 0 y 5 voltios para poder comparar la fase con la salida del sistema.
 - **Señal triangular:** con una amplitud y un offset que dependerán de la fuente de Thorlabs.
- **Alimentación:** Serán necesarias dos entradas de alimentación a parte de la masa del circuito, una de 5V y otra de -5V. Estas entradas se encargarán de alimentar todos los circuitos integrados de la placa.

Para generar las señales que necesitamos para modular la fuente, se han desarrollado dentro de la placa cuatro circuitos, cada uno con una función diferente:

1. **Un oscilador:** es el circuito encargado de generar la señal cuadrada a partir de la cual se generará la triangular.
2. **Un sumador:** la señal cuadrada que generamos con el oscilador tiene una tensión media positiva que hay que poner a cero antes de convertirla en una triangular.
3. **Un integrador:** encargado de transformar la señal cuadrada en la triangular.
4. **Un divisor de tensión:** para ajustar la amplitud de la señal de salida.

Este es el esquemático general de la placa:

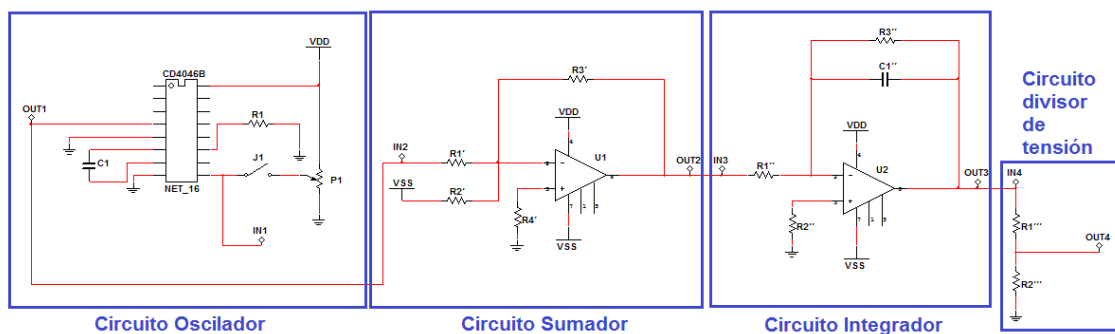


Figura 25. Esquemático Circuito Generador de Señales

A. Diseño de subsistemas

A continuación, se procede a explicar la elección, el funcionamiento y la caracterización de cada uno de los circuitos de la placa:

a) Generador de señal cuadrada

La parte principal del circuito generador de señales que se ha diseñado es el generador de la señal cuadrada. Para ello se propone emplear un VCO.

Un VCO (*Voltage-Controlled Oscillator*) u oscilador controlador por tensión es un dispositivo electrónico que genera una señal de salida cuya frecuencia depende de una tensión de entrada.

Estos dispositivos se emplean para generar señales modulables y aunque su salida más común es una señal senoidal, también los hay que generan señales cuadradas.

El circuito integrado que se ha seleccionado para realizar la función de VCO es el CD4046B. Este circuito no es únicamente un VCO si no un PLL. Los PLL (*Phase-Locked Loop*) o lazo de seguimiento de fase son complejos dispositivos electrónicos realimentados mediante un lazo de control que generan una señal de salida con una fase relativa a la fase de la señal de entrada.

Una parte fundamental de cualquier PLL es el VCO que necesitan para modificar la frecuencia de la señal de salida en función de la fase de la señal de la entrada.

El CD4046B tiene las conexiones del VCO con salidas y entradas externas de manera que se puede emplear el oscilador sin hacer uso del resto de los componentes internos de un PLL.

Antes de elegir el CD4046B para realizar las funciones de oscilador controlado por tensión se barajaron otras opciones como el LM566C un circuito integrado capaz de generar una señal cuadrada y otra triangular en fase.

Por desgracia ese circuito se dejó de fabricar hace tiempo por lo que seleccionarlo para este proyecto supondría convertirlo en un proyecto más caro y difícilmente replicable.

En cambio, el CD4046B es un circuito integrado muy popular para realizar circuitos de modulación, ampliamente probado y documentado, robusto, barato y fácil de adquirir. Y proporciona una señal cuadrada a partir de la cual se pueden diseñar otros circuitos para crear la señal triangular.

- Estudio previo

Como ya hemos comentado antes el CD4046B es un dispositivo electrónico diseñado para funcionar como un lazo de seguimiento de fase, por eso contiene más entradas y salidas de las que se van a emplear en este proyecto:

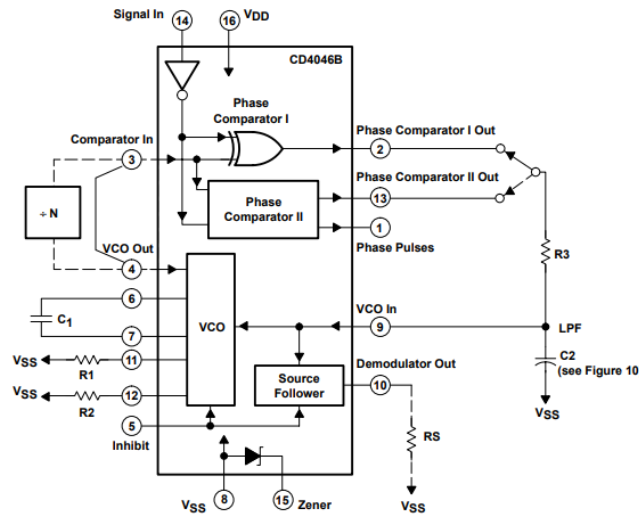


Figura 26. Diagrama de bloques del CD4046B

La parte del dispositivo interesante para este proyecto es la que incluye el VCO y todas sus entradas y salidas, a parte de las alimentaciones del circuito integrado. Eliminando todo lo demás el diagrama de bloques queda de la siguiente forma:

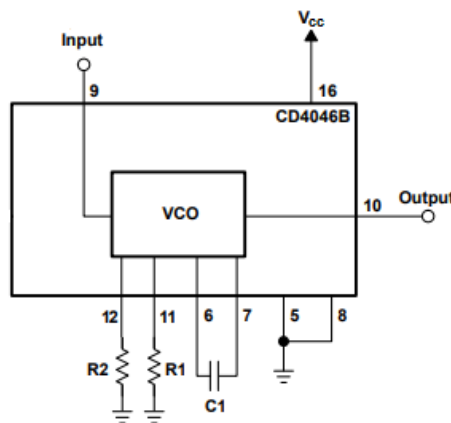


Figura 27. Diagrama de bloques del VCO interno del CD4046B

Como se puede observar en el diagrama de bloques, al circuito se le conectan de forma externa ciertos pasivos para determinar el punto de trabajo, y en función de la tensión de entrada por el Pin 9 (V_{COin}) generará una señal de salida por el Pin 4 (V_{COout}).

- Caracterización

Para seleccionar los pasivos se recurre a la hoja de características del dispositivo. En la documentación el fabricante incluye dos gráficas en las que aparecen representadas la frecuencia central y el rango de acción del oscilador en función de R_1 , R_2 y C_1 :

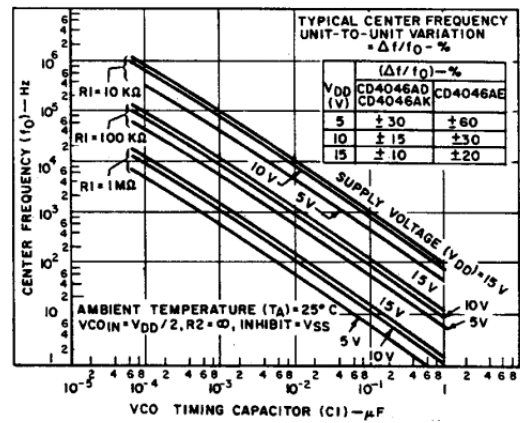


Figura 28. Frecuencia Central vs C1

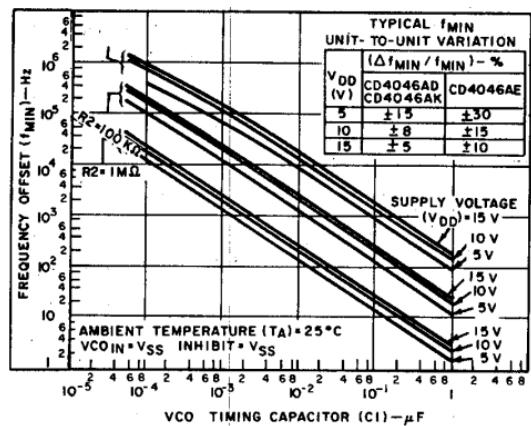


Figura 29. Desviación de la Frecuencia Central vs C1

Como se puede observar en las gráficas, con la resistencia R_1 y el condensador C_1 se selecciona la frecuencia central de oscilación, mientras que la desviación de la señal depende de C_1 y R_2 .

En este caso no es necesario imponer ninguna desviación ni compensación al circuito por lo que no será necesaria la resistencia R_2 , solamente habrá que seleccionar la resistencia R_1 y el condensador C_1 .

Para escoger los valores de los pasivos se emplea la gráfica que aparece en la Figura 28. Se busca una frecuencia central algo superior a 20kHz para poder generar la señal cuadrada a partir de un voltaje menor.

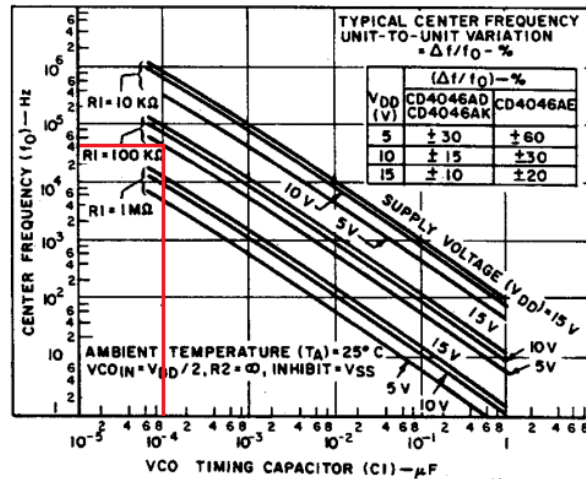


Figura 30. Gráfica con la frecuencia central seleccionada

Como se puede observar resaltado en rojo en la Figura 30, se ha seleccionado una resistencia R_1 de $100k\Omega$ y un condensador C_1 de $100pF$ para que la frecuencia central sea de $40kHz$ cuando se alimente el circuito a 5 voltios.

- Pruebas experimentales

Después de seleccionar los pasivos se realiza el montaje del circuito y se prueba su funcionamiento. La configuración final aparece representada mediante un diagrama de bloques con los componentes en la Figura 31:

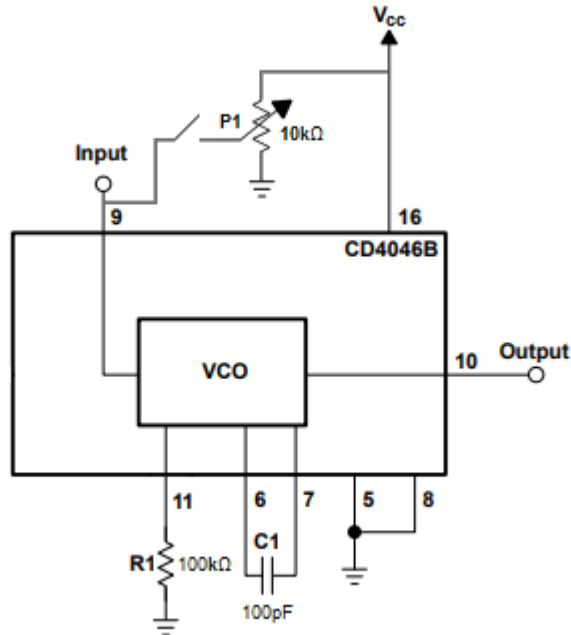


Figura 31. Diagrama del circuito final del VCO

Y este es el esquemático que corresponde al circuito con el circuito integrado al completo:

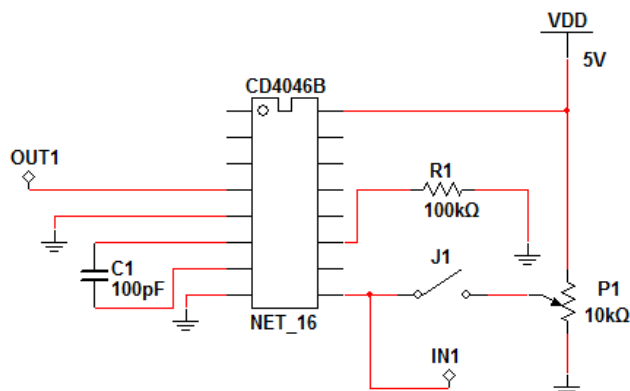


Figura 32. Circuito Generador de Señal Cuadrada caracterizado

Cabe destacar un pequeño añadido a la entrada del circuito. Se ha incorporado un potenciómetro conectado entre la alimentación y masa para poder simular tensiones de entrada al oscilador.

Como se puede observar en la Figura 32, el potenciómetro no está conectado directamente a la entrada si no que se ha colocado un interruptor en medio que estará abierto durante el uso habitual del circuito.

Sin embargo, este potenciómetro lo que permite es probar el desempeño del VCO para distintas tensiones de entrada, comprobar su buen funcionamiento, caracterizar la configuración que se ha diseñado e incluso generar una señal cuadrada de frecuencia fija en caso de que no sea necesario modular la señal.

Para caracterizar la variación de frecuencia a la salida del circuito se ha estudiado la señal cuadrada generada por el VCO mientras que se modificaba la tensión de entrada. Los resultados se han representado en la siguiente gráfica:

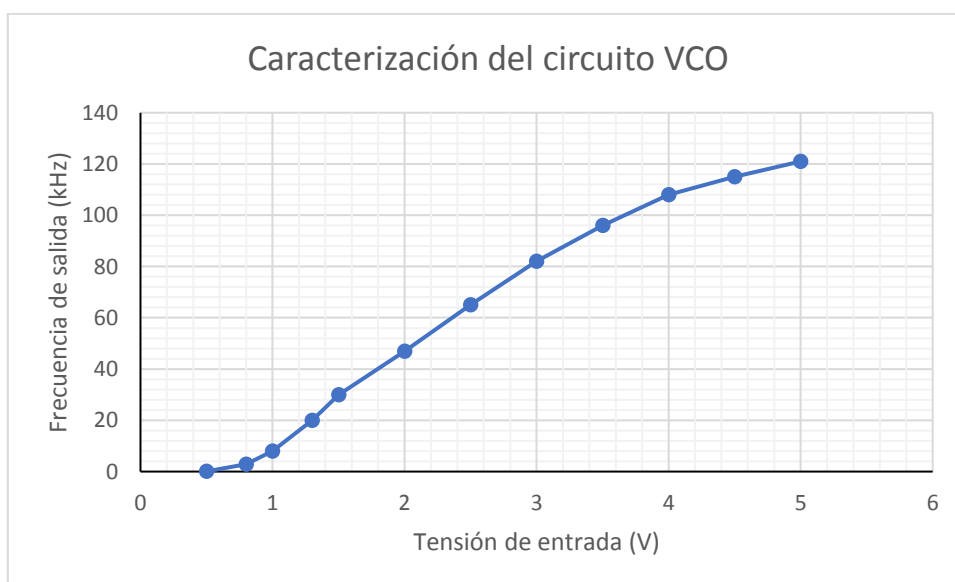


Figura 33. Caracterización del Circuito Generador Señal Cuadrada

Se determinó el rango de frecuencias variando la tensión de entrada desde el mínimo, cero voltios, hasta llegar a la tensión de alimentación del circuito, cinco voltios.

Como se puede observar en los resultados, la frecuencia varía entre 0 y 120 kHz por lo que la frecuencia central se sitúa en torno a los 60kHz, algo superior a la que aparecía en la gráfica, pero razonable teniendo en cuenta la posible propagación de errores.

Según la propia hoja de características el error de las gráficas para seleccionar componentes es notablemente alto y más cuando se alimenta el circuito con una tensión de 5V ($\frac{\Delta f}{f_0} = \pm 30\%$). Además, la resistencia y el condensador tienen en torno a un 10% de tolerancia y el propio método para seleccionar los componentes a través de una gráfica con tan poca definición tampoco favorece la exactitud.

Examinando la gráfica también podemos afirmar que el comportamiento del VCO en torno a las frecuencias centrales es convenientemente lineal. A medida que se acerca a las tensiones de masa o alimentación del circuito esta linealidad se pierde, por lo que nos interesa trabajar en la zona central.

A pesar de la variación en la frecuencia central que se ha comentado antes, los resultados que se han obtenido son perfectamente válidos. En torno a los 20kHz la respuesta del VCO se puede considerar lineal y la tensión necesaria para trabajar a esas frecuencias es bastante baja, lo que facilita el conexionado con otros circuitos.

En la Figura 34 se puede estudiar el resultado de una prueba de laboratorio con el circuito de la Figura 32 montado sobre una placa de prototipado. En el osciloscopio se observa la señal cuadrada de 20kHz generada a la salida al conectar el circuito con 1.3 voltios a la entrada:

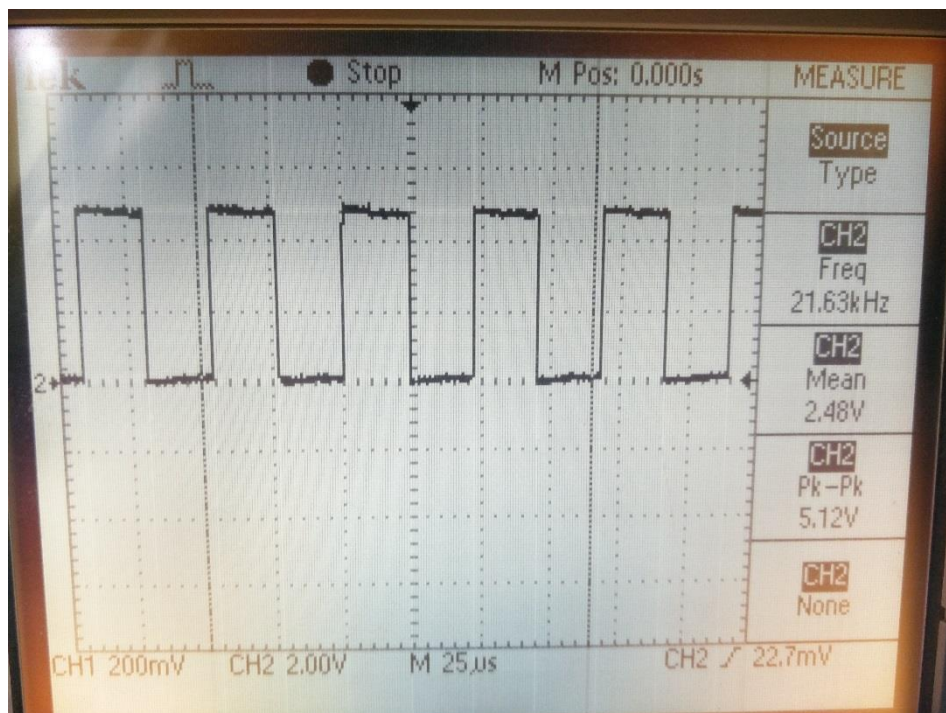


Figura 34. Señal cuadrada generada por el VCO y medida en el osciloscopio

Estudiando el resultado se puede ver como la señal tiene la amplitud deseada, un valor medio de 2.48V, muy similar a los 2.5V que se pretendían y unos flancos de subida y bajada muy precisos a la frecuencia de 20kHz.

Esta señal cuadrada no será únicamente una salida de esta parte del circuito, si no que será también una salida de la propia placa. La función de esta señal cuadrada desde el punto de vista del sistema de instrumentación global es que nos permite comparar su fase con la generada por los biestables.

b) Circuito sumador

A la salida del circuito VCO se obtiene una señal cuadrada entre 0 y 5 voltios. Para después poder generar la señal triangular con el circuito integrador sin que se sature la salida es necesario que la tensión media de la señal cuadrada sea cero.

- Estudio previo:

Con ese objetivo en mente se introduce a la señal cuadrada un offset de 2,5 voltios negativos con un circuito sumador. El circuito emplea como entradas la señal cuadrada y la tensión negativa que alimenta los amplificadores operacionales:

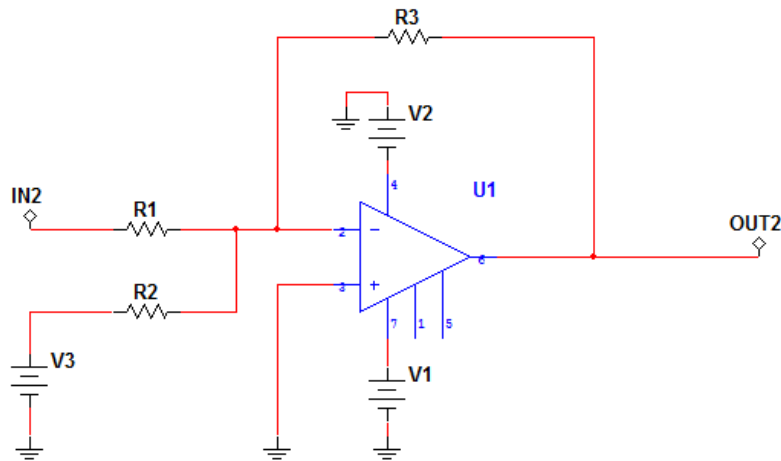


Figura 35. Esquemático Circuito Sumador

La ecuación característica del circuito es [10]:

$$V_{out} = -\left(V_{IN2} \cdot \frac{R_3}{R_1} + V_2 \cdot \frac{R_3}{R_2}\right) \quad (3)$$

Donde V_{IN2} es la señal cuadrada que genera el VCO y V_2 es la alimentación de -5 voltios que se emplea tanto como entrada al circuito sumador como para alimentar los amplificadores operacionales.

- Caracterización

Para realizar el cálculo de los pasivos se sustituye en la ecuación del sumador para los dos posibles valores de la señal cuadrada:

$$\text{Para } V_{IN2} = 0V, V_{out} = 2.5V \rightarrow V_{out} = -V_2 \cdot \frac{R_3}{R_2} \rightarrow \frac{R_3}{R_2} = \frac{1}{2}$$

$$\text{Para } V_{IN2} = 5V, V_{out} = -2.5V \rightarrow V_{out} = -\left(V_{IN2} \cdot \frac{R_3}{R_1} + V_2 \cdot \frac{R_3}{R_2}\right) \rightarrow 5 = 5 \cdot \frac{R_3}{R_1} \rightarrow R_3 = R_1$$

Al despejar las ecuaciones se obtienen dos ecuaciones con tres incógnitas por lo que hay infinitas soluciones posibles. Para seleccionar los componentes pasivos, se le da un valor nominal a una de las resistencias y se calculan las otras dos:

$$\text{Componentes pasivos: } \begin{cases} R_3 = 10k\Omega \\ R_1 = 10k\Omega \\ R_2 = 20k\Omega \end{cases}$$

Para realizar la función del amplificador operacional se ha seleccionado el TL081. Es un amplificador operacional de uso general con un *Slew Rate* de $13 V/\mu s$ más que suficiente para las frecuencias y los rangos de tensión a los que se va a trabajar.

Además de eso, se ha tenido en cuenta que es un circuito integrado barato y fácil de conseguir, muy utilizado para múltiples aplicaciones lo que facilita la replicabilidad del proyecto.

El esquemático del circuito final es el siguiente:

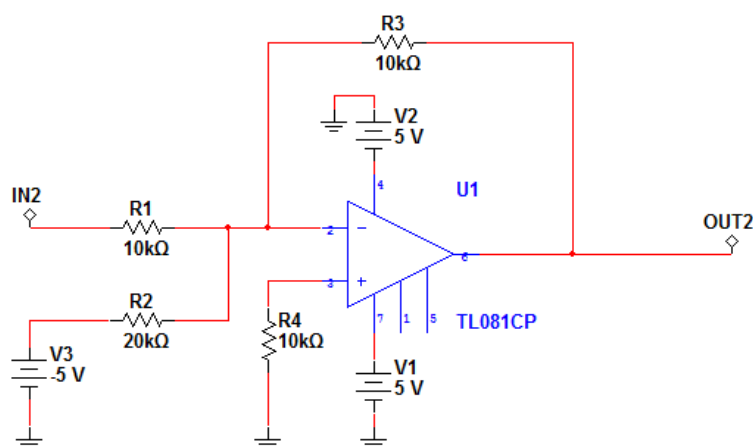


Figura 36. Esquemático final Circuito Sumador

- Simulación

Para comprobar su correcto funcionamiento se simula el circuito con el programa Multisim utilizando como entrada una señal cuadrada de 5 voltios de amplitud, tensión media 2.5V y 20kHz de frecuencia, como la que se genera con el VCO:

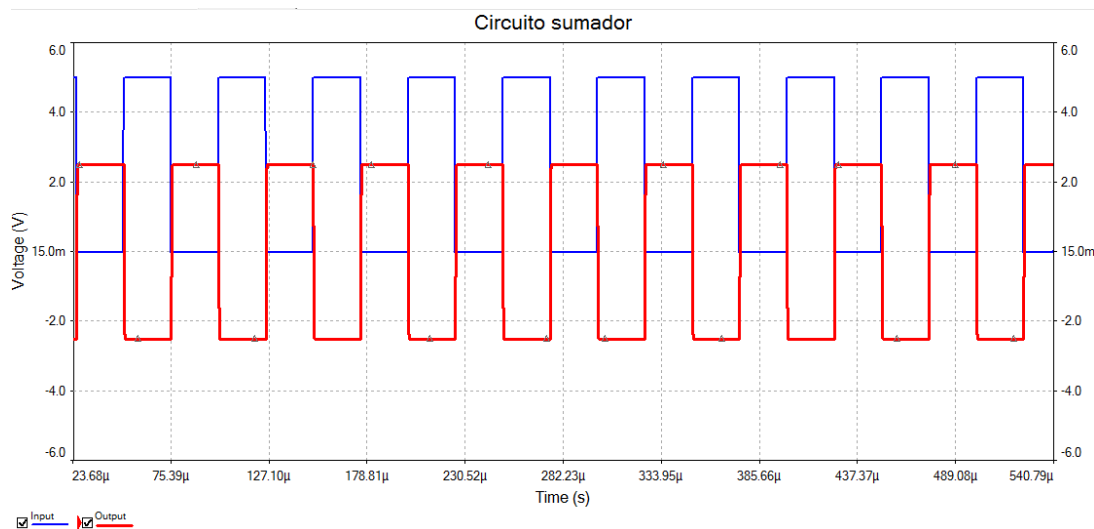


Figura 37. Resultado simulación Circuito Sumador

En los resultados de la simulación se puede apreciar como el circuito sumador realiza la función para la que se ha diseñado reduciendo a 0 la tensión media de la señal cuadrada.

También resulta apreciable la buena calidad de la señal cuadrada a la salida. Esto se debe a muchos factores, pero cabe destacar la elección del amplificador operacional. En caso de que el Slew Rate del amplificador no hubiera sido suficiente, los flancos de la señal cuadrada no tendrían una pendiente tan grande.

c) Circuito integrador

Con el fin de alimentar el VCSEL con una corriente triangular, se necesita convertir la señal cuadrada generada por el VCO en una señal triangular de tensión que se conecte a la fuente de Thorlabs.

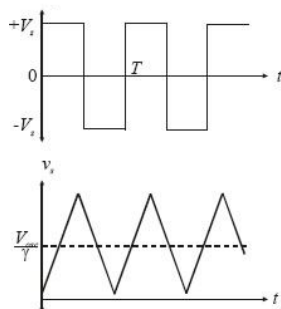


Figura 38. Representación de una señal cuadrada y una triangular en fase

- Estudio previo

Para realizar esta función se propone emplear un circuito integrador diseñado para funcionar a las frecuencias a las que se va a trabajar en la prueba de concepto, alrededor de 20kHz.

Se comienza el diseño a partir del circuito integrador ideal:

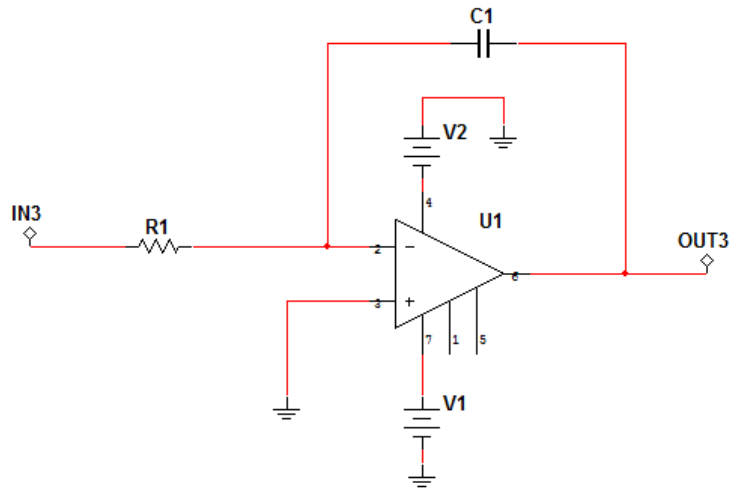


Figura 39. Esquemático Circuito Integrador ideal

El funcionamiento de este circuito está basado en la carga y descarga del condensador. Durante el semiperiodo positivo de la señal cuadrada, la corriente circula a través de la resistencia y el condensador hacia la salida. En este semiperiodo se produce la carga lineal del condensador que genera la rampa de pendiente negativa en la tensión de salida.

En el semiperiodo negativo el comportamiento del circuito es el inverso, la corriente circula hacia la entrada, el condensador se descarga y la tensión a la salida aumenta de forma lineal con el tiempo.

A partir de las corrientes que circulan por los pasivos se calcula la ecuación característica del circuito integrador ideal:

$$I_{R1} = I_{C1} \rightarrow \frac{V_{IN3}}{R_1} = -C \frac{d(V_{OUT3})}{dt} \rightarrow V_{OUT3} = \int_0^t -\frac{V_{IN3}}{R_1 C_1} dt + V_{inicial} \quad (4)$$

Sin embargo, el circuito ideal del integrador no es un circuito que se pueda aplicar de forma práctica por varios motivos:

- A la hora de la verdad, los amplificadores operacionales tienen valores finitos de corrientes de polarización y de tensiones de offset a la entrada. Esto puede provocar que aparezcan corrientes adicionales que carguen o descarguen el condensador, lo que a largo plazo supone que la salida se sature.

- Aunque se va a alimentar el circuito con una señal cuadrada, si en algún momento al circuito se le suministra una Corriente Continua, el condensador C1 actuaría como un circuito abierto y la ganancia del circuito sería idealmente infinita, lo que podría generar inconvenientes a la salida.

Para solucionar estos problemas, se introduce una resistencia en paralelo al condensador que convierte la ganancia en corriente continua en un número finito e impide que el circuito se sature por pequeñas desviaciones de offset y corrientes de bias.

Además, se va a añadir una resistencia en la entrada positiva del amplificador operacional para evitar problemas con posibles corrientes parásitas que vengan del plano de tierra.

Al añadir estos elementos el circuito queda de la siguiente forma:

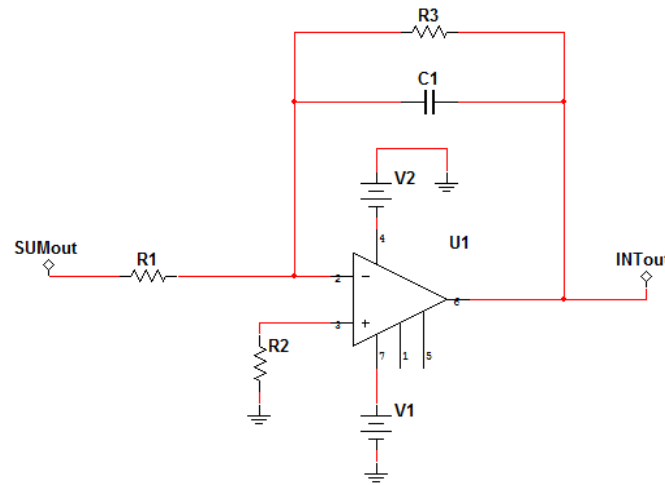


Figura 40. Esquemático Circuito Integrador real

La ecuación característica del circuito también cambia y pasa a ser la siguiente:

$$I_{R1} = I_{R3} + I_{C1} \rightarrow \frac{V_{IN3}}{R_1} = -\frac{V_{OUT3}}{R_3} - C \frac{d(V_{OUT3})}{dt} \rightarrow V_{OUT3} = -\frac{1}{C_1} \cdot \int_0^t \left(\frac{V_{IN3}}{R_1} + \frac{V_{OUT3}}{R_3} \right) dt \quad (5)$$

Con la inclusión de la resistencia en paralelo al condensador la respuesta en frecuencia cambia y el circuito completo pasa a comportarse como un filtro paso bajo de primer orden.

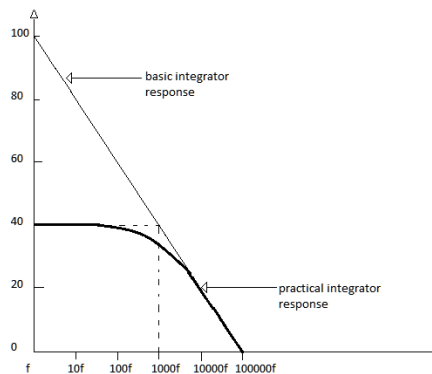


Figura 41. Representación de la respuesta en frecuencia de los circuitos integradores ideal y real

En el gráfico de la Figura 41 se puede apreciar la diferencia entre la respuesta en frecuencia de un circuito integrador ideal y uno práctico.

Para conocer las características del nuevo filtro, se estudia la ecuación de la ganancia:

$$I_{R1} = I_{R3} + I_{C1} \rightarrow \frac{V_{IN3}}{R_1} = -\frac{V_{OUT3}}{Z_{RC}} \rightarrow \frac{V_{OUT3}}{V_{IN3}} = -\frac{R_3}{R_1} \cdot \frac{1}{1+R_3C_1s} \quad (6)$$

A partir de esta ecuación obtenemos las ganancias y las frecuencias importantes que describen la forma del filtro paso bajo:

$$\text{Ganancia en Corriente Continua: } Av_0 = -\frac{R_3}{R_1} \quad (7)$$

$$\text{Ganancia en Corriente Alterna: } Av = -\frac{R_3}{R_1} \cdot \frac{1}{(1+2\pi f R_3 C_1)} \quad (8)$$

$$\text{Frecuencia de corte: } f_b = \frac{1}{2\pi R_1 C_1} \quad (9)$$

$$\text{Frecuencia del polo: } f_a = \frac{1}{2\pi R_3 C_1} \quad (10)$$

El nuevo circuito solo realizará la función de integrador a partir de la frecuencia del polo. Por eso es importante a la hora de caracterizar el circuito tener en cuenta no solo su ganancia, si no su comportamiento a la frecuencia a la que se va a trabajar.

- Caracterización

Para realizar el cálculo de los pasivos se parte de la ecuación característica del circuito (5)

Sin embargo, esta ecuación es difícil de despejar ya que contiene la tensión de salida a los dos lados de la igualdad. Para simplificar el cálculo, sabiendo que $|V_{IN3}| \gg |V_{OUT3}|$ y seleccionando una R_3 mucho mayor que R_1 se puede considerar despreciable la componente de V_{OUT3} dentro de la integral.

La ecuación que queda es igual a la ecuación del circuito ideal (4) ya que estamos despreciando la influencia de la resistencia R_3 en el cálculo de la tensión de salida:

$$V_{OUT3} = -\frac{1}{R_1 C_1} \int_0^t V_{IN3} dt + V_{inicial}$$

La salida que se pretende obtener con este circuito es una señal triangular que varíe entre 2.5 y -2.5 voltios en la misma frecuencia de la señal cuadrada de entrada, como la que aparece representada en color rojo en la Figura 42:

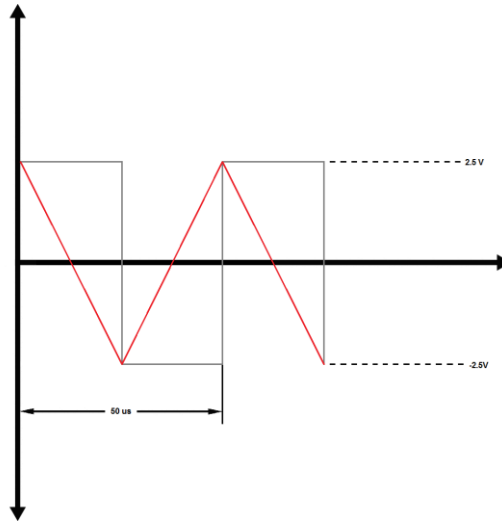


Figura 42. Representación de las señales de entrada y salida ideales del circuito

Con la ecuación idealizada se selecciona un valor nominal para el condensador C_1 y se obtiene la resistencia R_1 . Para calcular la integral de la ecuación ideal se utilizan los datos de un semiperiodo de la señal cuadrada:

- Tensión de entrada constante: $V_{IN3} = cte$
- Tensión inicial nula: $V_{inicial} = 0$

De manera que la ecuación simplificada queda de la siguiente forma:

$$V_{OUT3} = -\frac{1}{R_1 C_1} \cdot V_{IN3} \cdot t \quad (11)$$

Para despejar el valor de la resistencia, se selecciona un valor para C_1 y se sustituye los valores del resto de variables:

$$R_1 = \frac{-V_{IN3} \cdot t}{V_{OUT3} \cdot C_1} \rightarrow \begin{cases} V_{IN3} = 2.5V \\ t = 25\mu s \\ V_{OUT3} = 5V \\ C_1 = 10nF \end{cases} \rightarrow R_1 = 1,25 k\Omega$$

El valor de la resistencia R_3 se selecciona teniendo en cuenta cómo afecta a la respuesta en frecuencia del circuito. Para que realice correctamente la función de integrador, se diseña el circuito colocando la frecuencia del polo del filtro paso bajo una década antes de la frecuencia de trabajo:

$$f_a = 2kHz = \frac{1}{2\pi R_3 C_1} \rightarrow R_3 = \frac{1}{2\pi f_a C_1} = 8k\Omega$$

Para la resistencia R_2 se selecciona un valor típico suficientemente grande para absorber las corrientes parasitas que puedan venir del plano de tierra.

Como amplificador operacional se selecciona un TL081, que como ya se explicó en el apartado del circuito sumador es un amplificador de uso genérico, barato, fácil de conseguir y con unas prestaciones más que suficientes para las frecuencias a las que vamos a trabajar.

Después de seleccionar los componentes el circuito queda de la siguiente forma:

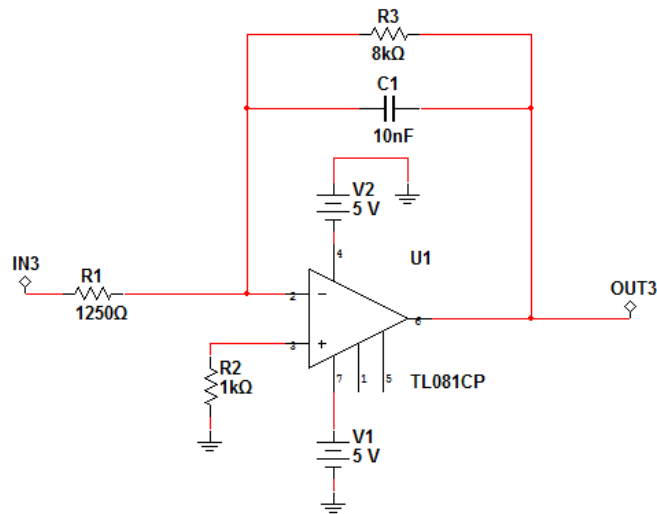


Figura 43. Esquemático del Circuito Integrador caracterizado

Finalmente, estos son los parámetros generales del circuito:

$$\text{Ganancia en Corriente Continua: } Av_0 = -\frac{R_3}{R_1} = -6,4$$

$$Av_0(dB) = 20 \log(6.4) = 16,12 \text{ dB}$$

$$\text{Ganancia en Corriente Alterna: } Av = -\frac{R_3}{R_1} \cdot \frac{1}{(1 + 2\pi f R_3 C_1)}$$

$$\text{Frecuencia de corte: } f_b = \frac{1}{2\pi R_1 C_1} = 2 \text{ kHz}$$

$$\text{Frecuencia del polo: } f_a = \frac{1}{2\pi R_3 C_1} = 12,73 \text{ kHz}$$

- Simulación

Para probar el buen funcionamiento del circuito se procede a simularlo en Multisim y estos son los resultados:

- Respuesta en frecuencia del circuito:

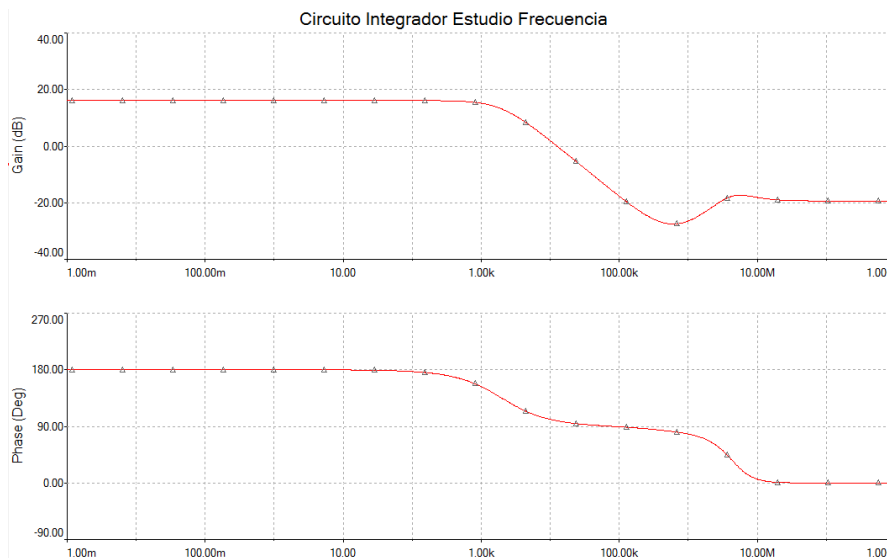


Figura 44. Respuesta en frecuencia del Circuito Integrador simulado

Analizando la gráfica se puede ver que la ganancia en corriente continua es de 16,12 dB, exactamente la misma que habíamos calculado a partir de las ecuaciones del circuito.

Además, a una frecuencia de 2kHz la ganancia es de 13,04 dB, aproximadamente 3 dB por debajo de la ganancia del circuito en continua y la fase es de 134,5 grados, cuarenta y cinco grados menos de la fase inicial, lo que demuestra que hay se encuentra un polo.

A la frecuencia de trabajo de 20 kHz, una década después del polo, la fase es de 95 grados y la ganancia de -4,01 dB. Eso son veinte decibelios menos de la ganancia en continua una década después, lo que corrobora que se trata de un filtro de primer orden.

- Comparación entre la salida y la entrada del circuito:

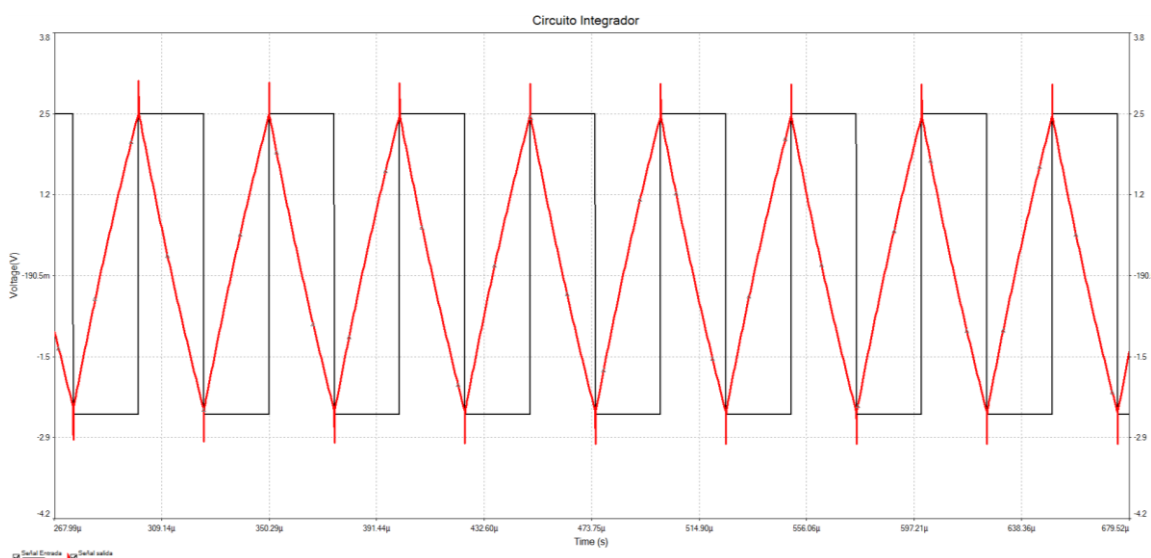


Figura 45. Señales de entrada y salida del Circuito Integrador simulado

Para cada periodo de la señal cuadrada también se genera un periodo de la señal triangular a la salida. La señal triangular tiene pendiente positiva en el semiperiodo negativa de la señal cuadrada y viceversa.

La amplitud máxima de las dos señales es la misma salvo en los flancos de la señal cuadrada donde se produce un pico de tensión a la salida por el efecto del integrador. Sin embargo, este tipo de picos de tensión no suponen un problema para el resto del circuito ya que no son significativos, su amplitud es pequeña en relación al resto de la señal y solo duran unos pocos nanosegundos.

Como se puede observar el comportamiento del circuito se corresponde a lo que se había calculado y cumple con la función para la que había sido diseñado.

d) Circuito atenuador

Para poder conectar la señal triangular generada por el circuito a la fuente CLD1015 de Thorlabs y que polarice al VCSEL con la corriente que nosotros deseamos es necesario modificar la amplitud de la señal de salida.

Como ya se ha explicado antes se propone emplear el modo de modulación externa que proporciona la propia fuente de Thorlabs para alimentar el láser con una señal de corriente triangular.

El Modo de Corriente Constante aplica una relación lineal entre la tensión a la entrada de la fuente y la corriente con la que se polariza el láser. Esta relación se corresponde con la siguiente ecuación:

$$I_{LD} = I_{LD\ SET} + U_{MOD} \cdot m \quad (12)$$

$$\text{Donde: } \begin{cases} I_{LD} : \text{Corriente de salida de la fuente} \\ I_{LD\ SET} : \text{Valor de corriente ajustable} \\ U_{MOD} : \text{Tensión de entrada de la fuente} \\ m : \text{Pendiente fija} = 150\text{mA/V} \end{cases}$$

En este caso se modificará el valor de la tensión de entrada para generar la señal triangular de corriente a la salida. Además, $I_{LD\ SET}$ permite ajustar la desviación de cero y se puede modificar su valor dentro de la interfaz de control de la propia fuente.

Esa es una de las ventajas de la fuente de Thorlabs, en caso de que el circuito no funcionase perfectamente y presentara algún tipo de desviación de la tensión media, de forma que fuese distinta de cero, se podría ajustar fácilmente modificando el parámetro de $I_{LD\ SET}$. Además, al incorporar una opción para limitar la corriente de salida, nos aseguramos de no sobrepasar en ningún momento la corriente máxima de polarización del láser, ni aunque el circuito generador sufriera una complicación y generara algún pico de tensión a la salida.

Como ya se ha explicado antes, se pretende alimentar el VCSEL con una corriente triangular entre 3 y 13mA. La tensión media de la señal que se presenta a la salida del inversor es cero, de forma que se empleara el parámetro $I_{LD\ SET}$ para fijar el punto medio de 8mA.

Ahora lo que queda es ajustar la amplitud de la señal para que teniendo en cuenta la pendiente constante de la fuente se produzca la transformación que nosotros deseamos.

- Estudio previo del circuito:

Como circuito para realizar esta función se propone emplear un simple divisor de tensión:

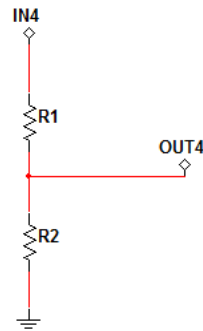


Figura 46. Esquemático Circuito divisor de tensión

Al igual que el esquemático, la ecuación de este circuito es muy simple:

$$V_{OUT4} = V_{IN4} \cdot \frac{R_1}{R_2} \quad (13)$$

- Caracterización

Seleccionamos el valor de las resistencias para que la tensión varíe entre -0,033 y 0,033V, de forma que al multiplicarlo por la pendiente de la fuente $m = 150mV/A$ y sumarle el $I_{LD SET} = 8mA$, la corriente varíe entre 3 y 13 mA.

El circuito queda de la siguiente forma:

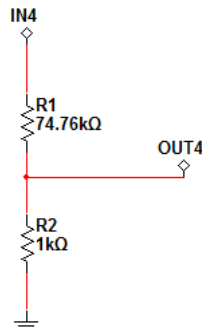


Figura 47. Esquemático Circuito divisor de tensión caracterizado

De esta forma, tras pasar por el divisor de tensión y la fuente de Thorlabs, se produce la transformación de señal triangular de tensión a señal triangular de corriente que aparece representada en las Figuras 48 y 49:

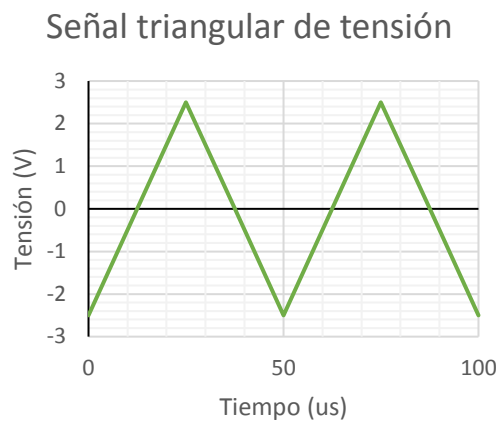


Figura 48. Representación de la señal triangular de tensión.

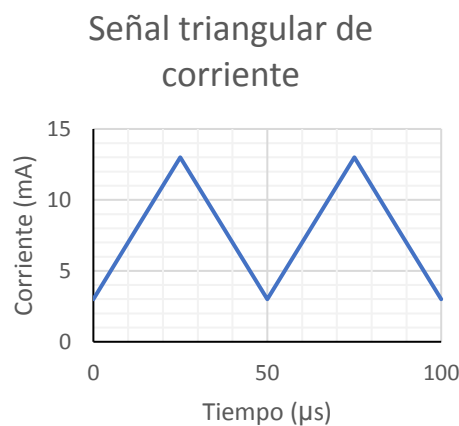


Figura 49. Representación de la señal triangular de corriente

De esta forma el circuito final de la placa generadora de señales queda según el siguiente esquemático:

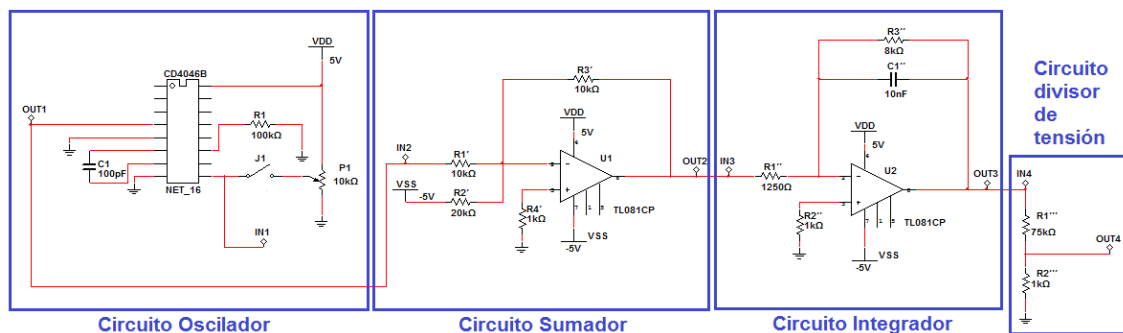


Figura 50. Esquemático global del Generador de Señales caracterizado

B. Diseño y fabricación de la placa de circuito impreso

Después de hacer el estudio, la caracterización, la simulación y las pruebas experimentales de los circuitos que contiene del sistema se procede a realizar el diseño de la placa. Para ello se ha empleado la herramienta de diseño de placas de electrónica de código abierto KiCad.

Para realizar el diseño de una placa en un programa como KiCad, primero se incluye el esquemático del circuito, después se asigna una huella a cada componente y finalmente se detalla el enrutado del circuito.

a) El esquemático:

El primer paso del desarrollo es incluir el esquemático de la placa con todos los elementos y las conexiones.

El esquemático que se ha descrito en el programa es el mismo que se ha descrito en el apartado de estudio, caracterización y simulación:

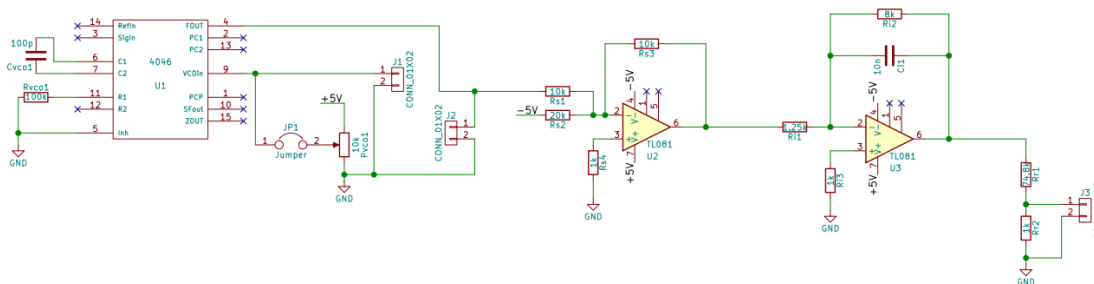


Figura 51. Esquemático de la placa Generadora de Señales descrito en KiCad



Figura 52. Esquemático de la alimentación del circuito

Las únicas variaciones con respecto al esquemático del apartado anterior es que se han incluido una serie de conectores tanto para las entradas de alimentación y señal, como para las salidas de señal cuadrada y señal triangular.

Además de eso, en vez de un interruptor se ha decidido utilizar un jumper para conectar el potenciómetro con la entrada del circuito oscilador. Un jumper es un elemento que conecta dos pines macho consecutivos. La finalidad de este cambio es que sea más visual y claro para el usuario saber cuándo se está empleando una señal interna para generar la onda cuadrada.

b) Correspondencia de componentes:

Después de describir el esquemático es necesario indicarle al programa que huella de componente se corresponde con cada elemento para después poder hacer la disposición de componentes.

El programa KiCad incluye un listado de huellas diseñadas para los componentes más comunes y un editor para que te puedas personalizar tus propias huellas. En el caso de este circuito, todos los componentes están dentro de los estándares de encapsulado por lo que no ha sido necesario crear ninguna nueva.

c) Diseño del layout

El enrutado es la etapa más compleja de todo el proceso de diseño. Lo primero que se debe hacer es establecer el tamaño de las pistas, los taladros y las vías. El valor mínimo de estos parámetros depende de las técnicas de fabricación que se empleen para confeccionar la placa.

Después de investigar distintas empresas de fabricación de placas de electrónica se decidió acudir a OSHPark por su buen servicio técnico y documentación, su bajo coste y las características que ofrecen.

En su página web informan a sus clientes de los tamaños de pistas y vías mínimos que pueden emplear y de cómo afecta eso al precio de la placa. En nuestro caso los valores mínimos que fijan como estándar en la tarifa más económica eran más que suficientes para diseñarla correctamente por lo que no fue necesario aumentar el precio reduciendo su tamaño.

Estos valores mínimos, que fueron los que se emplearon finalmente como valores para las vías, las pistas y los taladros son los siguientes:

	Tamaño (mm)	Tamaño (mil)
Ancho de pista	0,1524	0,006
Diámetro de vía	0,6858	0,027
Taladro de vía	0,3302	0,013

Tabla 3. Tamaños de las conexiones de la placa

También se decidió emplear realizar el diseño en dos capas ya que, de nuevo, está incluido en el precio de la tarifa más económica y era suficiente para el diseño.

Una vez se han tomado esas decisiones de diseño, se procede a elegir la disposición de los componentes y realizar el enrutado. De las dos capas disponibles, la primera se ha empleado para efectuar la mayoría de las conexiones mientras que la segunda capa se ha reservado para crear un plano de masa, a excepción de un par de conexiones reducidas para puentear pistas de la primera capa:

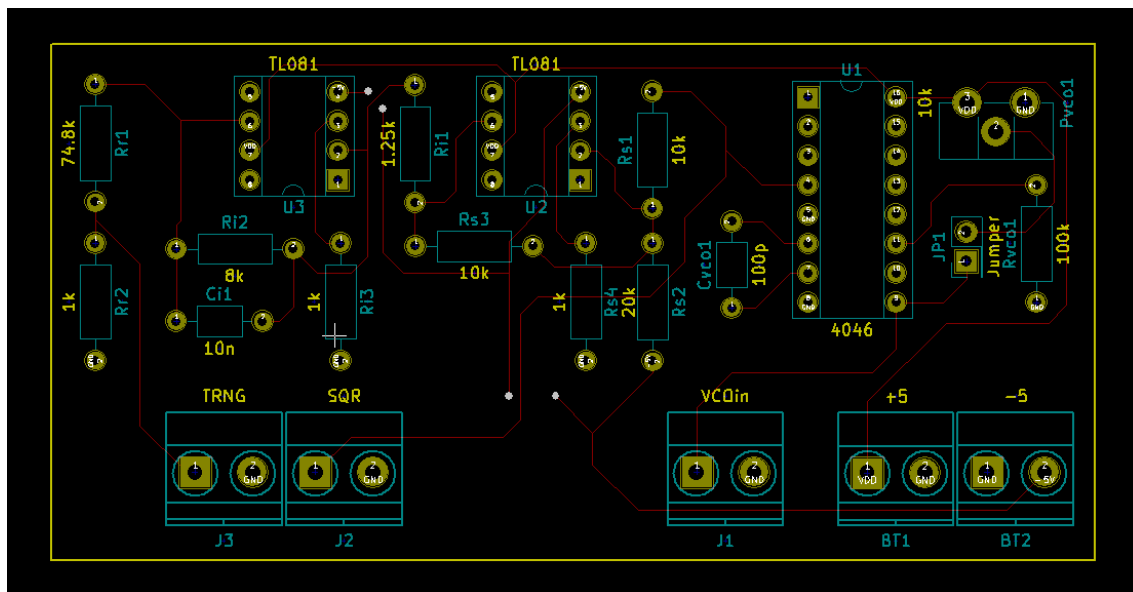


Figura 53. Cara frontal del layout de la placa del Circuito Generador de Señales en KiCad

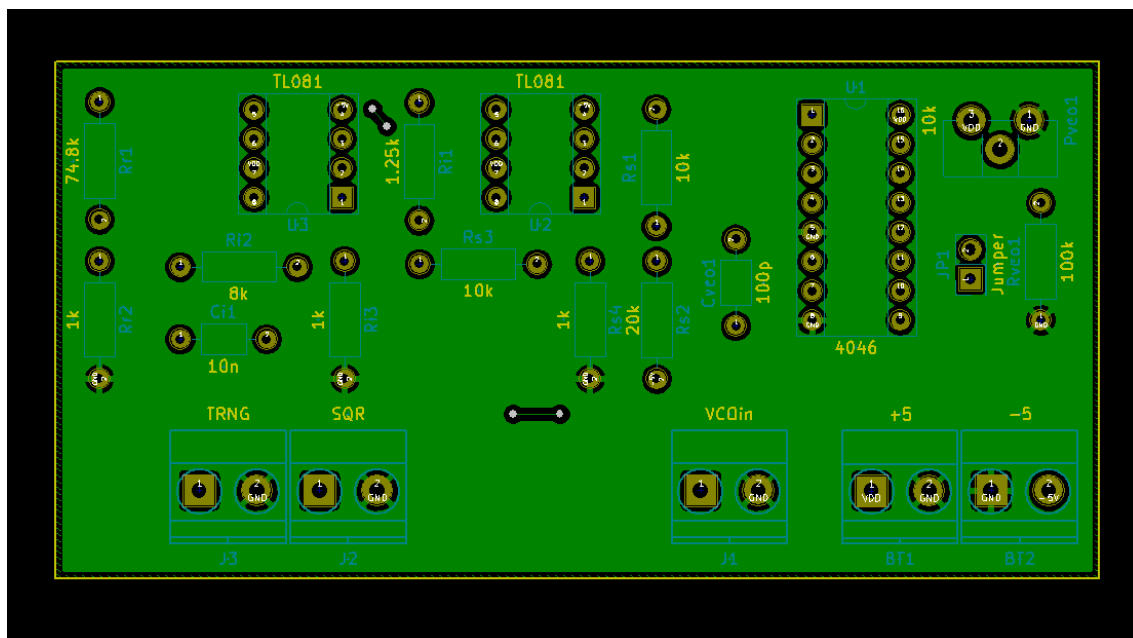


Figura 54. Cara posterior del layout de la placa del Circuito Generador de Señales en KiCad

De esta forma quedan contenidas en dos caras todas las conexiones entre los componentes que aparecían en el esquemático.

El emplear la segunda capa para crear un plano de masa se hace por diversas razones [11]:

- Proporciona una conexión a tierra de baja impedancia
- Actúa como escudo contra interferencias electromagnéticas
- Disipa mejor el calor. En el caso de esta placa esta característica no es importante ya no se emplean grandes corrientes, pero es una propiedad de los planos de masa muy interesante.

Finalmente, la placa fabricada por OSH Park a partir de los archivos creados con KiCad es la siguiente:

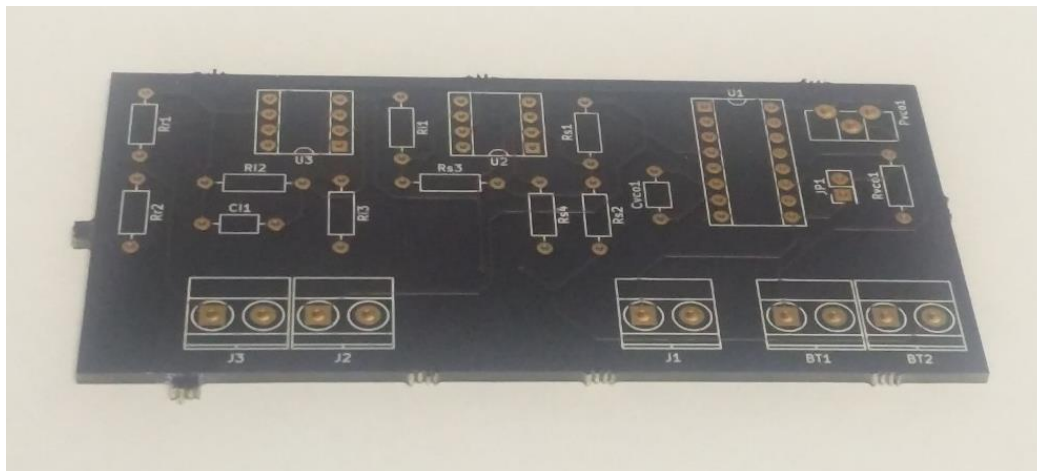


Figura 55. Vista superior de la PCB de la placa generadora de señales

Y una vez soldados todos los componentes este es el acabado final de la placa:

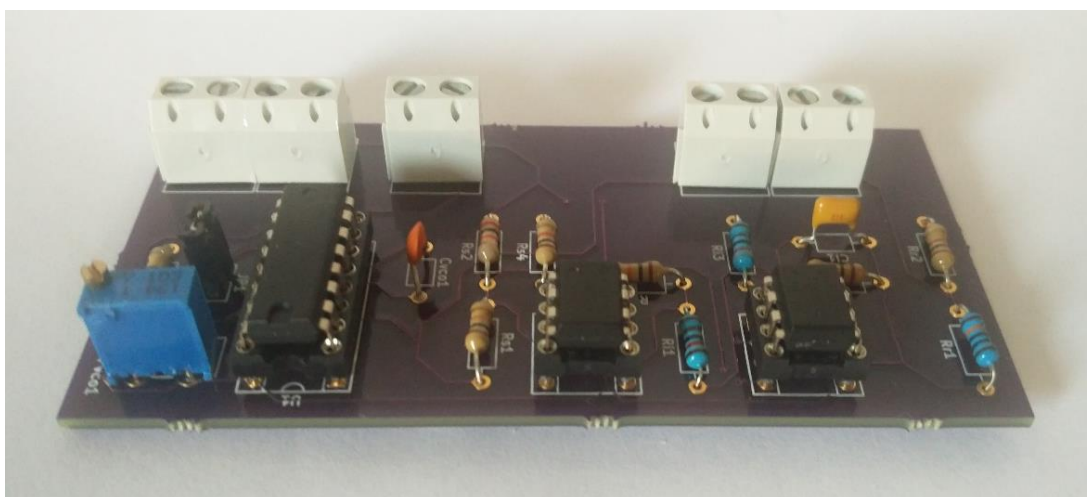


Figura 56. Placa generadora de señales con todos los componentes soldados.

C. Resultados experimentales

Con la placa terminada se procede a comprobar su buen funcionamiento en el laboratorio. Para ello se ha utilizado un osciloscopio capaz de crear capturas de los resultados experimentales y guardarlos en una memoria externa.

La primera medida que se ha tomado es la señal cuadrada a la salida del circuito oscilador:

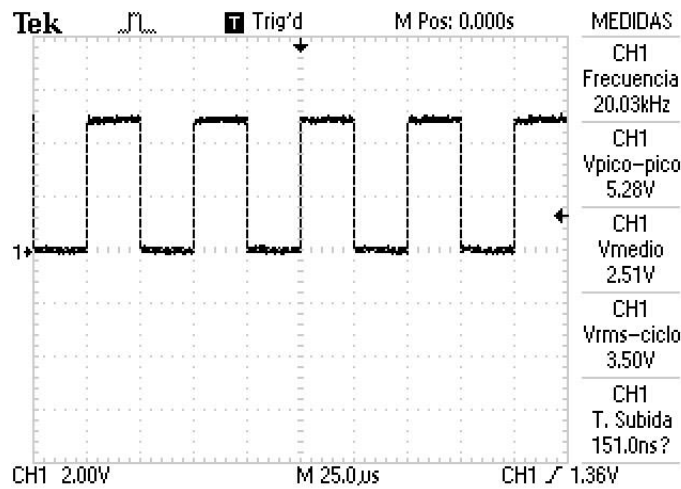


Figura 57. Salida señal cuadrada del Circuito Generador de Señales en PCB

Los resultados son muy similares a los que se obtuvieron cuando se probó el circuito en la placa de prototipado. La tensión de salida tiene mayor valor pico a pico de los 5V de la alimentación lo que afecta a los circuitos posteriores y obliga a hacer algunos ajustes.

La siguiente señal de la placa que se ha comprobado es la salida del sumador:

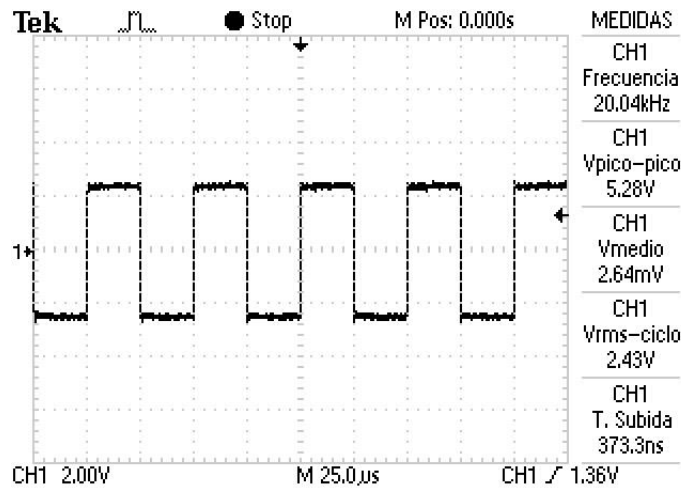


Figura 58. Salida del Circuito Sumador dentro de la Placa Generadora de Señales

Como se puede observar, el Circuito Sumador cumple con su función perfectamente y desplaza la señal cuadrada hasta colocarla en un valor de tensión media muy cercana a cero.

La señal triangular del Circuito Integrador también se ha verificado. En este caso, es muy importante conocer sus valores exactos para poder ajustar la amplitud de la tensión de salida:

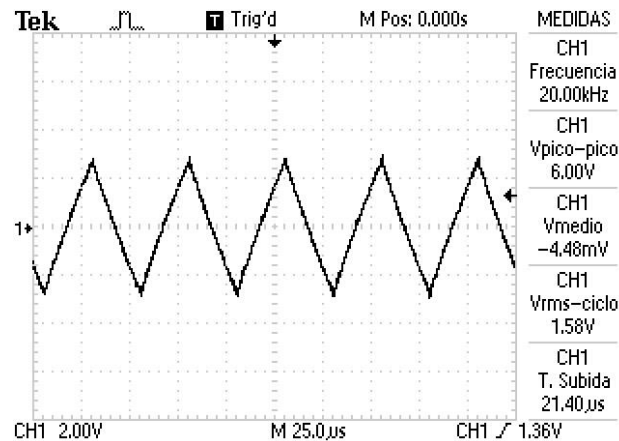


Figura 59. Salida del Circuito Integrador dentro de la Placa Generadora de Señales

En la imagen se puede advertir como la señal de salida del integrador tiene una amplitud mayor de lo esperado. Esto es consecuencia del aumento de la tensión de pico a pico a la salida del oscilador que se ha visto incrementada.

Sin embargo, esto no supone un problema para el circuito ya que se puede solventar haciendo un ajuste de las resistencias del Circuito Divisor de Tensión.

Los parámetros más importantes como la frecuencia, la forma de la onda y el valor medio que son los más importantes en este punto de la placa para terminar obteniendo una buena señal triangular con la que hacer el barrido de corriente son perfectamente válidos.

Para terminar, se realiza un pequeño ajuste al Circuito Divisor de Tensión para ajustarlo a la nueva amplitud de la onda modificando una de las resistencias y se estudia la señal triangular de salida de la placa en el osciloscopio:

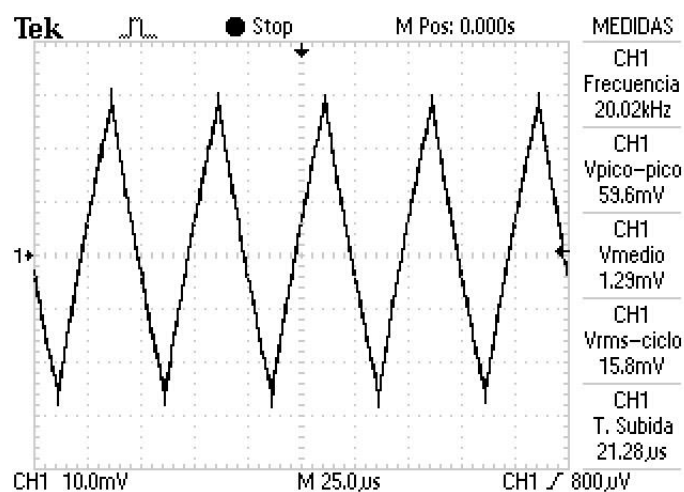


Figura 60. Salida señal triangular del Circuito Generador de Señales en PCB

D. Conclusión

La señal final para modular la corriente de la fuente de Thorlabs es una triangular que varía entre los 30 y los -30 milivoltios aproximadamente. Para saber cuál será la salida de la fuente de Thorlabs que se obtendría se ha de multiplicar por la pendiente, que es de 150mA/V y añadir la corriente de offset.

Teniendo en cuenta el cálculo que se ha explicado en el apartado de diseño del Circuito Sumador, se va a emplear un valor medio de corriente de 8mA, por lo que se obtendrá una triangular de corriente entre 3,5 y 11,5mA para polarizar el láser.

Con esa corriente de polarización modulada para el VCSEL, este realizará un barrido de longitudes de onda por cada semiperíodo de la señal. En el caso del prototipo de 20kHz cada $100\mu\text{s}$.

Para saber entre que valores de longitud de onda se realizará el barrido recurrimos a la ecuación del láser que se ha logrado a partir de los experimentos de caracterización:

$$\lambda = 0,5165I_{IN} + 1549,5 \quad (14)$$

Al sustituir los valores de corriente se obtiene que el barrido de longitudes de onda del láser empleando la señal triangular sería entre 1551,3 y 1555,44nm a una temperatura ambiente.

2. PLACA CONECTORA PARA EL VCSEL

La fuente CLD1015 de Throlabs está pensada para emplearse con láseres que emplean un tipo de encapsulado muy específico con conexión *butterfly*.

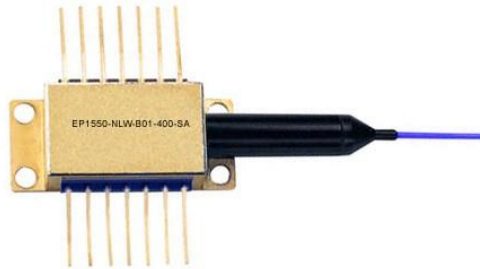


Figura 61. Imagen de un láser con encapsulado butterfly

Como nuestro láser no se comercializa en ese tipo de encapsulado y con el objetivo de conectar el VCSEL de Optilabs a la fuente CLD1015, se ha diseñado una PCB propia para simular el conexionado butterfly.

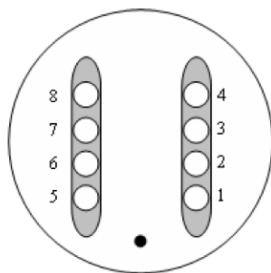
A. Estudio previo

Para poder realizar el esquemático de la placa es necesario conocer la disposición de los pines de la fuente y del VCSEL.

En el caso del VCSEL el orden es el siguiente:

TO-56 temp control/pigtail VCSEL

TO package bottom side view



Pin configuration

Number	Function
1	TEC cathode(-) for cool device
2	Thermistor
3	NA
4	VCSEL cathode/mPD anode
5	TEC anode(+) for cool device
6	Thermistor
7	mPD cathode
8	VCSEL anode

Figura 62. Disposición de los pines del VCSEL SM 1550 nm de Optilabs

En el caso de la fuente CLD1015 hay dos tipos de colocaciones de pines dependiendo del láser que se vaya a emplear:

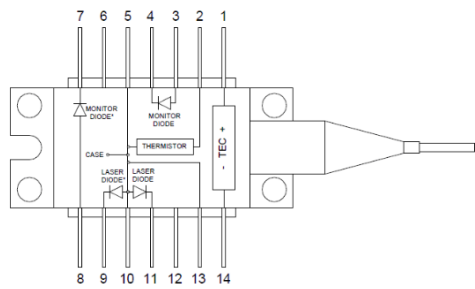


Figura 63. Disposición tipo 1 de la fuente CLD1015 de Thorlabs

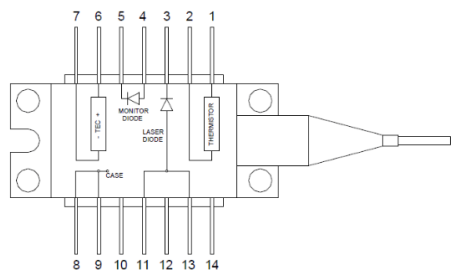


Figura 64. Disposición tipo 2 de la fuente CLD1015 de Thorlabs

En este caso, la disposición que más interesa es la segunda ya que presenta conexiones para un único diodo láser y menor coincidencia entre elementos. Los pines del tipo 2 cumplen las siguientes funciones:

1	Thermistor	14	N.C.
2	Thermistor	13	Laser Diode Anode
3	Laser Diode Cathode	12	N.C.
4	Photo Diode Anode	11	Laser Diode Anode
5	Photo Diode Cathode	10	NC
6	TEC +	9	GND
7	TEC -	8	GND

Tabla 4. Listado de conexiones del CLD1015 para la disposición tipo 2

Una vez ya se conoce el orden de todos los pines de los dos dispositivos que se quiere conectar ya se puede realizar la correspondencia.

B. Correspondencia de pines

Las conexiones entre el VCSEL y la fuente CLD1015 de Thorlabs se ha diseñado de la siguiente manera:

VCSEL		Thorlabs	
Función	Pin	Pin	Función
TEC Cathode (-)	1	7	Peltier (-)
Thermistor	2	2	Thermistor
NA	3	NC	NC
VCSEL Cathode / mPD Anode	4	3	Laser Cathode
TEC Anode (+)	5	6	Peltier (+)
Thermistor	6	1	Thermistor
mPD Cathode	7	NC	NC
VCSEL Anode	8	11 y 13	Laser Anode

De esta forma quedan conectados todos los componentes del VCSEL excepto el fotodetector. Internamente dentro del encapsulado del VCSEL, el cátodo del láser está conectado al ánodo del fotodetector por lo que para conectar los dos elementos a la fuente de Thorlabs tendríamos que cortocircuitar dos de sus pines (el 3 y el 4).

En el caso de este proyecto no es necesario conectar el fotodetector a la placa ya que se plantea emplear un fotodetector externo, por lo que se ha decidido no conectar el fotodetector a la fuente para asegurar el buen funcionamiento del resto de componentes.

Además, para asegurar que ninguna corriente daña el fotodetector, la patilla que permanece sin conectar después de realizar la correlación de pines, la correspondiente al cátodo, se ha conectado a tierra a través de una resistencia de 10kΩ.

De esta forma el esquemático queda de la siguiente forma al representarlo en KiCad:

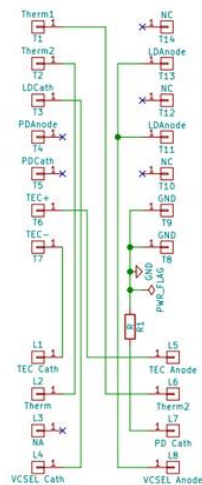


Figura 65. Esquemático de la placa de conexión entre el VCSEL y la fuente CLD1015 en KiCad

C. Diseño y fabricación de la placa

Esta vez el diseño de la placa se ha hecho pensando en que iba a ser fabricada en el laboratorio de la universidad. Las técnicas de fabricación de las que allí se disponen limitan el diseño a dos caras e impiden emplear un ancho de pista y un tamaño de vías tan reducido como el que se ha empleado a la hora de diseñar la placa generadora de señales.

El tamaño de las pistas, las vías y los taladros es de:

	Tamaño (mm)	Tamaño (mil)
Ancho de pista	0,1524	0,024
Diámetro de vía	0,6858	0,063
Taladro de vía	0,3302	0,02

Tabla 5. Tamaño de pistas, vías y taladros de la placa de conexión entre el VCSEL y la fuente CLD1015

En el caso de las pistas el ancho es hasta cuatro veces mayor que el que se empleó antes.

Con el objetivo de que la placa también sirva cuando se quiera modular al VCSEL a frecuencias altas, se han tenido en cuenta algunas consideraciones para reducir el posible ruido como hacer las pistas lo más cortas posibles (dentro de las limitaciones propias de la fabricación y el diseño).

También cabe destacar en este apartado, la utilización de dos planos de tierra, uno en cada cara de la placa para reducir el ruido diferencial entre pistas a frecuencias altas.

Con todo eso en mente se realizó la disposición de los pines y el conexionado de la placa y este es el resultado:

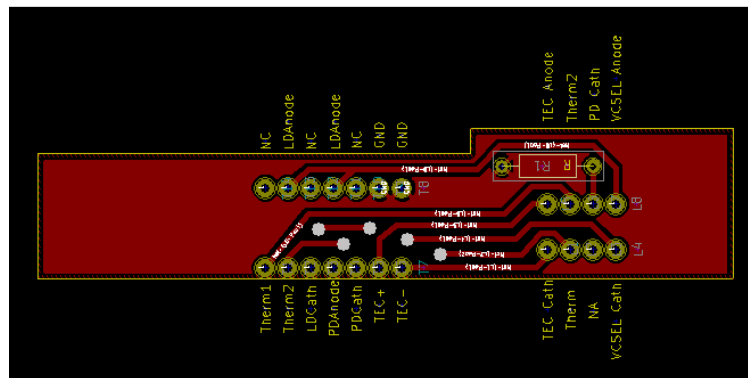


Figura 66. Cara superior de la placa de conexión entre el VCSEL y la fuente CLD1015 de Thorlabs diseñada en KiCad

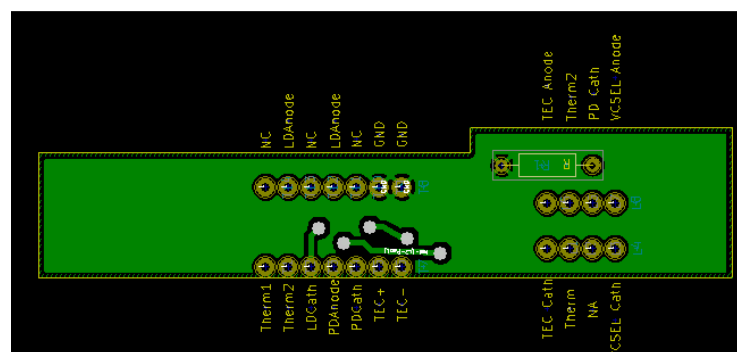


Figura 67. Cara inferior de la placa de conexión entre el VCSEL y la fuente CLD1015 de Thorlabs diseñada en KiCad

Después de fabricarla, se realizó la soldadura de los pines y del láser y el montaje sobre la fuente de Thorlabs para probar su funcionamiento en el laboratorio y ha resultado funcionar perfectamente.

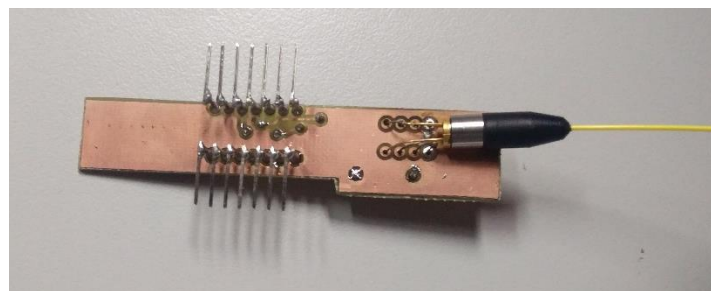


Figura 68. Vista inferior de la placa de conexión entre el VCSEL y la fuente CLD1015 de Thorlabs

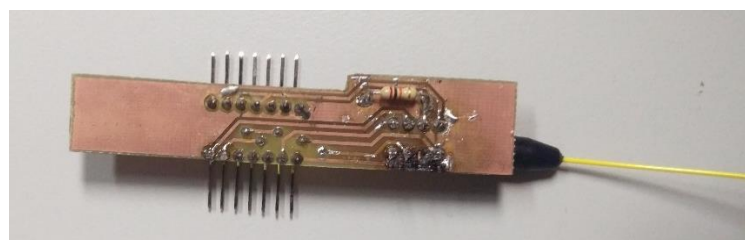


Figura 69. Vista superior de la placa de conexión entre el VCSEL y la fuente CLD1015 de Thorlabs

3. SISTEMA DE ACONDICIONAMIENTO DE LA SEÑAL DE SALIDA

Para recibir la potencia óptica reflejada por la FBG se propone emplear una placa de fotodiodos con un circuito de transimpedancia.

Mientras que el fotodiodo se encarga de recibir la potencia reflejada por la FBG y transformarla en una señal de corriente, el transimpedancia convierte la señal de corriente en una señal de tensión.

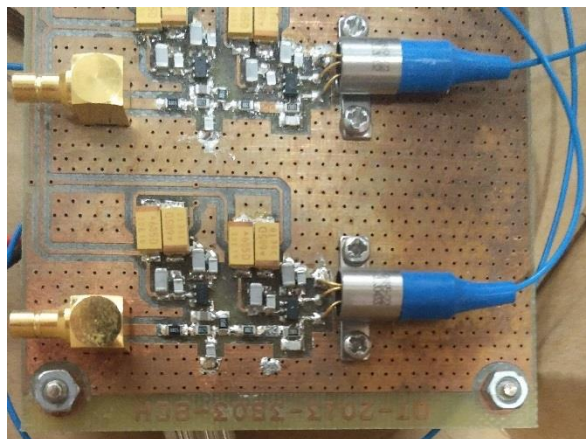


Figura 70. Placa de recepción con fotodiodo y circuito de transimpedancia integrados.

A partir de esas señales de tensión que tendrán forma de pico, empleando un circuito comparador podemos generar una serie de pulsos de tensión que emplearemos para crear las señales de salida.

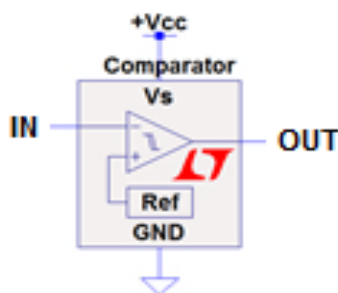


Figura 71. Comparador con señal de referencia

El circuito comparador tiene una señal de referencia para ajustar el umbral y ser capaz de detectar los picos de tensión

Como se vio en el apartado de Principio de medida, en cada período de la señal triangular se generan dos pulsos de tensión. Nuestro objetivo es convertir esos pulsos en dos salidas, una PWM y otra de Fase.

- PWM:

Para generar la señal PWM solo hace falta emplear un biestable con la siguiente configuración:

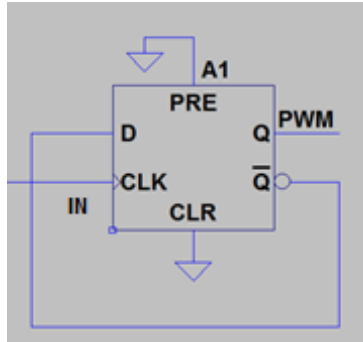


Figura 72. Conexiones del biestable para generar una señal PWM

Al conectar los pulsos de tensión a la entrada del reloj y la salida negada a la entrada del biestable, se genera un pulso PWM por cada período de la señal triangular generada por el VCO.

El ancho de esa señal depende de la longitud de onda central de la FBG.

- Fase:

La señal de fase también se puede generar con un único biestable, pero empleando la señal cuadrada.

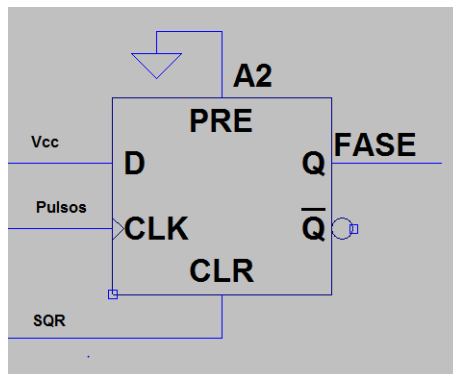


Figura 73. Conexiones del biestable para generar la salida de Fase

En este caso se conecta a la entrada de reloj el pulso y a la entrada del biestable una señal de continua. De esta forma en el momento en el que llega un pulso a la entrada del reloj la salida se pone al valor de Vcc hasta que un flanco de la señal cuadrada, que está conectada a la entrada de clear, lo vuelve a conectar a tierra.

De esta forma se generan las dos señales que se vieron en la Figura 7, en la teoría del Principio de medida empleando un fotodiodo, un circuito de transimpedancia, un comparador y dos biestables.

Como circuito integrado para el comparador se propone emplear un LM311 y para los biestables un 74HC74N que incluye dos biestables tipo D en su interior.

Apartado 4. Simulación del sistema propuesto

El sistema que se plantea para realizar la interrogación de las FBGs es el siguiente:

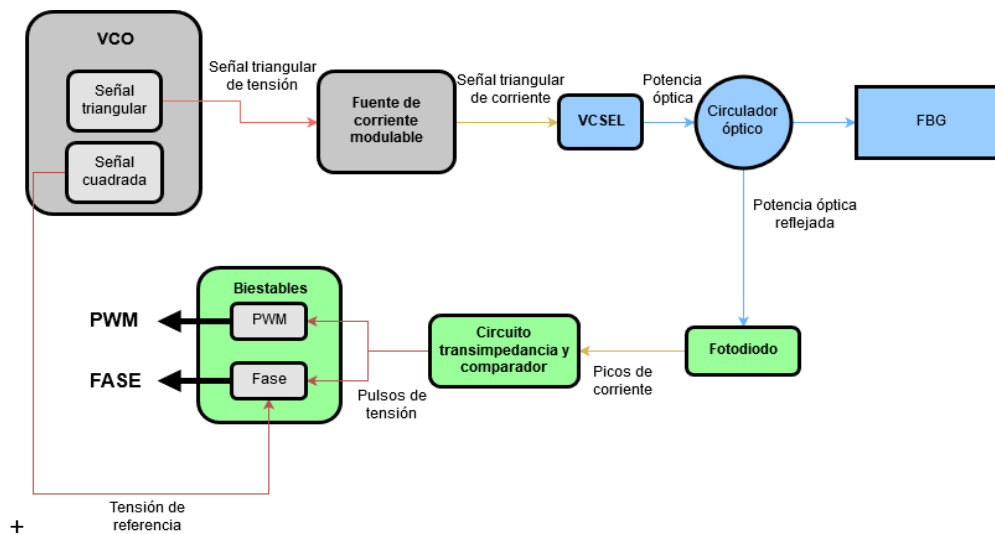


Figura 74. Diagrama de bloques del sistema propuesto como circuito de acondicionamiento para el VCSEL

Para poder trabajar sobre él, probar diferentes configuraciones y ver cómo reacciona a distintos estímulos sobre la FBG decidimos realizar una simulación mediante bloques con LTSpice.

Escogimos LTSpice como software de simulación ya que permite crear bloques de funcionamiento totalmente programables e integrarlos fácilmente con elementos de electrónica. Esto nos da mucha libertad tanto para simular los distintos componentes como para incorporar los elementos ópticos a un software pensado para simular circuitos electrónicos.

Para poder crear esos bloques programables mediante código primero fue necesario pensar distintos modelos para simular el comportamiento del VCSEL, el VCO y la FBG.

1. MODELIZANDO LOS COMPONENTES

a) Modelo del VCO

El VCO es el elemento más sencillo de modelizar. Lo que se pretende conseguir con el VCO es generar tres señales diferentes en fase: una señal senoidal de referencia, una señal triangular con la que alimentar el láser y una señal cuadrada que se empleará para generar una de las salidas del circuito.

Como entrada solo nos interesa tener un valor de continua que nos permitiera ajustar la frecuencia de las señales tal y como ocurre en los osciladores controlados por corriente.

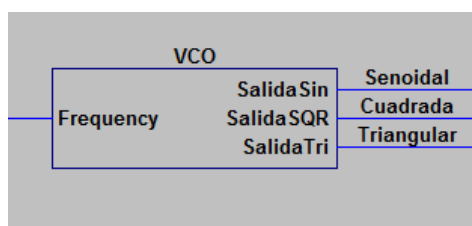


Figura 75. Bloque para simular el comportamiento del VCO

El funcionamiento interno del VCO también se ha diseñado como un diagrama de bloques en LTSpice y es el siguiente:

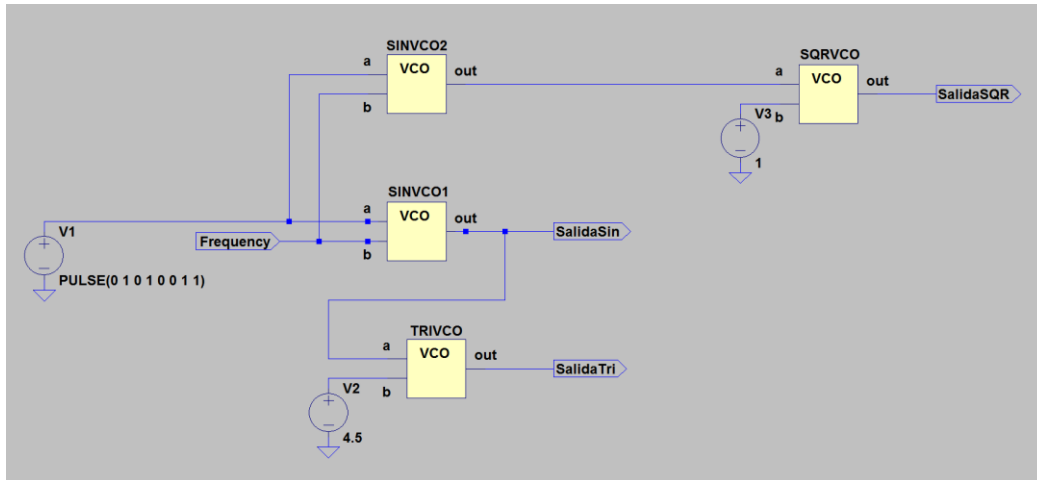


Figura 76. Esquema de bloques interno del VCO

Los bloques llamados VCO están programados mediante código para generar distintos tipos de señales:

- **SINVCO**: genera una señal senoidal a partir de dos entradas, una para el tiempo y otra para la frecuencia de acuerdo con la fórmula general de la senoide:

$$y(f, t) = \text{sen}(2\pi \cdot f \cdot t + \text{phase}) \quad (12)$$

En el diagrama de la FIGURA X las entradas “a” corresponden al tiempo mientras que las entradas “b” son para la frecuencia. El parámetro *phase* se puede modificar de forma interna mediante código.

Lo que diferencia SINVCO1 de SINVCO2 es precisamente que en el bloque número 2 se ha empleado el parámetro “*phase*” para desfazar la senoide 90 grados.

- **SQRVCO**: está programado internamente como un comparador que da como salida un valor positivo de tensión para una entrada de valor positivo y un valor de tensión negativo si la señal de entrada es negativa.

De esta forma crea una señal cuadrada en fase con la señal senoidal que entra por “a”. La otra entrada nos sirve para modificar la amplitud de la salida fijando ese valor de tensión de la salida según se necesite.

- **TRIVCO**: genera una señal triangular en fase con la señal sinusoidal que recibe como entrada.

Para poder crear este efecto se ha diseñado una ecuación que primero realiza el arcoseno de la señal sinusoidal y después aprovecha los valores resultantes para generar la señal triangular con un valor medio modificado:

$$\text{out} = \left(y + \left(1 + \frac{\text{asin}(v(a))}{\pi/2} \right) * v(b) \right) \quad (13)$$

En este caso el parámetro “y” nos permite modificar el offset y la entrada “b” la pendiente de la señal triangular.

En todo el circuito el parámetro del tiempo esta simulado con una señal en forma de rampa que va de 0 a 1 en un segundo. De esta forma, la entrada *Frecuencia* del bloque VCO actúa como un multiplicador sobre la frecuencia inicial de un segundo.

Al simular este bloque por separado, las salidas que obtenemos son las siguientes:

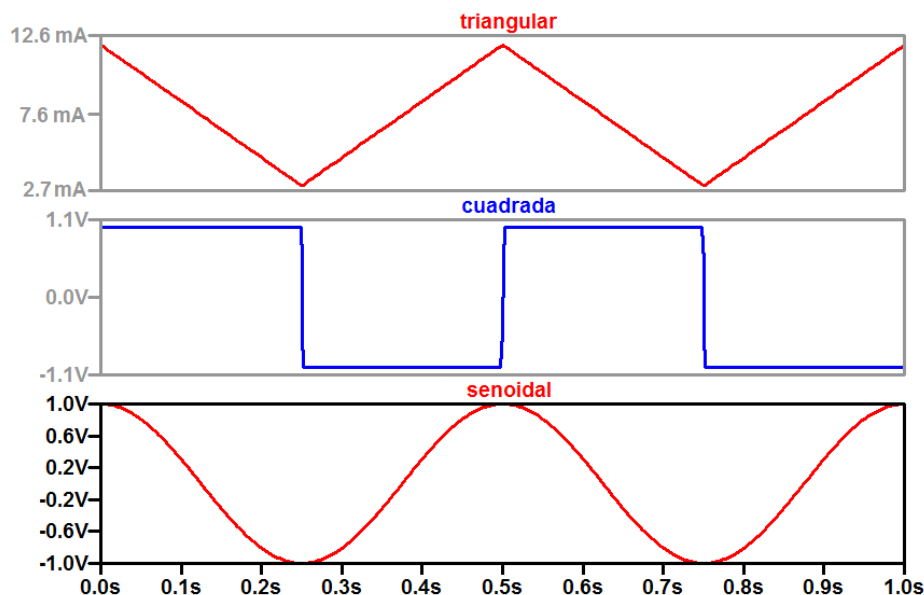


Figura 77. Salidas del bloque VCO

De esta forma se comprueba cómo se generan los tres tipos de señales en fase y como todas se mueven entre los valores que se pretendían. La triangular varía entre los valores de 3 y 12 mA que servirán para alimentar el láser.

En cuanto al diseño de bloques del VCO, se ha tomado una decisión de diseño importante, que también se mantendrán para el resto de bloques y que se considera necesario justificar:

Gracias a las posibilidades del LTspice, algunas de las funciones que realiza este esquema de bloques se podrían haber resuelto ampliando la parte de programación de manera no se redujera solo a las ecuaciones de las funciones cuadrada, triangular y senoidal.

Sin embargo, se ha decidido desarrollar mediante código únicamente las ecuaciones para que sea mucho más sencillo modificar los parámetros de los distintos elementos durante la simulación en el propio programa.

Si no se hiciera de esta forma sería necesario recurrir a un editor de código externo para cambiar esos valores y guardar los archivos modificados para cada nueva simulación.

b) Modelo del VCSEL

Puesto que en el proyecto se opera el VCSEL a una temperatura constante y solo se emplea la corriente para modificar su longitud de onda, no se ha tenido en cuenta cómo afecta la temperatura a la hora de realizar el modelo del láser. Es por eso por lo que las salidas del bloque del láser solo dependen de la corriente de inyección y no de la temperatura.

Para imitar su comportamiento se necesitan dos bloques, uno para la potencia óptica y otro para la longitud de onda.

Como se pudo observar en el apartado de caracterización, mientras que el comportamiento de la longitud de onda con respecto a la corriente es muy lineal, la tendencia de la potencia óptica con respecto a la corriente presentaba un comportamiento menos sencillo.

- Longitud de onda

Como se pudo observar en el apartado de caracterización, la relación entre la longitud de onda y la corriente de inyección es muy lineal. Realizamos la línea de tendencia sobre la gráfica para comprobarlo:

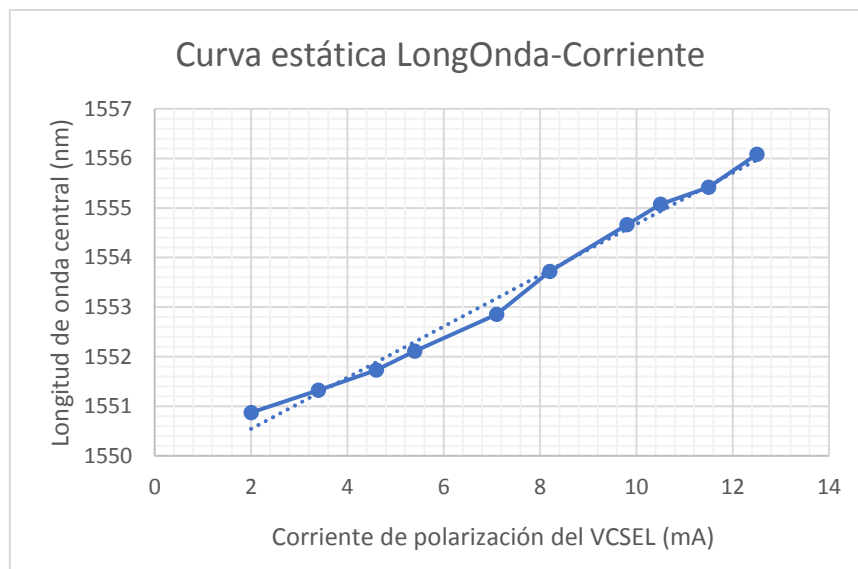


Figura 78. Curva estática Longitud de Onda - Corriente de inyección del VCSEL con línea de tendencia

Como se puede observar la aproximación es adecuada. La ecuación de la recta es la siguiente:

$$y = 0,5165x + 1549,5 \quad (14)$$

- Potencia óptica

En el caso de la potencia óptica una aproximación lineal no es suficiente. La gráfica a simple vista parece presentar una desaceleración hacia el final del rango de corrientes por lo que es mejor aproximarla con una ecuación de segundo grado.

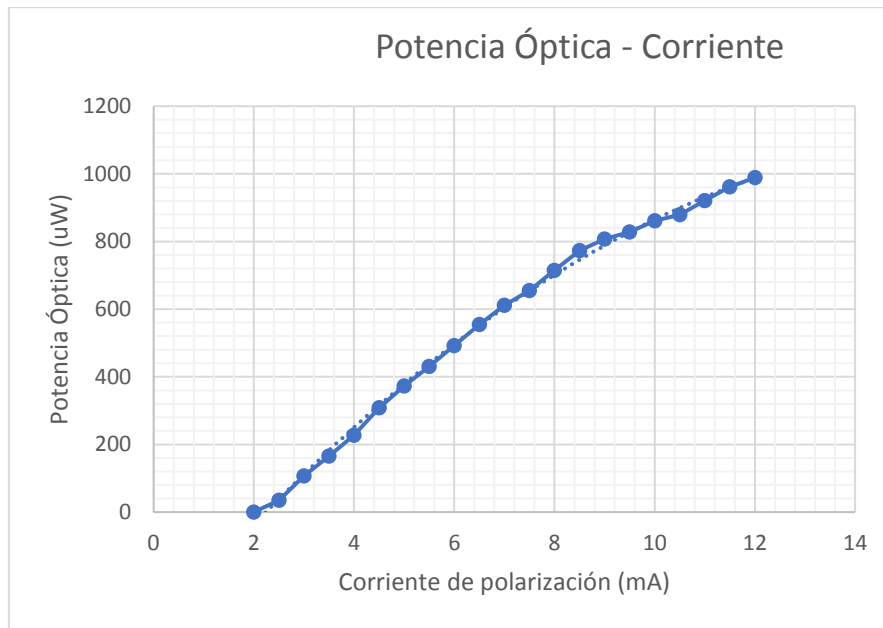


Figura 79. Curva estática Potencia Óptica-Corriente con línea de tendencia

En la gráfica se puede ver claramente como la aproximación es muy buena y encaja casi perfectamente con todos los puntos de la curva. La ecuación de la curva es:

$$y = -5,1433x^2 + 174,42x - 364,98 \quad (15)$$

Bloque de modelado

Teniendo esto en cuenta se crean los dos bloques en LTspice:

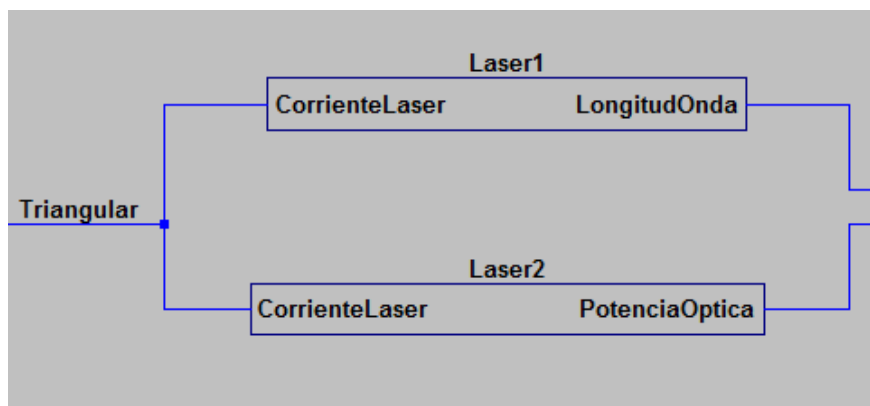


Figura 80. Bloques que simulan el comportamiento del VCSEL

Y después de programarlos con las ecuaciones que se han obtenido del estudio del VCSEL estas son las salidas que se generan a partir de la entrada de corriente triangular:

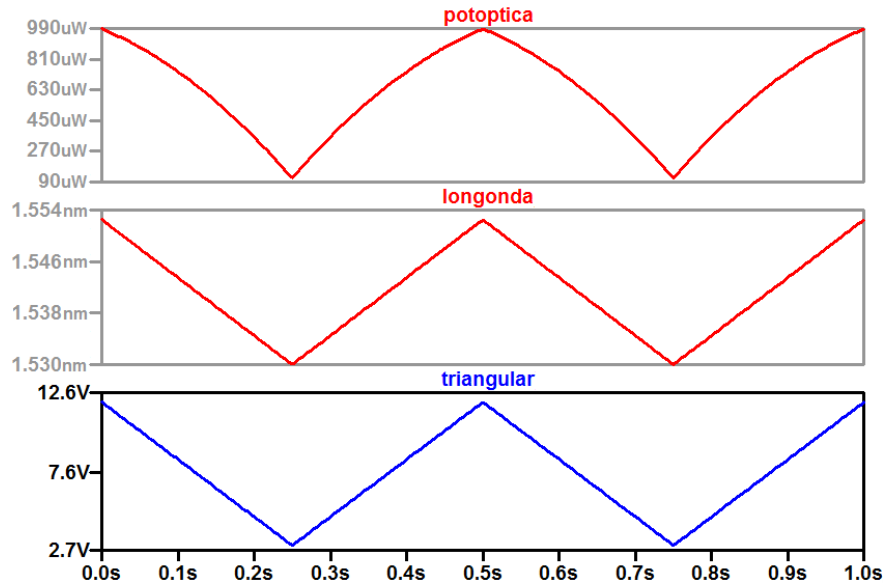


Figura 81. Salidas del bloque del láser

Como se esperaba, se produce el barrido por las distintas longitudes de onda a medida que se alimenta el láser con la corriente variable y a su vez, esto también afecta a la potencia óptica generada.

La señal de la potencia generada en vez de crecer de forma lineal describe esa curva de segundo grado que se ha descrito en la caracterización.

c) Modelo de la FBG

El modelo de la red de Bragg en fibra sin duda es el más complejo de los tres. Es necesario simular la FBG en función de la longitud de onda para luego cruzarla con la potencia óptica que sale del VCSEL a cada una de esas longitudes para realizar la convolución y obtener la salida.

Para describir el perfil de la FBG en función de sus parámetros empleamos la siguiente ecuación: [9].

$$g(\lambda - \lambda_B) = R \cdot \exp \left[-4 \cdot \ln 2 \cdot \left(\frac{\lambda - \lambda_B}{\Delta \lambda_B} \right)^2 \right] \quad (16)$$

Esta ecuación nos permite obtener el perfil de la FBG tomando como entradas los valores de reflexión, anchura a media altura (FWHM) y longitud de onda central. Después ese perfil de la FBG, lo cruza con el valor de la potencia a la entrada para cada valor de longitud de onda, generando así la convolución.

Como salidas del bloque tendremos tanto la potencia óptica conducida a través de la fibra como la reflejada por la red de Bragg. Por lo que el bloque que nos queda es el siguiente:

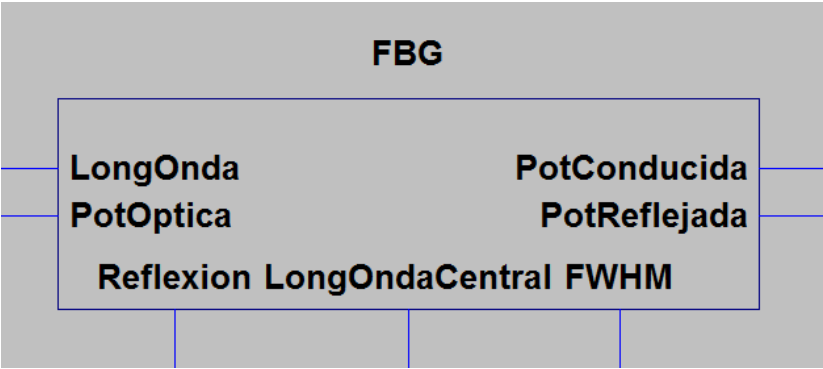


Figura 82. Bloque para simular el comportamiento de la FBG

El esquema de bloques interno de la FBG es:

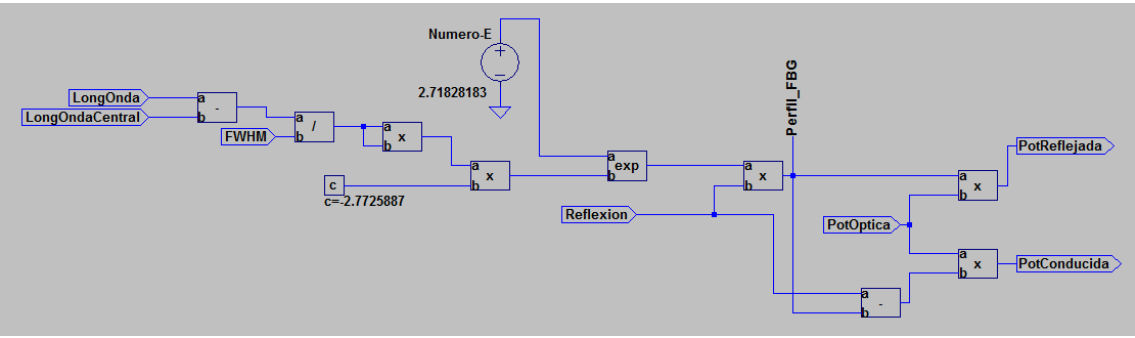


Figura 83. Diagrama de bloques interno de la FBG

Como ya se ha comentado, el perfil de la FBG que se genera al aplicar la fórmula dependerá de los parámetros externos. Para comprobar esto, se ha simulado el perfil de la FBG para dos casos diferentes:

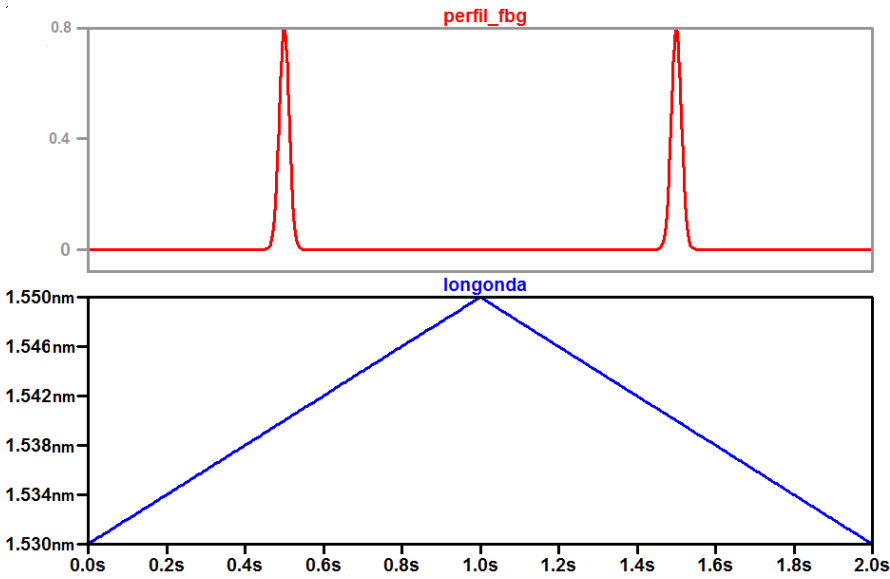


Figura 84. Perfil de reflexión de la FBG para LongOnda-Central=1540nm, FWHM=0,6 y Reflexión=0,8

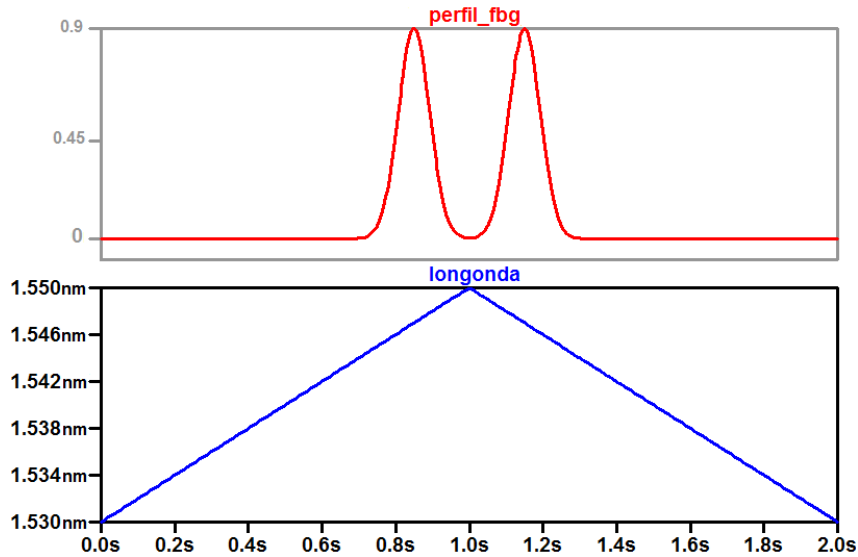


Figura 85. Perfil de reflexión de la FBG para LongOnda-Central=1547nm, FWHM=2 y Reflexión=0,9

Como se observa en la simulación, por cada período de la señal triangular se generan dos zonas de reflexión en la FBG ya que el haz del láser cruza dos veces la longitud de onda central de la fibra de Bragg. La distancia entre las dos zonas de reflexión depende de la longitud de onda central de la FBG y es la clave de la salida de nuestro circuito.

También se puede advertir en la comparativa como afecta modificar la FWHM al ancho del espectro de la FBG.

Para estudiar cómo afecta la FBG a la señal generada por el láser se conectan las salidas de longitud de onda y potencia óptica de los bloques del láser a las entradas correspondientes del bloque de la FBG.

Al introducir como entradas al bloque las salidas del láser, la potencia reflejada y la potencia conducida tienen esta forma en ese mismo período de tiempo:

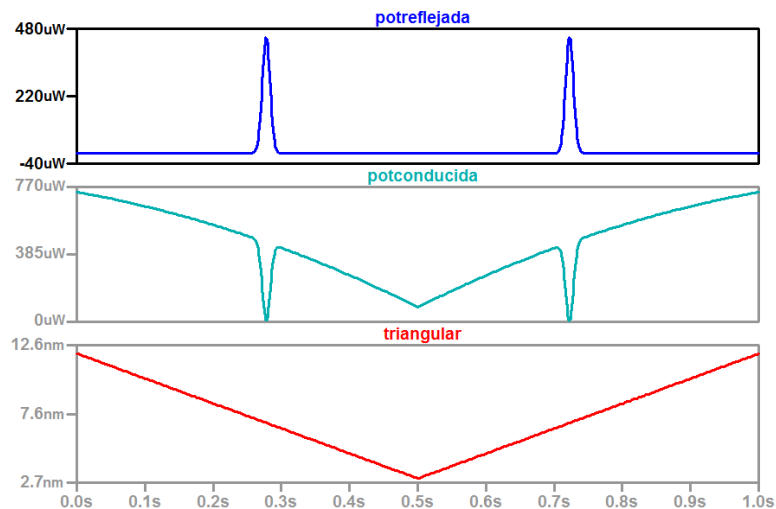
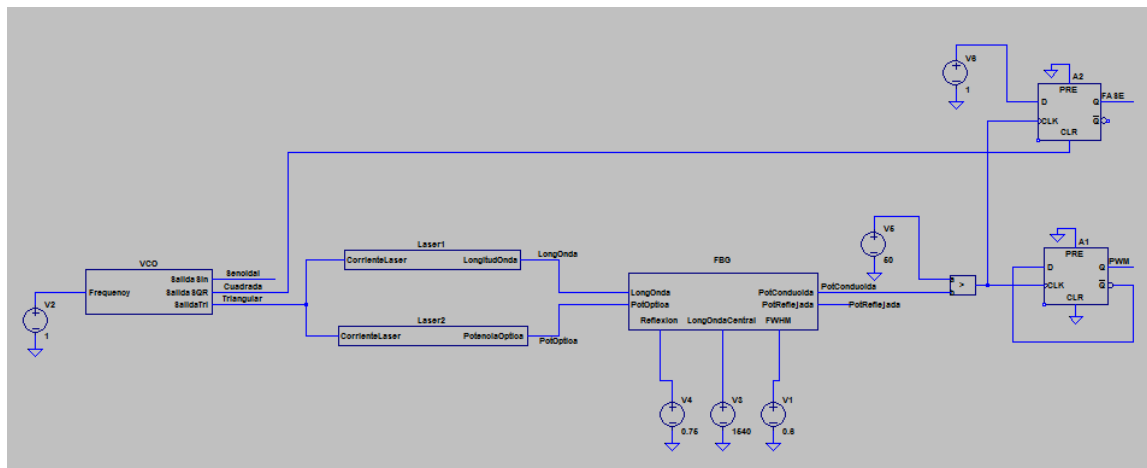


Figura 86. Salidas de Potencias Conducida y Reflejada por la FBG al conectar las salidas del láser a las entradas correspondientes de Potencia Óptica y Longitud de Onda

Una vez ya tenemos todos los bloques que simulan el comportamiento de los elementos más complejos del sistema, procedemos a realizar la simulación del sistema completo:



Antes de proceder a comentar el funcionamiento del sistema y mostrar los resultados cabe destacar que, en el diagrama de bloques, todos los parámetros que se introducen de forma externa se han representado con fuentes de tensión para poder variar su valor fácilmente durante las simulaciones.

El primer elemento del sistema es el VCO que genera las señales senoide, triangular y cuadrada en fase. Como ya hemos explicado antes, la frecuencia de este VCO se puede modificar usando la entrada de *Frequency* que funciona como un multiplicador de frecuencia.

Del VCO, la primera señal que se va a utilizar es la triangular que sirve para alimentar el VCSEL. De esta forma se obtienen las dos salidas que se han estudiado en la Figura 81. Al introducirlas en el bloque de la FBG, se produce la convolución entre las dos ecuaciones y el resultado es el de la Figura 86.

El siguiente bloque es el bloque de comparación, que sustituye a nivel conceptual al fotodiodo, al circuito de transimpedancia y al circuito comparador de la Figura 74. De esta forma se convierten los picos de potencia reflejada en pulsos de tensión:

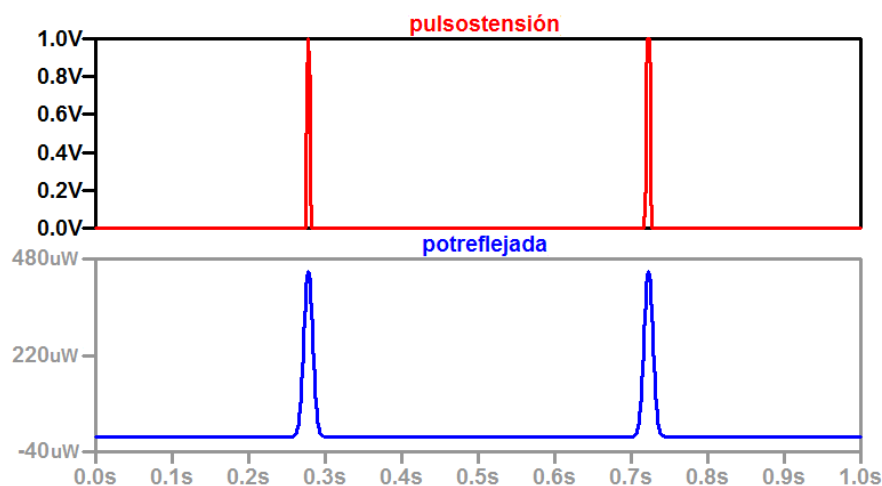


Figura 88. Muestra de los pulsos que se generan en el comparador a partir de los picos de potencia óptica reflejada

Estos pulsos se emplean como entradas de reloj para dos biestables con la finalidad de crear dos salidas del sistema:

- **PWM:** Con el biestable se genera un pulso cuyo ancho se corresponde con la distancia entre los dos picos de tensión de forma que a medida que cambia la longitud de onda central de la FBG, cambia el ancho del pulso.

A continuación mostramos dos ejemplos de salidas PWM para dos casos diferentes:

- Longitud de onda central 1542 nm:

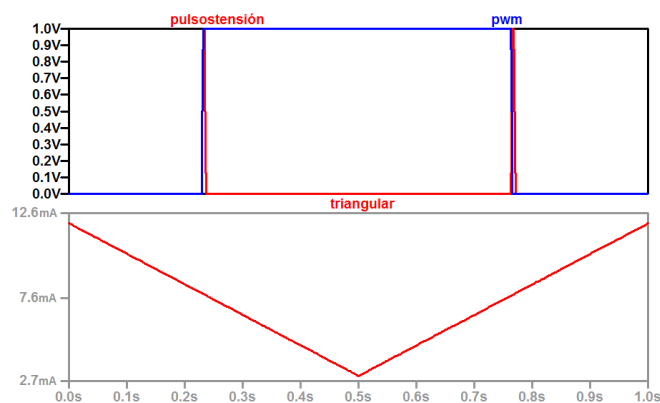


Figura 89. Salida PWM para una longitud de onda central en la FBG de 1542

- Longitud de onda central 1534 nm:

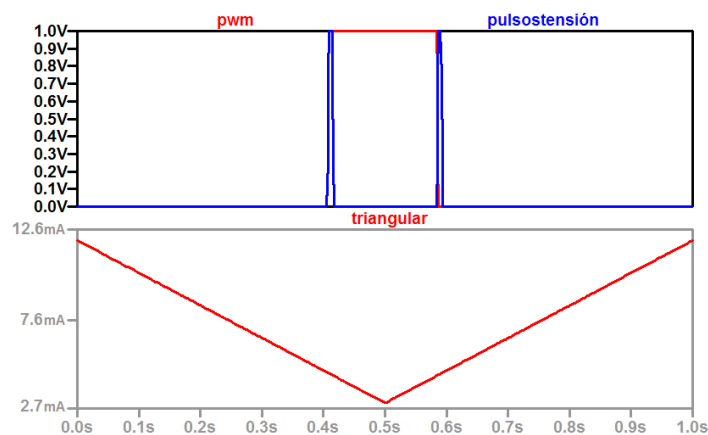


Figura 90. Salida PWM para una longitud de onda central en la FBG de 1534

- **FASE:** con uno de los picos de tensión se genera un pulso que termina en cuanto encuentra un flanco de subida de la señal cuadrada generada por el VCO que está convenientemente sincronizada en fase con la señal triangular.

A continuación mostramos dos ejemplos de salidas de FASE para dos casos diferentes:

- Longitud de onda central 1542 nm:

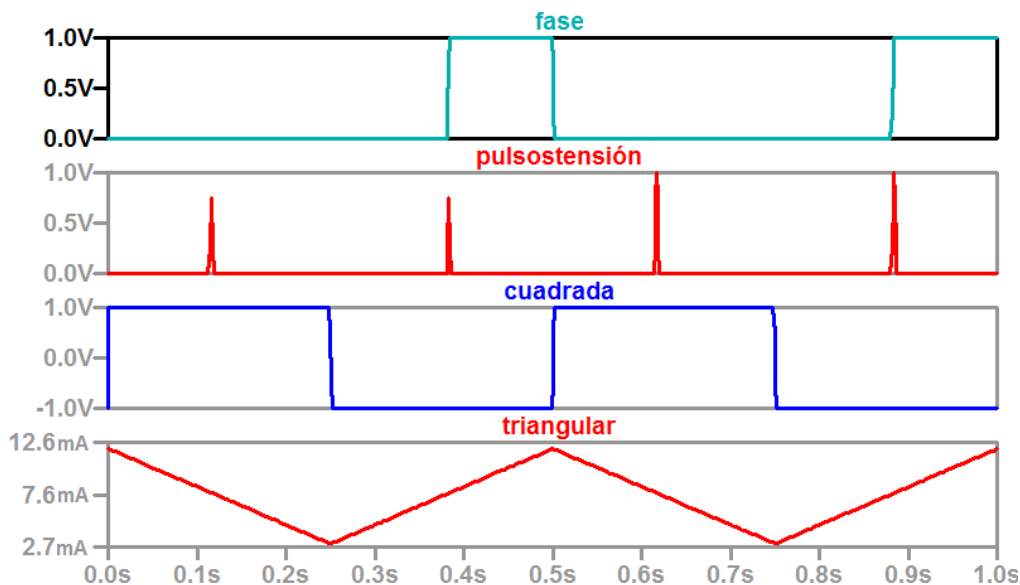


Figura 91. Salida de FASE para una longitud de onda central en la FBG de 1542

- Longitud de onda central 1534 nm:

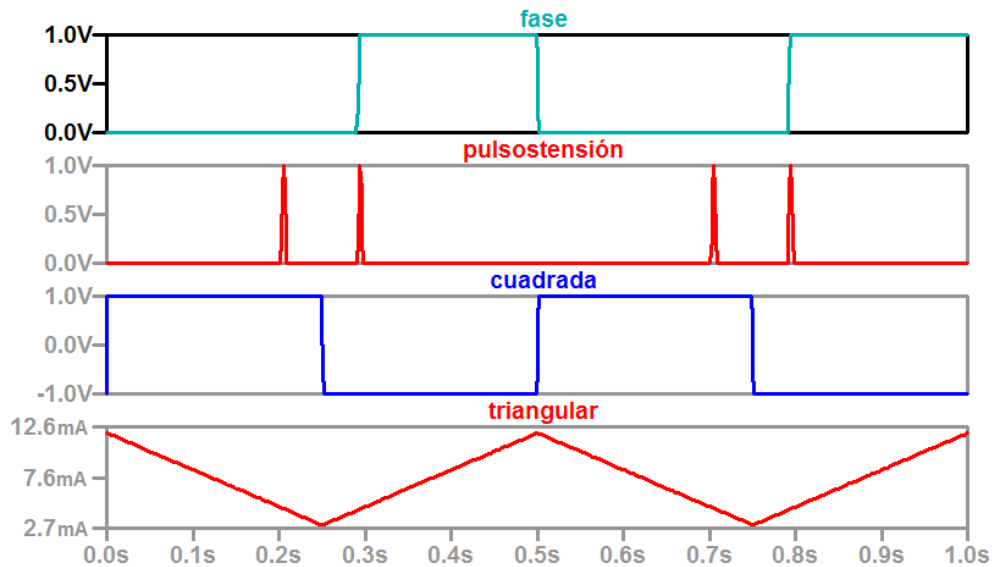


Figura 92. Salida de FASE para una longitud de onda central en la FBG de 1534

De esta forma se generan dos señales de salida cuyo ancho depende de la longitud de onda central de la FBG, el parámetro que varía con las vibraciones. Es por eso que estudiando el ancho de esas señales se puede entender el estado de las FBGs.

Además, estas señales de salida ya pueden ser interpretadas por microprocesadores para detectar las vibraciones en la fibra de Bragg, pero existen otras aplicaciones posibles.

Podrían ser convertidas en señales de corriente continua que variasen de valor al modificarse el ancho de los pulsos y con un pequeño ajuste ser empleadas para modificar la frecuencia del VCO y crear un PLL óptico. Este tema lo exploraremos más adelante.

Capítulo IV. CONCLUSIÓN Y AMPLIACIONES

A lo largo de todo el proyecto, se ha diseñado, simulado y caracterizado un sistema optoelectrónico pensado para ser capaz de interrogar redes de Bragg en fibra.

El proyecto ha incluido elementos de diseño, simulación, fabricación y ensayo y ha sido un proyecto multidisciplinar en el que se han aplicado conceptos de fotónica, óptica, electrónica e instrumentación.

Finalmente, no se ha podido llegar a construir el sistema completo en el espacio de la asignatura, pero se ha simulado su comportamiento, se han diseñado y construido partes fundamentales, se han dejado formuladas las demás y se han demostrado mediante ensayos en laboratorio conceptos fundamentales que asientan las bases del proyecto.

De cara al futuro el proyecto tiene muchas posibilidades, aún está por comprobar el buen funcionamiento del sistema completo al sustituir el analizador de espectros óptico a la salida por el circuito propuesto y después de eso queda optimizar los circuitos para investigar qué frecuencia de muestreo máxima se puede alcanzar.

Tras este largo proceso, solo me queda destacar la gran cantidad de conocimientos que he adquirido durante el desarrollo del proyecto. Antes de comenzar, nunca había cursado una asignatura directamente relacionada con la optoelectrónica, no poseía conocimientos teóricos sobre láseres, sensores ópticos, espectros electromagnéticos, ni había hecho uso del instrumental necesario para trabajar en proyectos de este tipo. Tampoco había diseñado nunca una placa de circuito impreso ni estaba familiarizado con los programas de diseño de PCBs ni con la creación de simulaciones con modelos programados.

Esa es la razón por la que considero que la experiencia ha sido tremendamente enriquecedora, ya que gracias a este proyecto y a mi tutor he tenido la oportunidad de investigar y formarme en una gran cantidad de áreas de la electrónica y la óptica que eran totalmente desconocidas para mí.

ANEXO 1:

DIAGRAMA DE GANTT

Diagrama de Gantt

[illegible]

ANEXO 2: PRESUPUESTO

CÓDIGO UD(S)	DESCRIPCIÓN	MEDICIÓN	PRECIO UNITARIO	PRECIO TOTAL
	Generador de señales			
1.01	Ud(s) Circuito impreso Placa de circuito impreso de dos capas frabricada en el extranjero	2	12,5€	25€
1.02	Ud(s) Circuito integrado CD4046BE Circuito integrado capaz de generar un PLL óptico.	1	0.5€	0.5€
1.03	Ud(s) Circuito integrado TL081CP Amplificado operacional de uso general	2	0.5€	1€
1.04	Ud(s) Condensador cerámico 100pF Condensador cerámico 100pF, $\pm 10\%$, 50V DC	1	0.05€	0.05€
1.05	Ud(s) Condensador cerámico 10nF Condensador cerámico 10nF, $\pm 10\%$, 50V DC	1	0.05€	0.05€
1.06	Ud(s) Resistencia 100kΩ Resistencia de hilo bobinado y de orificio pasante 100k Ω $\pm 5\%$	2	0.01€	0.02€
1.07	Ud(s) Resistencia 10kΩ Resistencia de hilo bobinado y de orificio pasante 10k Ω $\pm 5\%$	3	0.01€	0.03€
1.08	Ud(s) Resistencia 20kΩ Resistencia de hilo bobinado y de orificio pasante 20k Ω $\pm 5\%$	1	0.01€	0.01€
1.09	Ud(s) Resistencia 1kΩ Resistencia de hilo bobinado y de orificio pasante 1k Ω $\pm 5\%$	3	0.01€	0.03€
1.10	Ud(s) Resistencia 8,2kΩ Resistencia de hilo bobinado y de orificio pasante 8,2k Ω $\pm 5\%$	1	0.01€	0.01€
1.11	Ud(s) Potenciómetro 10kΩ Resistencia variable de orificio pasante 10k Ω $\pm 5\%$	1	0.20€	0.20€

1.12	Ud(s)	Jumper Conector de tipo Jumper con entrada para dos pines	1	0.05€	0.05€
1.13	Ud(s)	Conectores de entrada y salida Conectores de entrada y salida de orificio pasante con tornillo para ajustar el cierre	5	0.15€	0.75€
1.14	Ud(s)	Socket PDIP 16 Zocalo para conectar circuitos integrados con contenedor del tipo PDIP y 16 pines.	1	0.15€	0.15€
1.15	Ud(s)	Socket PDIP 8 Zocalo para conectar circuitos integrados con contenedor del tipo PDIP y 8 pines.	2	0.15€	0.30€
TOTAL CIRCUITO GENERADOR DE SEÑALES					28.15€

CÓDIGO UD(S)	DESCRIPCIÓN	PRECIO MEDICIÓN	PRECIO UNITARIO	PRECIO TOTAL
	Placa conectora VCSEL			
2.01	Ud(s) Láser VCSEL SM 1550 de Optilabs Láser de cavidad vertical diseñado para operar a alta velocidad.	1	250€	250€
2.02	Ud(s) Circuito impreso Placa de circuito impreso de dos capas.	1	15€	15€
2.03	Ud(s) Tiras de pines macho Tiras de pines macho para el conexionado de la placa con la fuente CLD1015 de Thorlabs.	2	0.5€	1€
2.04	Ud(s) Resistencia 10kΩ Resistencia de hilo bobinado y de orificio pasante 10kΩ ±5%.	1	0.01€	0.01€
TOTAL PLACA CONECTORA VCSEL				266.01€

CÓDIGO UD(S)	DESCRIPCIÓN	PRECIO MEDICIÓN	PRECIO UNITARIO	PRECIO TOTAL
	Sueldos			
3.01	Hora(s) Trabajo de un estudiante	400	15€	6000€
3.02	Hora(s) Trabajo de un Doctor	50	25€	1250€
TOTAL SUELDOS				7250€
TOTAL APARTADO 1				28.15€
TOTAL APARTADO 2				266.01€
TOTAL APARTADO 3				7250€
TOTAL DE LOS APARTADOS				7544.16€

Como se puede observar el coste mayoritario es el correspondiente a los sueldos. A continuación se han representado los costes de cada apartado en un diagrama circular para apreciar la diferencia de forma más visual.

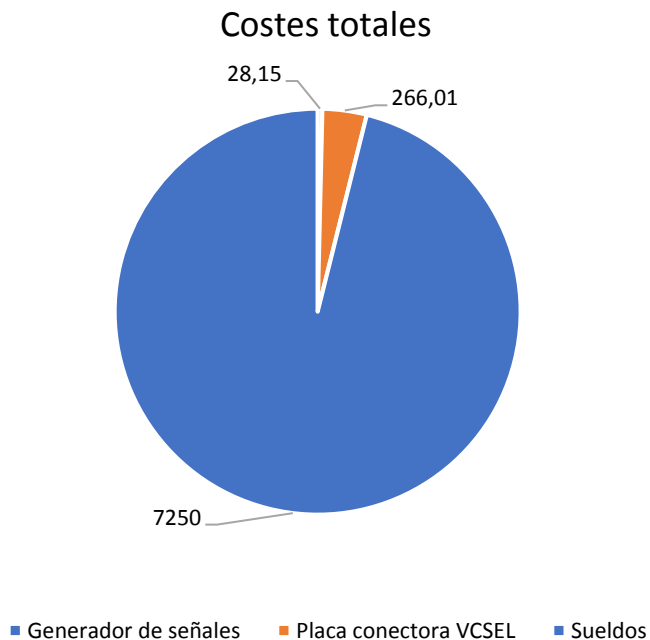


Figura 93. Repartición de los costes sobre el presupuesto

BIBLIOGRAFÍA TÉCNICA

- [1] Deloitte, “2016 Global aerospace and defense sector financial performance study”, Julio 2016.
- [2] H.Guo, G. Xiao, N.Mrad, J. Yao, “Fiber Optic Sensors for Structural Health Monitoring of Air Platforms”, *Sensors*, vol.11, pp. 3687-3705, 2011
- [3] T. Mizunami, S. Hirose, T. Yoshinaga, K. Yamamoto, “Power-stabilized tunable narrow-band source using a VCSEL and an EDFA for FBG sensor interrogation”, *Meas. Sci. Technol.*, vol. 24, no. 9, pp. 094017, 2013.
- [4] J. A. Garcia-Souto, P. Martin, J. E. Posada, P. Acedo, D. A. Jackson, “Evaluation of a 1540 nm VCSEL for Fiber Bragg Grating interrogation in Dynamic measurement applications”. In *Proc. SPIE* Vol. 9157, OFS23, Santander (España), 2014, pp. 91573A.
- [5] T. Vella, S. Chadderdon, R. Selfridge, S. Schultz, S. Webb, C. Park, K. Peters, M. Zikry, “Full-spectrum interrogation of fiber Bragg gratings for detection of impact loading” *Meas. Sci. Technol.*, vol. 21, no. 9, pp. 094009, 2010.
- [6] E.J. Jung, C.S. Kim, M. Y. Jeong, M. K. Kim, M. Y. Jeon, W. Jung, Z. Chen, “Characterization of FBG sensor interrogation based on a FDML wavelength sweep laser”, *Optic Express*, vol. 16, no. 21, pp. 16552-16560, 2008.
- [7] B. Van Hoe, G. Lee, E. Bosman, J. Missine, S. Kalathimekkad, O. Maskery, D.J. Webb, K. Sugden, P. Van Daele, G. Van Steenberge, “Ultra small integrated optical fiber sensing system”, *Sensors*, vol. 12, no. 9, pp. 12051-12069, 2012.
- [8] A. Othonos “Fiber Bragg gratings”, *Review of Scientific Instruments*, vol. 68, no. 12, pp. 4309-4341, 1997.
- [9] L. A. Ferreira, E. V. Diatzikis, J. L. Santos, and F. Farahi, “Frequency-Modulated Multimode Laser Diode for Fiber Grating Sensors”, *Journal of Lightwave Technology*, vol. 16, no. 9, pp. 1620-1630, 1998.
- [10] Paul Horowitz, Winfield Hill, (2015) “The Art of Electronics”, Cambridge University Press; 3 edition
- [11] Peter Wilson, (2012) “The Circuit Designer’s Companion”, Newnes; 3 edition.

REFERENCIAS ONLINE

- [W1] Wikipedia, “Fiber Bragg grating”, https://en.wikipedia.org/wiki/Fiber_Bragg_grating, Julio 2017.
- [W2] Wikipedia, “Vertical-cavity Surface-emitting laser”, https://en.wikipedia.org/wiki/Vertical-cavity_surface-emitting_laser, Julio 2017.
- [W3] Khan Academy: <https://es.khanacademy.org/science/physics/light-waves/introduction-to-light-waves/a/light-and-the-electromagnetic-spectrum>, Agosto 2017.
- [W4] Wikipedia, “Interferómetro Fabry-Perot” https://es.wikipedia.org/wiki/Interfer%C3%B3metro_Fabry-P%C3%A9rot, Agosto 2017.

GLOSARIO

OSA: Optical Spectrum Analyzer

VCSEL: Vertical-Cavity Surface-Emitting Laser

FBG: Fiber Bragg Grating

PWM: Pulse Width Modulation

PCB: Printed Circuit Board

PLL: Phase-Locked Loop

VCO: Voltage Controlled Oscillator

DFG: Different Frequency Generator

FDML: Fourier-Domain Mode Locking

FWHM: Full Width at Half Maximum

HOJAS DE CARACTERÍSTICAS

Circuitos electrónicos:

- TL081
- CD4046
- LM311
- 74HC74N

Circuitos ópticos

- VCSEL SM 1550 de Optilabs
- Filtro óptico sintonizable FFP-TF2 9000 de Micron Optics

APÉNDICE: PUBLICACIONES RELACIONADAS

Sistema de Medida Ultra-rápido y Compacto para Sensores basados en Redes de Bragg en Fibra (FBG)

Luis Trapero Moreno , Julio E. Posada Román y José A. García Souto

Departamento de Tecnología Electrónica, GOTL, Univ. Carlos III de Madrid, Butarque 15, 28911 Leganés

jsouto@ing.uc3m.es

Abstract—Este proyecto consiste en un sistema de instrumentación compacto basado en sensores de fibra óptica para la medida de deformaciones dinámicas. Las aplicaciones de este sistema están principalmente enfocadas a distintos tipos de ensayos de vibraciones, de emisión acústica o de ultrasonidos. Se emplea un láser comercial de emisión superficial y cavidad vertical (VCSEL) y se propone un sistema electrónico para controlar la emisión del láser y acondicionar la salida de una red de Bragg en fibra. Se utiliza un VCSEL ya que permite modificar su longitud de onda en un amplio rango para realizar barridos.

Palabras clave—Redes de Bragg en fibra, FBG, interrogación de FBG, VCSEL, vibraciones, PLL óptico

I. INTRODUCCIÓN

Las redes de Bragg en fibra, o FBG, son microestructuras de unos pocos milímetros que se graban en un pequeño segmento de fibra óptica y que reflejan una longitud de onda de luz concreta mientras transmiten las demás.

De esta forma, las redes de Bragg permiten crear filtros ópticos que funcionan de forma análoga a un filtro paso banda en frecuencia. Su valor de longitud de onda central de reflexión depende tanto de la temperatura como de la deformación axial de la fibra, lo que sirve para utilizar estos elementos como sensores cuasi-puntuales. Eso permite emplearlas como sensores de deformación, conociendo la afección de la temperatura y estudiando como varía la longitud de onda reflejada [1].

Actualmente, para analizar la variación en la FBG se emplean analizadores de espectro ópticos, esquemas interferenciales a partir de una fuente óptica de espectro amplio [2] o esquemas de barrido de longitud de onda con láseres sintonizables, que en la versión con láseres FDML ofrece la medida más rápida [3]. Sin embargo, o bien estos métodos solo pueden trabajar hasta frecuencias de kilohercios (kHz), por lo que suelen limitarse a medidas cuasi-estáticas, o bien son muy costosos, complejos y poco compactos.

Como alternativa con mayor eficiencia se propone emplear un láser que ilumine una línea del espectro óptico y que sea capaz de barrer un cierto rango de longitudes de onda. Un láser sintonizable que presenta buenas características y bajo coste es el de emisión superficial y cavidad vertical (VCSEL). Este componente óptico es un diodo láser de tipo semiconductor que a diferencia de otros láseres Fabry-Perot y DFB de emisión

lateral, emite su haz de luz verticalmente desde su cara superior.

La principal característica por la que se utiliza este tipo de láser en esta aplicación es porque modifica la longitud de onda a la que emite el haz de luz en función de la temperatura y de la corriente de inyección. Esta propiedad del VCSEL permite realizar barridos de longitudes de onda modificando sus dos parámetros y es el principio en el que se basa este sistema de medida.

Otra característica importante del VCSEL es su amplio rango de barrido de longitudes de ondas. Al ser mayor que el espectro de reflexión de una FBG y de su posible variación con la deformación en régimen elástico y con la temperatura, es posible utilizarlo como base de un analizador del espectro óptico reflejado y a partir del mismo captar cualquier deformación sobre la FBG

Ya se han realizado otros sistemas demostrando las ventajas de ejecutar los barridos en longitudes de onda con láseres de tipo VCSEL. El principal problema es obtener una lectura completa en un tiempo muy corto, lo que equivaldría a incrementar la velocidad de barrido; por este motivo únicamente se ha llegado a trabajar a frecuencias de kHz [4],[5].

El objetivo de este proyecto es crear un sistema realmente compacto [6] que integre todo el sistema de acondicionamiento necesario y que nos permita realizar los barridos a frecuencias de megahercios para ampliar el abanico de las aplicaciones.

Por eso el sistema, es un sistema compacto, capaz de ser integrado combinando bloques electrónicos, opto-electrónicos y de fibra óptica. Sus principales características son las siguientes:

- 1) Polariza el VCSEL con control de corriente y temperatura y modula la corriente de inyección del láser para efectuar barridos de longitud de onda.
- 2) Utilizando modulación de la corriente de inyección al dispositivo con un generador de onda triangular se obtiene un espectro completo con tasas de repetición superiores a un millón de barridos por segundo.
- 3) Acondiciona la señal de salida del fotodiodo para generar una señal PWM cuyo ancho dependa de la deformación de la FBG.
- 4) Adicionalmente permite obtener una señal de fase proporcional a la deformación de la FBG que combinada con un oscilador controlado por tensión permita una configuración de lazo óptico enganchado en fase.

Esto conforma un sistema compacto, independiente y totalmente funcional capaz de muestrear las deformaciones de una FBG a una gran velocidad.

II. PRINCIPIO DE MEDIDA

Para medir las deformaciones dinámicas se emplea la FBG como sensor y elemento central del sistema de medida. Como se explica antes, las redes de Bragg reflejan la luz a una longitud de onda concreta. La longitud de onda central a la que refleja la luz es conocida como longitud de onda de Bragg λ_B y es proporcional a la temperatura y la deformación de la fibra [7].

Para calcular la longitud de onda central de la FBG λ_B , lo más fácil es partir de una longitud de onda inicial λ_0 , y medir la variación (1).

$$\frac{\Delta\lambda}{\lambda_0} = (1 - p_e) \cdot \varepsilon + (\alpha_A + \alpha_n) \cdot \Delta T \quad (1)$$

Donde $\Delta\lambda$ es la variación de longitud de onda, λ_0 es la longitud de onda inicial, p_e es el coeficiente de tensión óptica, ε es la tensión experimentada por la red, α_A es el coeficiente de expansión térmica, α_n es el coeficiente óptico térmico y ΔT es la variación de temperatura.

La FBG actúa como un filtro óptico de forma que atenúa la potencia óptica de la luz a las longitudes de onda diferentes de la longitud central λ_B .

Para detectar esa longitud de onda central realizaremos un barrido a lo largo de un rango de longitudes de onda con el VCSEL como aparece representado en la Fig. 1.

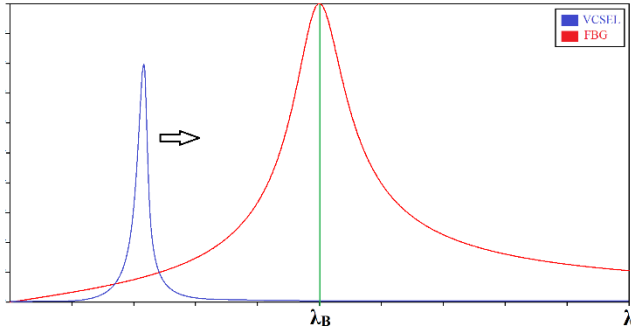


Fig. 1. Representación del barrido de longitudes del VCSEL en torno a la longitud central de la FBG

Sin embargo, como se observa en la propia figura, ni el VCSEL ni la FBG son componentes ideales que actúan a única longitud de onda.

Las redes de Bragg suelen tener una anchura a media altura o FWHM de 0,2 nm mientras que el láser propuesto, el VCSEL-1550-SM, cuenta con una anchura de 0,1 nm.

Además, la potencia óptica que refleja la FBG a las distintas longitudes de onda para un único instante corresponde a la ecuación 2 [8]:

$$g(\lambda - \lambda_B) = R \cdot \exp \left[-4 \cdot \ln 2 \cdot \left(\frac{\lambda - \lambda_B}{\Delta\lambda_B} \right)^2 \right] \quad (2)$$

Donde λ es la longitud de onda a la que queremos calcular la ganancia, λ_B es la longitud de onda central de la FBG, R es la reflectividad máxima de la red de Bragg ($0 \leq R \leq 1$) y $\Delta\lambda_B$ es el ancho espectral a media altura (2).

Es por eso que la potencia óptica reflejada por la red de Bragg que recibirá el fotodiodo, será la convolución de las dos funciones representadas en la Fig. 1. Esta función variará con el tiempo a medida que el VCSEL vaya realizando el barrido y será máxima en el momento en el que la longitud de onda del haz de luz del láser coincida con la longitud de onda central de la red de Bragg en fibra.

Para polarizar el láser se emplea una fuente triangular de corriente. De esta forma se obtiene una variación lineal de la longitud de onda del láser y se generan dos picos de corriente en el fotodiodo por cada período de la señal triangular.

Estos picos de corriente se convertirán en pulsos de tensión mediante un circuito de acondicionamiento. A partir de esos pulsos, hay dos maneras para codificar la información de la deformación en la fibra, como se puede apreciar en la Fig. 2:

- 1) Modulación PWM: el ancho de la señal modulada ($T_2 - T_1$) varía según la longitud de onda central de la FBG. Cuanto mayor sea λ_B , menor será el ancho de la señal.
- 2) Fase: aprovechando únicamente el primero de los pulsos se genera una señal con periodo fijo y conocido. El tiempo que transcurre entre el flanco de bajada de un pulso y el flanco de subida del siguiente ($T_2' - T_1'$) depende de la deformación de la fibra.

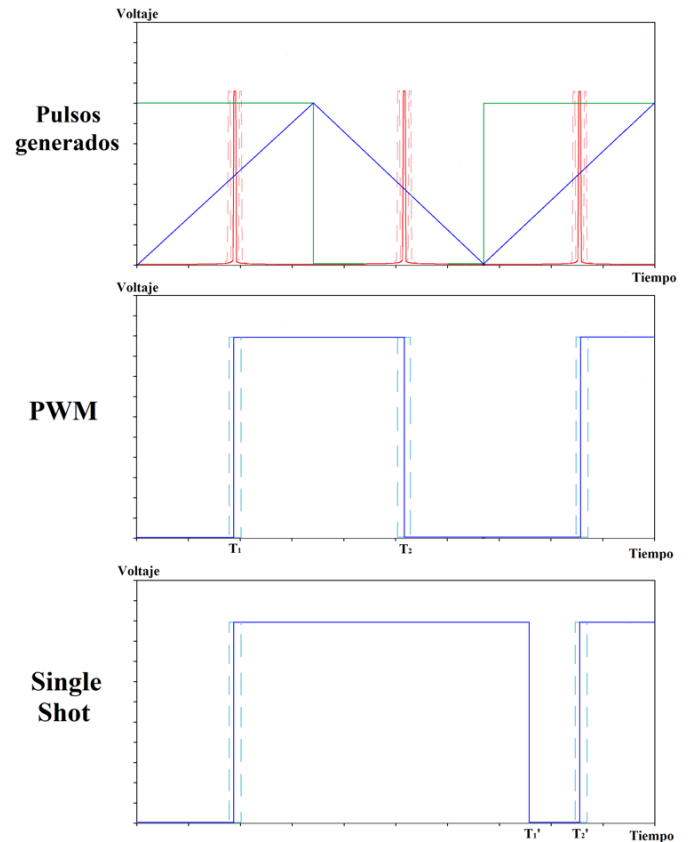


Fig. 2. Representación de las distintas salidas que se pueden generar a partir de la luz reflejada por la FBG.

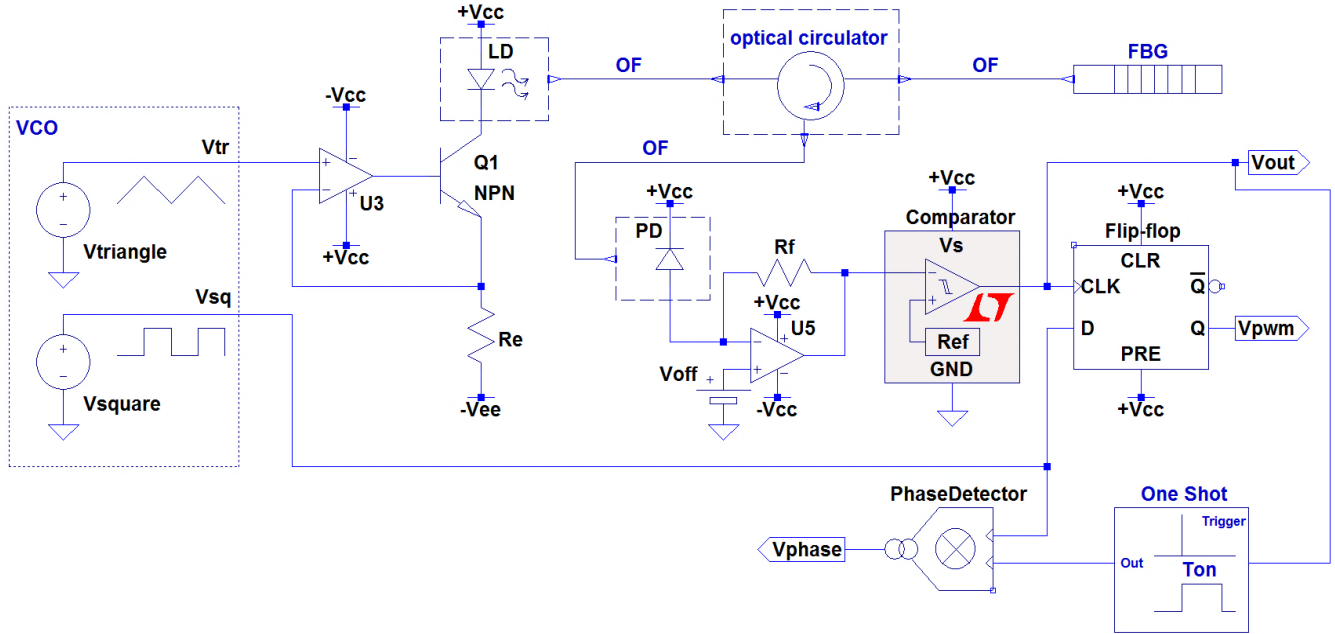


Fig. 3. Esquema de bloques constructivos electrónicos, opto-electrónicos y de fibra óptica del sistema compacto de medida rápida con un sensor FBG basada en un VCSEL como láser sintonizable y codificación de la salida como señal PWM o como señal de fase.

En la figura también aparece representada, en colores más claros, una pequeña variación en la longitud de onda central de la FBG, como la que podría provocar una vibración, y el efecto que tendría sobre las diferentes señales generadas.

III. SISTEMA DE INSTRUMENTACIÓN

El sistema de instrumentación que se puede apreciar en la Fig. 3 consta de tres partes principales claramente diferenciadas, el circuito de polarización del láser, la parte óptica y el circuito de acondicionamiento de la señal de salida.

A. Circuito de polarización del láser

Para poder realizar el circuito de polarización del láser lo primero es estudiar las características principales del VCSEL.

En la Tabla I aparecen los principales parámetros del láser con el que hemos trabajado. Estos valores se muestran para dar una idea aproximada de su magnitud, ya que corresponden a hojas de características y no a la unidad específica del láser [5].

TABLA I
CARACTERÍSTICAS DEL VCSEL

Características	Valores
Rango de corriente (Onda continua)	3.0 mA – 13.5 mA
Rango de Longitud de Onda @ 20°C	1537.30 nm – 1542.19 nm
Rango de Longitud de Onda @ 80°C	1543.47 nm – 1546.13 nm
Corriente Umbral @ 20°C	2.36 mA
Potencia emitida 20°C	1.51 mW

Cabe destacar como el barrido de longitudes de onda se hace alrededor de un valor central aproximado de 1540nm que suele ser la longitud de onda en reposo de las redes de Bragg.

De esta forma y manteniendo la temperatura constante, basta con inyectar una corriente variable al VCSEL para realizar el barrido de longitudes de onda.

La mejor manera de realizar este barrido es mediante una señal triangular de corriente que provoque una variación lineal en la longitud de onda del haz de luz.

Para generar esta señal de corriente se necesita:

- 1) Un oscilador controlado por tensión (VCO) con el que generar una onda triangular de tensión.
- 2) Un circuito de polarización del láser, para convertir la señal de tensión de entrada en una señal de corriente y limitar la corriente máxima por el láser.

B. Componentes ópticos

Como ya hemos explicado antes, gracias a la señal triangular de corriente, el VCSEL genera un haz de luz que varía su longitud de onda de forma lineal. Cuando su longitud de onda coincide con la longitud de onda central de la FBG, el haz de luz se refleja sobre el fotodiodo que genera una pequeña corriente.

Puesto que la señal de corriente con la que se polariza el láser es una señal triangular simétrica, cada periodo de la señal generará dos picos de corriente en el fotodiodo ya que todas las longitudes de ondas se barrerán dos veces.

C. Circuito de acondicionamiento de la señal de salida

A partir de los picos de corriente que crea en el fotodiodo

generaremos una señal que contenga la información sobre la longitud de onda a la que se ha reflejado la luz y que pueda ser interpretada por un microprocesador u otros instrumentos de lectura.

Dado que hay dos picos de corriente por periodo, las opciones más interesantes son generar una señal PWM entre ellos o aprovechar uno de los pulsos para crear una señal de pulso fijo y comparar la fase.

De esta manera, la deformación axial sobre la fibra se verá reflejada en la variación de la longitud de onda de la FBG que funcionará como sensor y esta a su vez en el ancho del pulso o en la fase de la señal.

Para generar la señal modulada por ancho de pulso se emplea:

- 1) Un circuito de transimpedancia para convertir los picos de corriente en picos de tensión y amplificarlos.
- 2) Un comparador con una tensión de referencia que convierta los picos de tensión en pulsos.
- 3) Bien un biestable tipo D, o bien un circuito monoestable (*One Shot*) y un detector de fase para crear la señal de salida a partir de los pulsos de tensión.

Si empleamos el biestable tipo D usando los pulsos de tensión como la señal del reloj obtendremos una señal PWM cuyo ancho dependerá del tiempo transcurrido entre los pulsos.

La otra forma de obtener la señal de salida es mediante un circuito monoestable (*One Shot*) que genere una señal de pulso fijo a partir de uno de los pulsos de tensión y un detector de fase que compare la diferencia de fase entre esa señal y la señal cuadrada del VCO como se puede apreciar en la Fig. 3.

IV. ANÁLISIS DEL SISTEMA Y RESULTADOS

A. Caracterización del VCSEL

El VCSEL es el dispositivo principal del sistema propuesto y en éste se ha centrado la caracterización de los dos parámetros fundamentales: rango de barrido de longitudes de onda y velocidad de barrido.

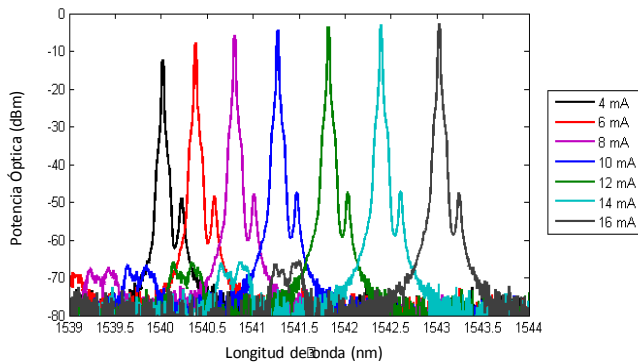


Fig. 4. Diferentes trazas del espectro óptico del VCSEL a diferentes valores de corriente de polarización (temperatura 20°C).

Se han realizado medidas de la longitud de onda emitida por el VCSEL en función de la corriente aplicada al dispositivo, manteniendo la temperatura constante. Los resultados se pueden observar en la Fig. 4, donde se presentan superpuestas las trazas tomadas con el analizador de espectros óptico para

diferentes valores de corriente. El rango de barrido de longitud de onda es aproximadamente de 1540 nm a 1543 nm en el rango de corriente de 4 mA a 16 mA.

Por otro lado, se han realizado barridos de longitud de onda a frecuencias hasta 1 MHz, observando una reducción de la sensibilidad de barrido (cambio de longitud de onda / cambio de corriente de inyección), parcialmente atribuible al circuito de excitación. Se han obtenido barridos de 0,5 nm a 1 MHz.

B. Resultados de Simulación

Para comprobar el correcto funcionamiento del sistema se ha simulado el circuito representado en la Fig. 3.

En la Fig. 5 se puede observar como al excitar el VCSEL con una corriente variable a una temperatura constante el haz de luz barre un rango de longitudes de onda.

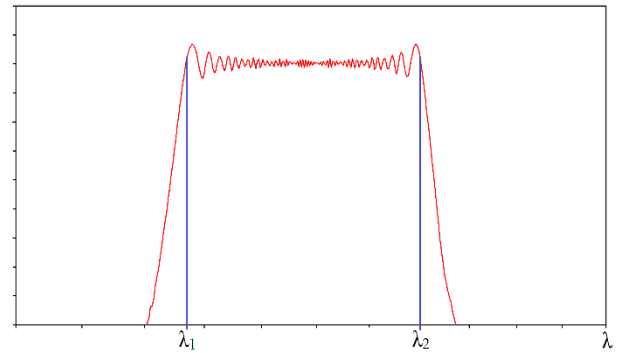


Fig. 5. Espectro en longitud de onda del VCSEL

También se ha simulado la fibra de Bragg como un filtro óptico que refleja la luz a una longitud de onda λ_B . Como aparece representado en la Fig. 6, para el resto de longitudes de onda la potencia reflejada estará muy atenuada.

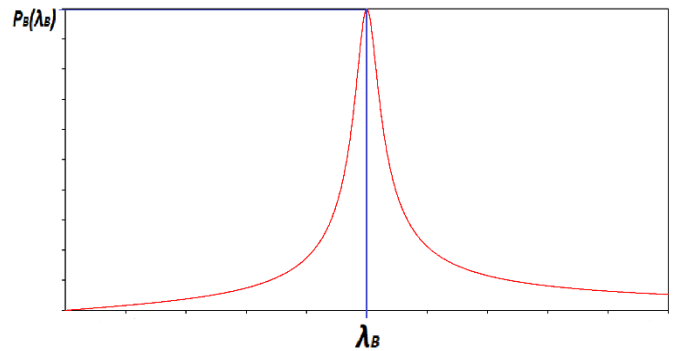


Fig. 6. Reflexión de la FBG en función de la longitud de onda.

De esta forma cuando se inyecta por el VCSEL la señal triangular de corriente y el láser efectúa el barrido de frecuencias, la FBG refleja únicamente la luz a una longitud de onda concreta.

Gracias al circulador óptico el fotodiodo solo recibirá la luz reflejada por la red de Bragg por lo que generará dos picos de corriente por cada periodo de la señal triangular. Por medio del circuito acondicionador convertiremos esos picos de corriente en pulsos de tensión.

En la Fig. 7 aparecen representados los dos pulsos generados en un periodo de la señal triangular.

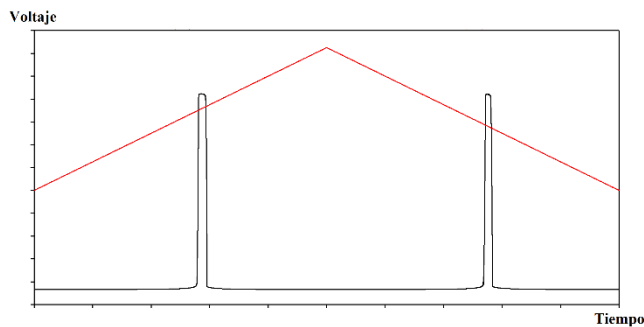


Fig. 7. Representación de los dos pulsos de tensión generados en cada periodo de la señal triangular de corriente que polariza el VCSEL.

Por último, se genera una señal PWM como la que se puede apreciar en la Fig. 8, a partir de los dos pulsos para poder interpretar la señal con cualquier instrumento de medida.

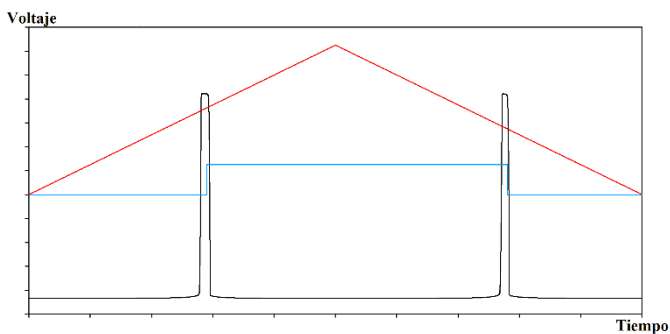


Fig. 8. Señal PWM generada a partir de los dos pulsos de tensión.

El ancho de la señal PWM dependerá de la longitud de onda que refleje la FBG que dependerá a su vez de la deformación axial de la fibra.

V. CONCLUSIONES

El sistema propuesto ha sido diseñado, caracterizado y simulado y ha demostrado ser un sistema capaz de generar una señal PWM cuyo ancho contiene la información sobre la deformación axial de la fibra.

Un punto importante de este circuito es el hecho de que la señal de salida sea una PWM, lo que sirve para poder interpretarla con cualquier microprocesador o instrumento de medida y eso convierte a este diseño en un sistema independiente y completamente funcional.

Al estar diseñado desde un primer momento como un sistema compacto, la limitación de su frecuencia de trabajo se debe únicamente a sus componentes, lo que permite realizar los muestreos a grandes velocidades de hasta 1MS/s.

Además, se abre la posibilidad de cerrar el lazo del circuito y crear un bucle realimentado en el que la señal de salida tratada actúe como señal de control del VCO para ajustar aún más el rango del barrido de la longitud de onda del láser en torno a la longitud de onda central de la FBG. De esta forma se reduciría el rango del barrido y se aumentaría la frecuencia de muestreo.

AGRADECIMIENTOS

El autor Luis Trapero Moreno agradece al Ministerio de Educación, Cultura y Deporte por la Beca de Colaboración 2016-2017 en la que se enmarca su participación en este trabajo de investigación.

REFERENCIAS

- [1] H. Guo, G. Xiao, N. Mrad, J. Yao, "Fiber Optic Sensors for Structural Health Monitoring of Air Platforms", *Sensors*, vol. 11, pp. 3687-3705, 2011.
- [2] T. Vella, S. Chadderdon, R. Selfridge, S. Schultz, S. Webb, C. Park, K. Peters, M. Zikry, "Full-spectrum interrogation of fiber Bragg gratings at 100 kHz for detection of impact loading" *Meas. Sci. Technol.*, vol. 21, no. 9, pp. 094009, 2010.
- [3] E.J. Jung, C.S. Kim, M.Y. Jeong, M.K. Kim, M.Y. Jeon, W. Jung, Z. Chen, "Characterization of FBG sensor interrogation based on a FDML wavelength swept laser", *Optics Express*, vol. 16, no. 21, pp. 16552-16560, 2008.
- [4] T. Mizunami, S. Hirose, T. Yoshinaga, K. Yamamoto, "Power-stabilized tunable narrow-band source using a VCSEL and an EDFA for FBG sensor interrogation", *Meas. Sci. Technol.*, vol. 24, no. 9, pp. 094017, 2013.
- [5] J. A. Garcia-Souto, P. Martin, J. E. Posada, P. Acedo, D. A. Jackson, "Evaluation of a 1540 nm VCSEL for Fibre Bragg Gratings interrogation in dynamic measurement applications", In *Proc. SPIE Vol. 9157, OFS23*, Santander (España), 2014, pp. 91573A.
- [6] B. Van Hoe, G. Lee, E. Bosman, J. Missinne, S. Kalathimekkad, O. Maskery, D.J. Webb, K. Sugden, P. Van Daele, G. Van Steenberge, "Ultra small integrated optical fiber sensing system", *Sensors*, vol. 12, no. 9, pp. 12052-12069, 2012.
- [7] A. Othonos "Fiber Bragg gratings," *Review of Scientific Instruments*, vol. 68, no. 12, pp. 4309-4341, 1997.
- [8] L. A. Ferreira, E. V. Diatzikis, J. L. Santos, and F. Farahi, "Frequency-Modulated Multimode Laser Diode for Fiber Bragg Grating Sensors," *Journal of Lightwave Technology*, vol. 16, no. 9, pp. 1620-1630, 1998.



TL08xx JFET-Input Operational Amplifiers

1 Features

- Low Power Consumption: 1.4 mA/ch Typical
- Wide Common-Mode and Differential Voltage Ranges
- Low Input Bias Current: 30 pA Typical
- Low Input Offset Current: 5 pA Typical
- Output Short-Circuit Protection
- Low Total Harmonic Distortion: 0.003% Typical
- High Input Impedance: JFET Input Stage
- Latch-Up-Free Operation
- High Slew Rate: 13 V/μs Typical
- Common-Mode Input Voltage Range Includes V_{CC+}

2 Applications

- Tablets
- White goods
- Personal electronics
- Computers

3 Description

The TL08xx JFET-input operational amplifier family is designed to offer a wider selection than any previously developed operational amplifier family. Each of these JFET-input operational amplifiers incorporates well-matched, high-voltage JFET and bipolar transistors in a monolithic integrated circuit. The devices feature high slew rates, low input bias and offset currents, and low offset-voltage temperature coefficient.

Device Information⁽¹⁾

PART NUMBER	PACKAGE	BODY SIZE (NOM)
TL084xD	SOIC (14)	8.65 mm × 3.91 mm
TL08xxFK	LCCC (20)	8.89 mm × 8.89 mm
TL084xJ	CDIP (14)	19.56 mm × 6.92 mm
TL084xN	PDIP (14)	19.3 mm × 6.35 mm
TL084xNS	SO (14)	10.3 mm × 5.3 mm
TL084xPW	TSSOP (14)	5.0 mm × 4.4 mm

(1) For all available packages, see the orderable addendum at the end of the data sheet.

Schematic Symbol

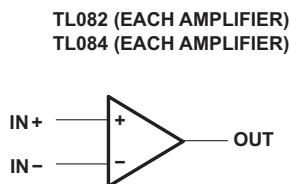
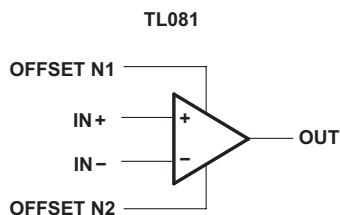


Table of Contents

1 Features	1	8.2 Functional Block Diagram	14
2 Applications	1	8.3 Feature Description	14
3 Description	1	8.4 Device Functional Modes	14
4 Revision History	2	9 Applications and Implementation	15
5 Pin Configuration and Functions	3	9.1 Application Information	15
6 Specifications	5	9.2 Typical Applications	15
6.1 Absolute Maximum Ratings	5	9.3 System Examples	16
6.2 ESD Ratings	5	10 Power Supply Recommendations	18
6.3 Recommended Operating Conditions	5	11 Layout	18
6.4 Thermal Information	6	11.1 Layout Guidelines	18
6.5 Electrical Characteristics for TL08xC, TL08xxC, and TL08xI	6	11.2 Layout Examples	19
6.6 Electrical Characteristics for TL08xM and TL084x ...	7	12 Device and Documentation Support	20
6.7 Operating Characteristics	7	12.1 Documentation Support	20
6.8 Dissipation Rating Table	8	12.2 Related Links	20
6.9 Typical Characteristics	9	12.3 Community Resources	20
7 Parameter Measurement Information	13	12.4 Trademarks	20
8 Detailed Description	14	12.5 Electrostatic Discharge Caution	20
8.1 Overview	14	12.6 Glossary	20
		13 Mechanical, Packaging, and Orderable Information	20

4 Revision History

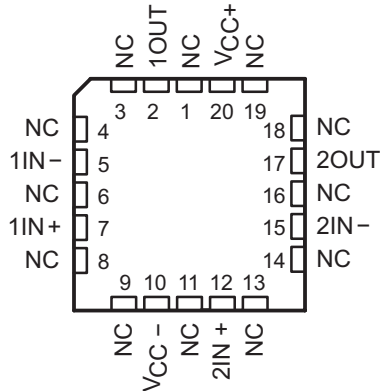
NOTE: Page numbers for previous revisions may differ from page numbers in the current version.

Changes from Revision H (January 2014) to Revision I	Page
• Added <i>Pin Configuration and Functions</i> section, <i>Storage Conditions</i> table, <i>ESD Ratings</i> table, <i>Feature Description</i> section, <i>Device Functional Modes</i> , <i>Application and Implementation</i> section, <i>Power Supply Recommendations</i> section, <i>Layout</i> section, <i>Device and Documentation Support</i> section, and <i>Mechanical, Packaging, and Orderable Information</i> section	1
• Added <i>Applications</i>	1
• Moved <i>Typical Characteristics</i> into <i>Specifications</i> section.	9

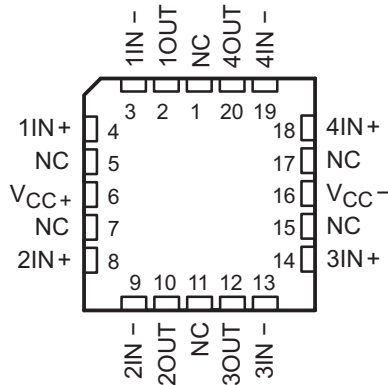
Changes from Revision G (September 2004) to Revision H	Page
• Updated document to new TI data sheet format - no specification changes.	1
• Deleted <i>Ordering Information</i> table.	1

5 Pin Configuration and Functions

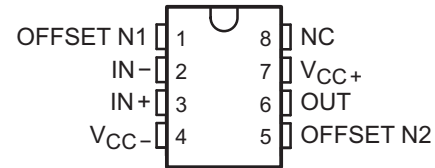
**TL082 FK Package
20-Pin LCCC
Top View**



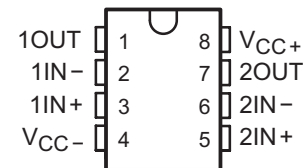
**TL084 FK Package
20-Pin LCCC
Top View**



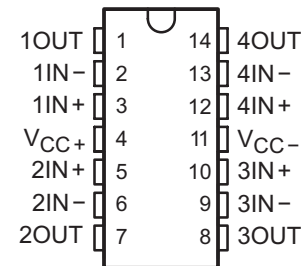
**TL081 and TL081x D, P, and PS Package
8-Pin SOIC, PDIP, and SO
Top View**



**TL082 and TL082x D, JG, P, PS and PW Package
8-Pin SOIC, CDIP, PDIP, SO, and TSSOP
Top View**



**TL084 and TL084x D, J, N, NS and PW Package
14-Pin SOIC, CDIP, PDIP, SO, and TSSOP
Top View**



Pin Functions

PIN						I/O	DESCRIPTION
NAME	TL081	TL082		TL084			
	SOIC, PDIP, SO	SOIC, CDIP, PDIP, SO, TSSOP	LCCC	SOIC, CDIP, PDIP, SO, TSSOP	LCCC		
1IN–	—	2	5	2	3	I	Negative input
1IN+	—	3	7	3	4	I	Positive input
1OUT	—	1	2	1	2	O	Output
2IN–	—	6	15	6	9	I	Negative input
2IN+	—	5	12	5	8	I	Positive input
2OUT	—	7	17	7	10	O	Output
3IN–	—	—	—	9	13	I	Negative input
3IN+	—	—	—	10	14	I	Positive input
3OUT	—	—	—	8	12	O	Output
4IN–	—	—	—	13	19	I	Negative input
4IN+	—	—	—	12	18	I	Positive input
4OUT	—	—	—	14	20	O	Output

Pin Functions (continued)

PIN						I/O	DESCRIPTION
NAME	TL081	TL082		TL084			
	SOIC, PDIP, SO	SOIC, CDIP, PDIP, SO, TSSOP	LCCC	SOIC, CDIP, PDIP, SO, TSSOP	LCCC		
IN−	2	—	—	—	—	I	Negative input
IN+	3	—	—	—	—	I	Positive input
NC	8	—	1	—	1	—	Do not connect
			3		5		
			4				
			6		7		
			8				
			9		11		
			11				
			13		15		
			14				
			16		17		
18							
OFFSET N1	1	—	—	—	—	—	Input offset adjustment
OFFSET N2	5	—	—	—	—	—	Input offset adjustment
OUT	6	—	—	—	—	O	Output
V _{CC−}	4	4	10	11	16	—	Power supply
V _{CC+}	7	8	20	4	6	—	Power supply

6 Specifications

6.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted)⁽¹⁾

				MIN	MAX	UNIT
V _{CC+}	Supply voltage ⁽²⁾			18		V
V _{CC–}				–18		
V _{ID}	Differential input voltage ⁽³⁾			±30		V
V _I	Input voltage ⁽²⁾⁽⁴⁾			±15		V
Duration of output short circuit ⁽⁵⁾				Unlimited		
Continuous total power dissipation				See Dissipation Rating Table		
T _A	Operating free-air temperature		TL08_C TL08_AC TL08_BC	0	70	°C
			TL08_I	–40	85	
			TL084Q	–40	125	
			TL08_M	–55	125	
			Operating virtual junction temperature			
T _C	Case temperature for 60 seconds	FK package	TL08_M	260		°C
	Lead temperature 1,6 mm (1/16 inch) from case for 10 seconds	J or JG package	TL08_M	300		°C
T _{stg}	Storage temperature			–65	150	°C

- (1) Stresses beyond those listed under *Absolute Maximum Ratings* may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under *Recommended Operating Conditions* is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.
- (2) All voltage values, except differential voltages, are with respect to the midpoint between V_{CC+} and V_{CC-}.
- (3) Differential voltages are at IN+, with respect to IN–.
- (4) The magnitude of the input voltage must never exceed the magnitude of the supply voltage or 15 V, whichever is less.
- (5) The output may be shorted to ground or to either supply. Temperature and/or supply voltages must be limited to ensure that the dissipation rating is not exceeded.

6.2 ESD Ratings

			VALUE	UNIT
V _(ESD)	Electrostatic discharge	Human body model (HBM), per ANSI/ESDA/JEDEC JS-001 ⁽¹⁾	1000	V
		Charged-device model (CDM), per JEDEC specification JESD22-C101 ⁽²⁾	1500	

- (1) JEDEC document JEP155 states that 500-V HBM allows safe manufacturing with a standard ESD control process.
- (2) JEDEC document JEP157 states that 250-V CDM allows safe manufacturing with a standard ESD control process.

6.3 Recommended Operating Conditions

over operating free-air temperature range (unless otherwise noted)

				MIN	MAX	UNIT
V _{CC+}	Supply voltage			5	15	V
V _{CC-}	Supply voltage			–5	–15	V
V _{CM}	Common-mode voltage			V _{CC-} + 4	V _{CC+} – 4	V
T _A	Ambient temperature	TL08xM		–55	125	°C
		TL08xQ		–40	125	
		TL08xl		–40	85	
		TL08xC		0	70	

6.4 Thermal Information

THERMAL METRIC ⁽¹⁾		TL08xx								UNIT
		D (SOIC)		N (PDIP)	NS (SO)	P (PDIP)	PS (SO)	PW (TSSOP)		
		8 PINS	14 PINS	14 PINS	14 PINS	{PIN COUNT} PINS	{PIN COUNT} PINS	8 PINS	14 PINS	
R _{θJA}	Junction-to-ambient thermal resistance ⁽²⁾⁽³⁾	97	86	76	80	85	95	149	113	°C/W

- (1) For more information about traditional and new thermal metrics, see the *Semiconductor and IC Package Thermal Metrics* application report, [SPRA953](#).
- (2) Maximum power dissipation is a function of T_{J(max)}, R_{θJA}, and T_A. The maximum allowable power dissipation at any allowable ambient temperature is P_D = (T_{J(max)} – T_A) / R_{θJA}. Operating at the absolute maximum T_J of 150°C can affect reliability.
- (3) The package thermal impedance is calculated in accordance with JESD 51-7.

6.5 Electrical Characteristics for TL08xC, TL08xxC, and TL08xI

V_{CC±} = ±15 V (unless otherwise noted)

PARAMETER	TEST CONDITIONS	T _A ⁽¹⁾	TL081C, TL082C, TL084C			TL081AC, TL082AC, TL084AC			TL081BC, TL082BC, TL084BC			TL081I, TL082I, TL084I			UNIT
			MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
V _{IO} Input offset voltage	V _O = 0, R _S = 50 Ω	25°C		3	15		3	6		2	3		3	6	mV
		Full range			20			7.5			5			9	
α _{VIO} Temperature coefficient of input offset voltage	V _O = 0, R _S = 50 Ω	Full range		18			18			18			18		μV/°C
I _{IO} Input offset current ⁽²⁾	V _O = 0	25°C		5	200		5	100		5	100		5	100	pA
		Full range			2			2			2			10	nA
I _{IB} Input bias current ⁽²⁾	V _O = 0	25°C		30	400		30	200		30	200		30	200	pA
		Full range			10			7			7			20	nA
V _{ICR} Common-mode input voltage range		25°C	±11	–12 to 15		±11	–12 to 15		±11	–12 to 15		±11	–12 to 15		V
V _{OM} Maximum peak output voltage swing	R _L = 10 kΩ	25°C	±12	±13.5		±12	±13.5		±12	±13.5		±12	±13.5		V
	R _L ≥ 10 kΩ	Full range	±12			±12			±12			±12			
	R _L ≥ 2 kΩ		±10	±12		±10	±12		±10	±12		±10	±12		
A _{VD} Large-signal differential voltage amplification	V _O = ±10 V, R _L ≥ 2 kΩ	25°C	25	200		50	200		50	200		50	200		V/mV
		Full range	15			15			25			25			
B ₁ Unity-gain bandwidth		25°C		3			3			3			3		MHz
r _i Input resistance		25°C		10 ¹²			10 ¹²			10 ¹²			10 ¹²		Ω
CMRR Common-mode rejection ratio	V _{IC} = V _{ICRmin} , V _O = 0, R _S = 50 Ω	25°C	70	86		75	86		75	86		75	86		dB
k _{SVR} Supply-voltage rejection ratio (ΔV _{CC±} /ΔV _{IO})	V _{CC} = ±15 V to ±9 V, V _O = 0, R _S = 50 Ω	25°C	70	86		80	86		80	86		80	86		dB

- (1) All characteristics are measured under open-loop conditions with zero common-mode voltage, unless otherwise specified. Full range for T_A is 0°C to 70°C for TL08_C, TL08_AC, TL08_BC and –40°C to 85°C for TL08_I.
- (2) Input bias currents of an FET-input operational amplifier are normal junction reverse currents, which are temperature sensitive, as shown in [Figure 13](#). Pulse techniques must be used that maintain the junction temperature as close to the ambient temperature as possible.

Electrical Characteristics for TL08xC, TL08xxC, and TL08xl (continued)

 $V_{CC\pm} = \pm 15 \text{ V}$ (unless otherwise noted)

PARAMETER	TEST CONDITIONS	$T_A^{(1)}$	TL081C, TL082C, TL084C			TL081AC, TL082AC, TL084AC			TL081BC, TL082BC, TL084BC			TL081I, TL082I, TL084I			UNIT
			MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
I_{CC}	Supply current (each amplifier)	$V_O = 0$, No load	25°C	1.4	2.8	1.4	2.8	1.4	2.8	1.4	2.8	1.4	2.8	2.8	mA
V_{O1}/V_{O2}	Crosstalk attenuation	$A_{VD} = 100$	25°C	120	120	120	120	120	120	120	120	120	120	120	dB

6.6 Electrical Characteristics for TL08xM and TL084x

 $V_{CC\pm} = \pm 15 \text{ V}$ (unless otherwise noted)

PARAMETER	TEST CONDITIONS ⁽¹⁾	T_A	TL081M, TL082M			TL084Q, TL084M			UNIT
			MIN	TYP	MAX	MIN	TYP	MAX	
V_{IO}	Input offset voltage	$V_O = 0$, $R_S = 50 \Omega$	25°C	3	6	3	9	9	mV
		Full range			9		15	15	
α_{VIO}	Temperature coefficient of input offset voltage	$V_O = 0$, $R_S = 50 \Omega$	Full range	18	18	18	18	18	$\mu\text{V}/^\circ\text{C}$
I_{IO}	Input offset current ⁽²⁾	$V_O = 0$	25°C	5	100	5	100	100	pA
		125°C		20	20	20	20	20	nA
I_{IB}	Input bias current ⁽²⁾	$V_O = 0$	25°C	30	200	30	200	200	pA
		125°C		50	50	50	50	50	nA
V_{ICR}	Common-mode input voltage range	25°C	± 11	-12 to 15	-12 to 15	± 11	-12 to 15	-12 to 15	V
V_{OM}	Maximum peak output voltage swing	$R_L = 10 \text{ k}\Omega$	25°C	± 12	± 13.5	± 12	± 13.5	± 13.5	V
		$R_L \geq 10 \text{ k}\Omega$	Full range	± 12	± 12	± 12	± 12	± 12	
		$R_L \geq 2 \text{ k}\Omega$		± 10	± 12	± 10	± 12	± 12	
A_{VD}	Large-signal differential voltage amplification	$V_O = \pm 10 \text{ V}$, $R_L \geq 2 \text{ k}\Omega$	25°C	25	200	25	200	200	V/mV
		Full range		15	15	15	15	15	
B_1	Unity-gain bandwidth	25°C		3	3		3	3	MHz
r_i	Input resistance	25°C		10^{12}	10^{12}		10^{12}	10^{12}	Ω
CMRR	Common-mode rejection ratio	$V_{IC} = V_{ICRmin}$, $V_O = 0$, $R_S = 50 \Omega$	25°C	80	86	80	86	86	dB
k_{SVR}	Supply-voltage rejection ratio ($\Delta V_{CC\pm}/\Delta V_{IO}$)	$V_{CC} = \pm 15 \text{ V}$ to $\pm 9 \text{ V}$, $V_O = 0$, $R_S = 50 \Omega$	25°C	80	86	80	86	86	dB
I_{CC}	Supply current (each amplifier)	$V_O = 0$, No load	25°C	1.4	2.8	1.4	2.8	2.8	mA
V_{O1}/V_{O2}	Crosstalk attenuation	$A_{VD} = 100$	25°C	120	120	120	120	120	dB

(1) All characteristics are measured under open-loop conditions, with zero common-mode input voltage, unless otherwise specified.

(2) Input bias currents of a FET-input operational amplifier are normal junction reverse currents, which are temperature sensitive, as shown in Figure 13. Pulse techniques must be used that maintain the junction temperatures as close to the ambient temperature as possible.

6.7 Operating Characteristics

 $V_{CC\pm} = \pm 15 \text{ V}$, $T_A = 25^\circ\text{C}$ (unless otherwise noted)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
SR	$V_I = 10 \text{ V}$, $R_L = 2 \text{ k}\Omega$, $C_L = 100 \text{ pF}$, See Figure 19	8 ⁽¹⁾	13		V/ μs
	$V_I = 10 \text{ V}$, $R_L = 2 \text{ k}\Omega$, $C_L = 100 \text{ pF}$, $T_A = -55^\circ\text{C}$ to 125°C , See Figure 19	5 ⁽¹⁾			

(1) On products compliant to MIL-PRF-38535, this parameter is not production tested.

Operating Characteristics (continued)

$V_{CC\pm} = \pm 15\text{ V}$, $T_A = 25^\circ\text{C}$ (unless otherwise noted)

PARAMETER		TEST CONDITIONS		MIN	TYP	MAX	UNIT
t_r	Rise-time	$V_I = 20\text{ V}$, $R_L = 2\text{ k}\Omega$, $C_L = 100\text{ pF}$, See Figure 19			0.05		μs
	overshoot factor				20%		
V_n	Equivalent input noise voltage	$R_S = 20\text{ }\Omega$	$f = 1\text{ kHz}$		18		$\text{nV}/\sqrt{\text{Hz}}$
			$f = 10\text{ Hz to } 10\text{ kHz}$		4		μV
I_n	Equivalent input noise current	$R_S = 20\text{ }\Omega$	$f = 1\text{ kHz}$		0.01		$\text{pA}/\sqrt{\text{Hz}}$
THD	Total harmonic distortion	$V_{\text{rms}} = 6\text{ V}$, $A_{\text{VD}} = 1$, $R_S \leq 1\text{ k}\Omega$, $R_L \geq 2\text{ k}\Omega$, $f = 1\text{ kHz}$			0.003%		

6.8 Dissipation Rating Table

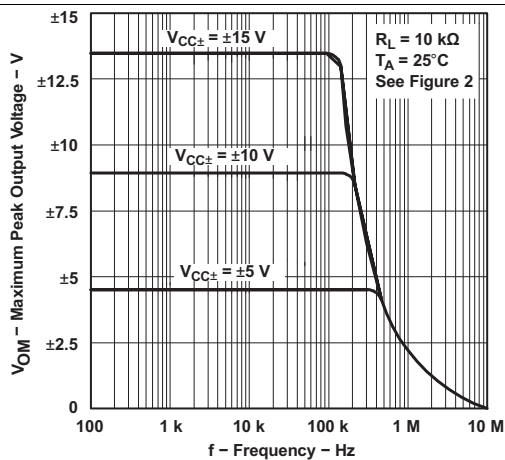
PACKAGE	$T_A \leq 25^\circ\text{C}$ POWER RATING	DERATING FACTOR	DERATE ABOVE T_A	$T_A = 70^\circ\text{C}$ POWER RATING	$T_A = 85^\circ\text{C}$ POWER RATING	$T_A = 125^\circ\text{C}$ POWER RATING
D (14 pin)	680 mW	7.6 mW/ $^\circ\text{C}$	60 $^\circ\text{C}$	604 mW	490 mW	186 mW
FK	680 mW	11.0 mW/ $^\circ\text{C}$	88 $^\circ\text{C}$	680 mW	680 mW	273 mW
J	680 mW	11.0 mW/ $^\circ\text{C}$	88 $^\circ\text{C}$	680 mW	680 mW	273 mW
JG	680 mW	8.4 mW/ $^\circ\text{C}$	69 $^\circ\text{C}$	672 mW	546 mW	210 mW

6.9 Typical Characteristics

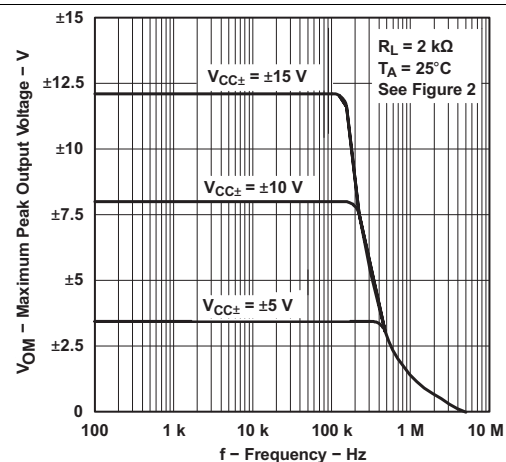
Data at high and low temperatures are applicable only within the rated operating free-air temperature ranges of the various devices. The Figure numbers referenced in the following graphs are located in [Parameter Measurement Information](#).

Table 1. Table of Graphs

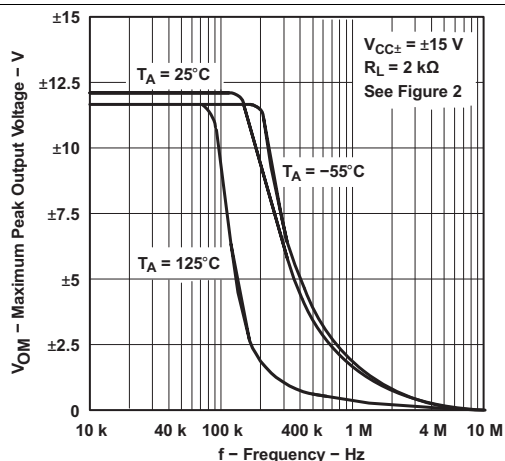
			Figure
V_{OM}	Maximum peak output voltage	versus Frequency versus Free-air temperature versus Load resistance versus Supply voltage	Figure 1, Figure 2, Figure 3 Figure 4 Figure 5 Figure 6
A_{VD}	Large-signal differential voltage amplification	versus Free-air temperature versus Load resistance	Figure 7 Figure 8
	Differential voltage amplification	versus Frequency with feed-forward compensation	Figure 9
P_D	Total power dissipation	versus Free-air temperature	Figure 10
I_{CC}	Supply current	versus Free-air temperature versus Supply voltage	Figure 11 Figure 12
I_{IB}	Input bias current	versus Free-air temperature	Figure 13
	Large-signal pulse response	versus Time	Figure 14
V_O	Output voltage	versus Elapsed time	Figure 15
CMRR	Common-mode rejection ratio	versus Free-air temperature	Figure 16
V_n	Equivalent input noise voltage	versus Frequency	Figure 17
THD	Total harmonic distortion	versus Frequency	Figure 18



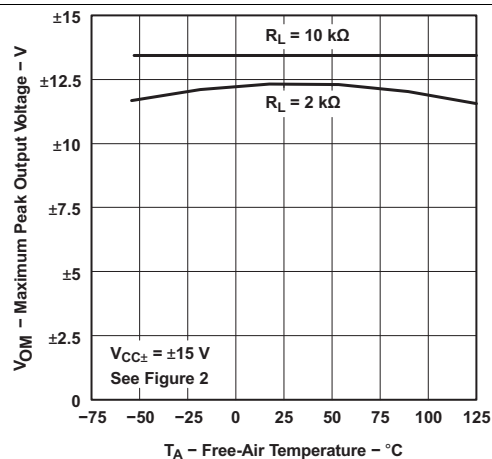
**Figure 1. Maximum Peak Output Voltage
vs
Frequency**



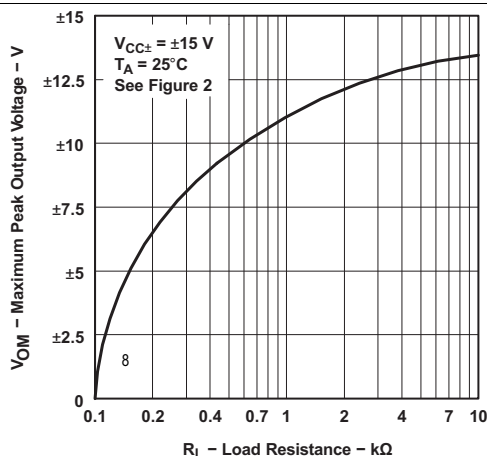
**Figure 2. Maximum Peak Output Voltage
vs
Frequency**



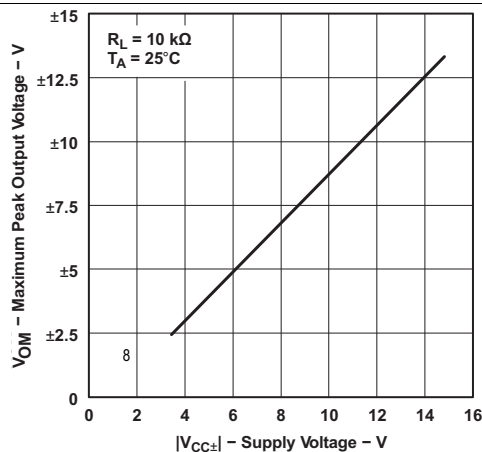
**Figure 3. Maximum Peak Output Voltage
vs
Frequency**



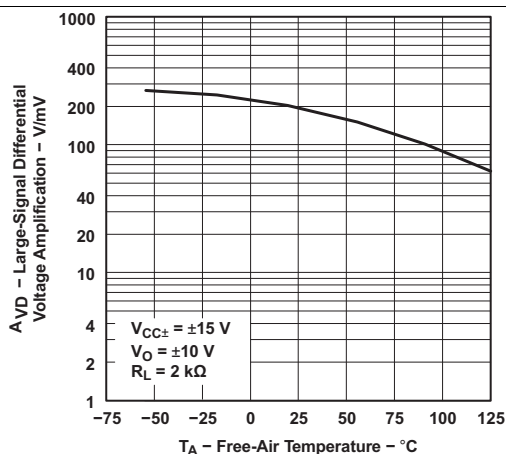
**Figure 4. Maximum Peak Output Voltage
vs
Free-Air Temperature**



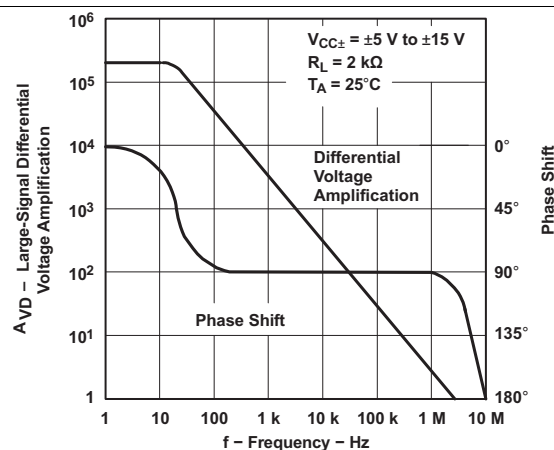
**Figure 5. Maximum Peak Output Voltage
vs
Load Resistance**



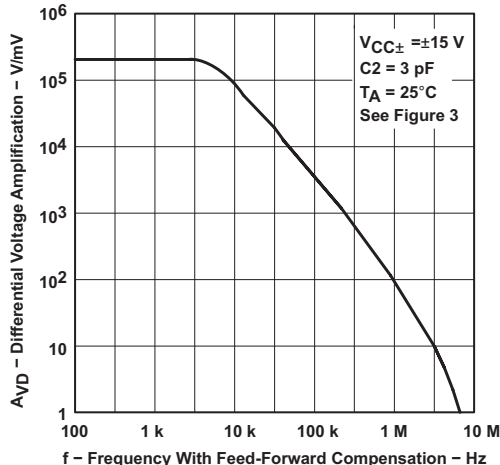
**Figure 6. Maximum Peak Output Voltage
vs
Supply Voltage**



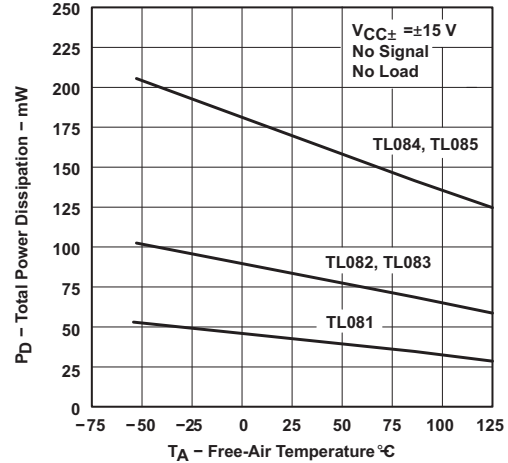
**Figure 7. Large-Signal Differential Voltage Amplification
vs
Free-Air Temperature**



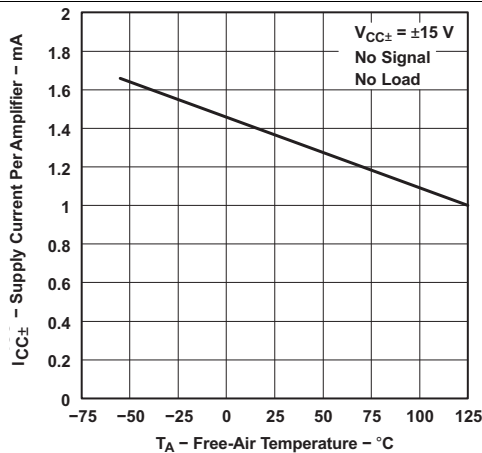
**Figure 8. Large-Signal Differential Voltage Amplification and
Phase Shift
vs
Frequency**



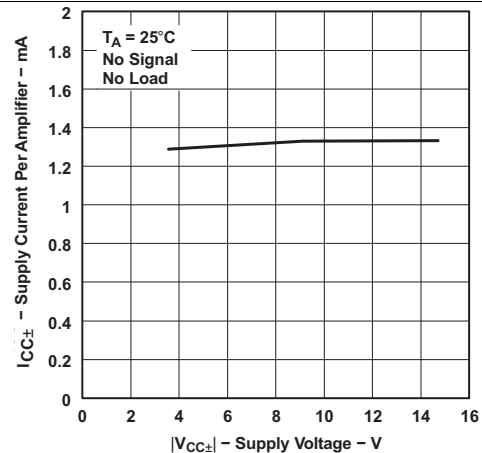
**Figure 9. Differential Voltage Amplification
vs
Frequency with Feed-Forward Compensation**



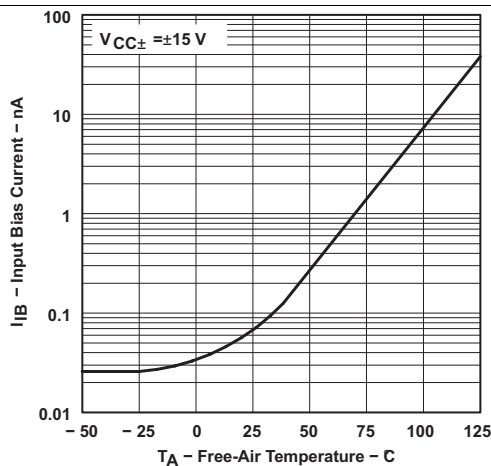
**Figure 10. Total Power Dissipation
vs
Free-Air Temperature**



**Figure 11. Supply Current per Amplifier
vs
Free-Air Temperature**



**Figure 12. Supply Current per Amplifier
vs
Supply Voltage**



**Figure 13. Input Bias Current
vs
Free-Air Temperature**

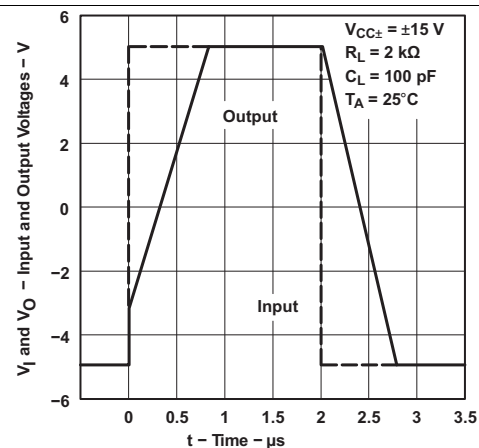


Figure 14. Voltage-Follower Large-Signal Pulse Response

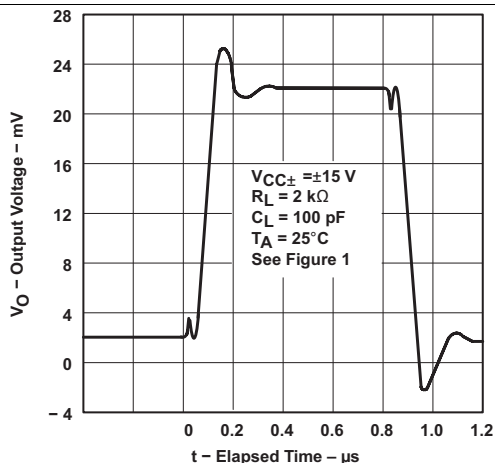


Figure 15. Output Voltage
vs
Elapsed Time

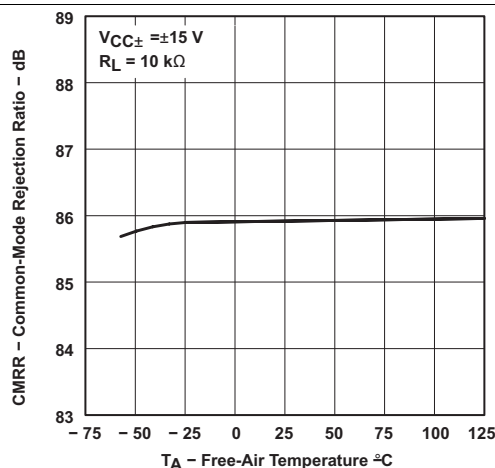


Figure 16. Common-Mode Rejection Ratio
vs
Free-Air Temperature

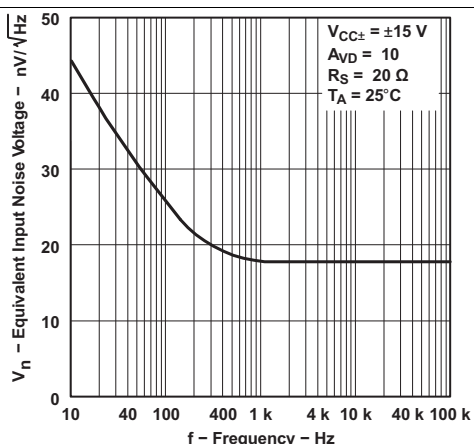


Figure 17. Equivalent Input Noise Voltage
vs
Frequency

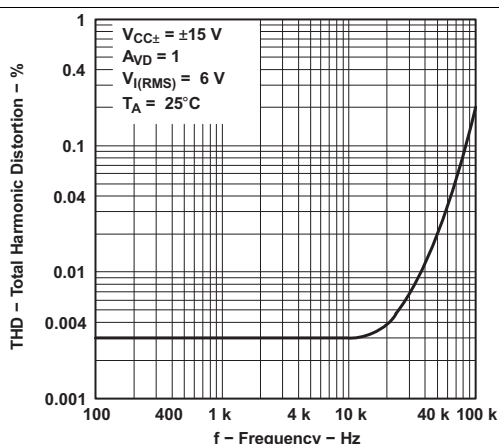


Figure 18. Total Harmonic Distortion
vs
Frequency

7 Parameter Measurement Information

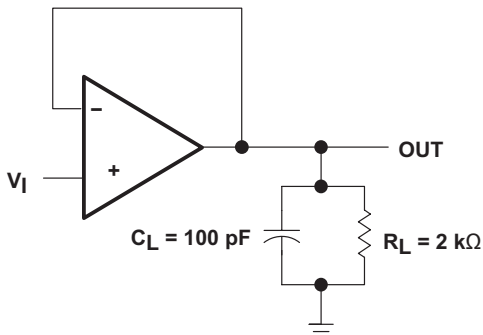


Figure 19. Test Figure 1

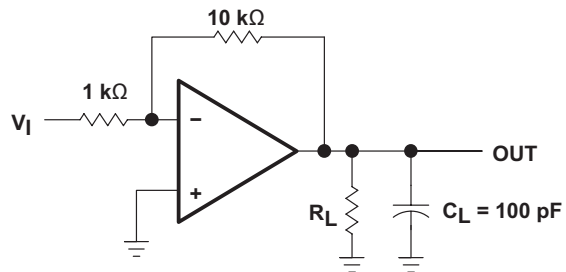


Figure 20. Test Figure 2

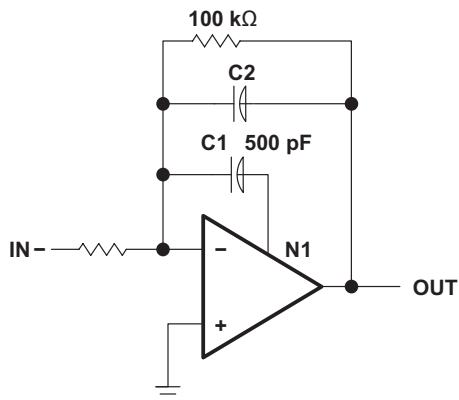


Figure 21. Test Figure 3

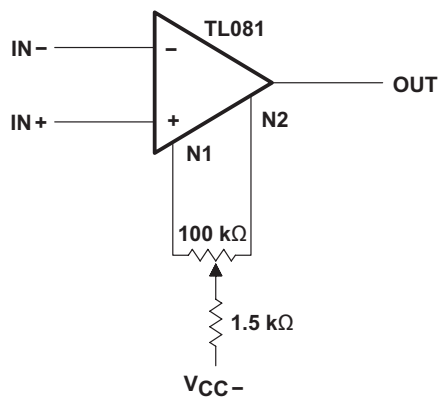


Figure 22. Test Figure 4

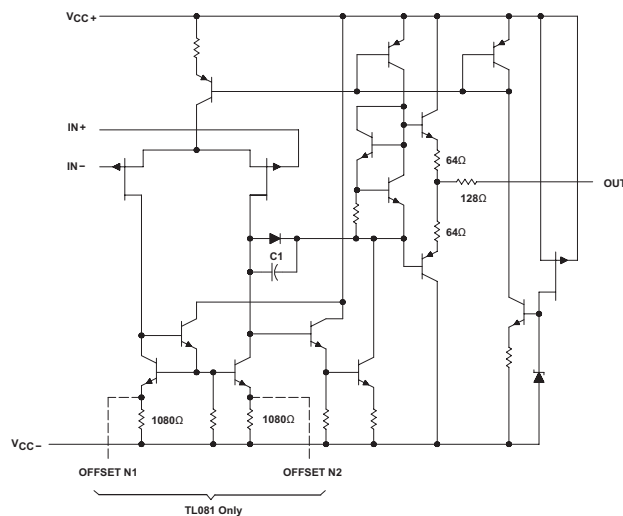
8 Detailed Description

8.1 Overview

The TL08xx JFET-input operational amplifier family is designed to offer a wider selection than any previously developed operational amplifier family. Each of these JFET-input operational amplifiers incorporates well-matched, high-voltage JFET and bipolar transistors in a monolithic integrated circuit. The devices feature high slew rates, low input bias and offset currents, and low offset-voltage temperature coefficient. Offset adjustment and external compensation options are available within the TL08xx family.

The C-suffix devices are characterized for operation from 0°C to 70°C. The I-suffix devices are characterized for operation from –40°C to 85°C. The Q-suffix devices are characterized for operation from –40°C to +125°C. The M-suffix devices are characterized for operation over the full military temperature range of –55°C to +125°C.

8.2 Functional Block Diagram



8.3 Feature Description

8.3.1 Total Harmonic Distortion

Harmonic distortions to an audio signal are created by electronic components in a circuit. Total harmonic distortion (THD) is a measure of harmonic distortions accumulated by a signal in an audio system. These devices have a very low THD of 0.003% meaning that the TL08x devices will add little harmonic distortion when used in audio signal applications.

8.3.2 Slew Rate

The slew rate is the rate at which an operational amplifier can change its output when there is a change on the input. These devices have a 13-V/μs slew rate.

8.4 Device Functional Modes

These devices are powered on when the supply is connected. This device can be operated as a single-supply operational amplifier or dual-supply amplifier depending on the application.

9 Applications and Implementation

NOTE

Information in the following applications sections is not part of the TI component specification, and TI does not warrant its accuracy or completeness. TI's customers are responsible for determining suitability of components for their purposes. Customers should validate and test their design implementation to confirm system functionality.

9.1 Application Information

The TL08x series of operational amplifiers can be used in countless applications. The few applications in this section show principles used in all applications of these parts.

9.2 Typical Applications

9.2.1 Inverting Amplifier Application

A typical application for an operational amplifier in an inverting amplifier. This amplifier takes a positive voltage on the input, and makes it a negative voltage of the same magnitude. In the same manner, it also makes negative voltages positive.

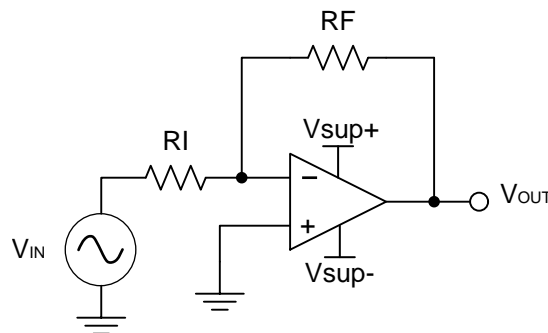


Figure 23. Schematic for Inverting Amplifier Application

9.2.1.1 Design Requirements

The supply voltage must be chosen such that it is larger than the input voltage range and output range. For instance, this application will scale a signal of ± 0.5 V to ± 1.8 V. Setting the supply at ± 12 V is sufficient to accommodate this application.

9.2.1.2 Detailed Design Procedure

Determine the gain required by the inverting amplifier:

$$A_v = \frac{V_{OUT}}{V_{IN}} \quad (1)$$

$$A_v = \frac{1.8}{-0.5} = -3.6 \quad (2)$$

Once the desired gain is determined, choose a value for R_I or R_F . Choosing a value in the k Ω range is desirable because the amplifier circuit will use currents in the milliamp range. This ensures the part will not draw too much current. This example will choose 10 k Ω for R_I which means 36 k Ω will be used for R_F . This was determined by Equation 3.

$$A_v = -\frac{R_F}{R_I} \quad (3)$$

Typical Applications (continued)

9.2.1.3 Application Curve

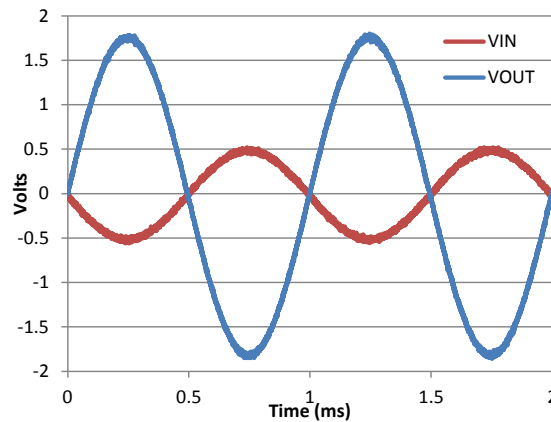


Figure 24. Input and output voltages of the inverting amplifier

9.3 System Examples

9.3.1 General Applications

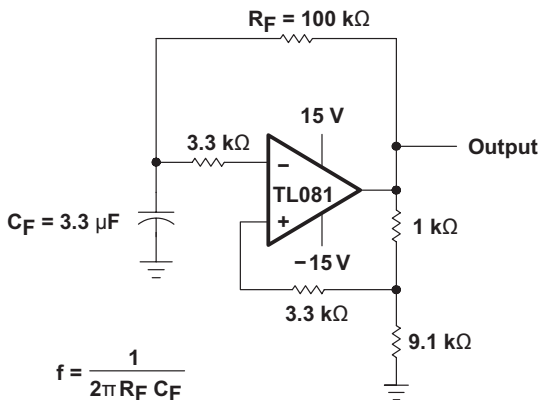


Figure 25. 0.5-Hz Square-Wave Oscillator

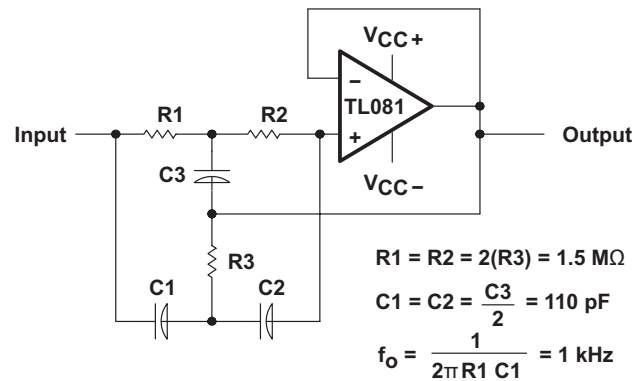


Figure 26. High-Q Notch Filter

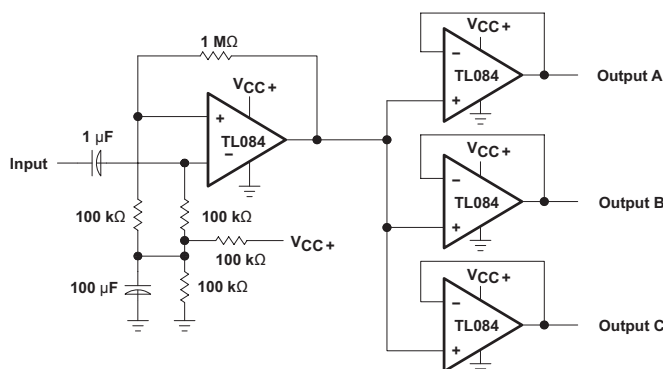


Figure 27. Audio-Distribution Amplifier

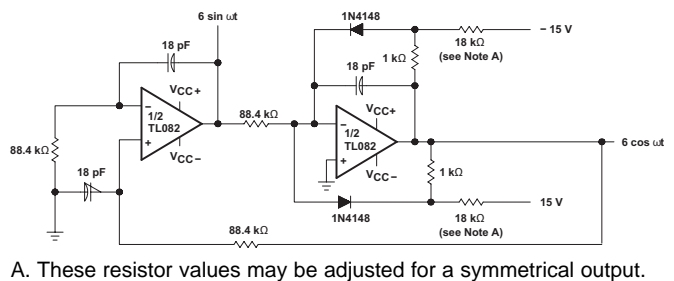


Figure 28. 100-kHz Quadrature Oscillator

System Examples (continued)

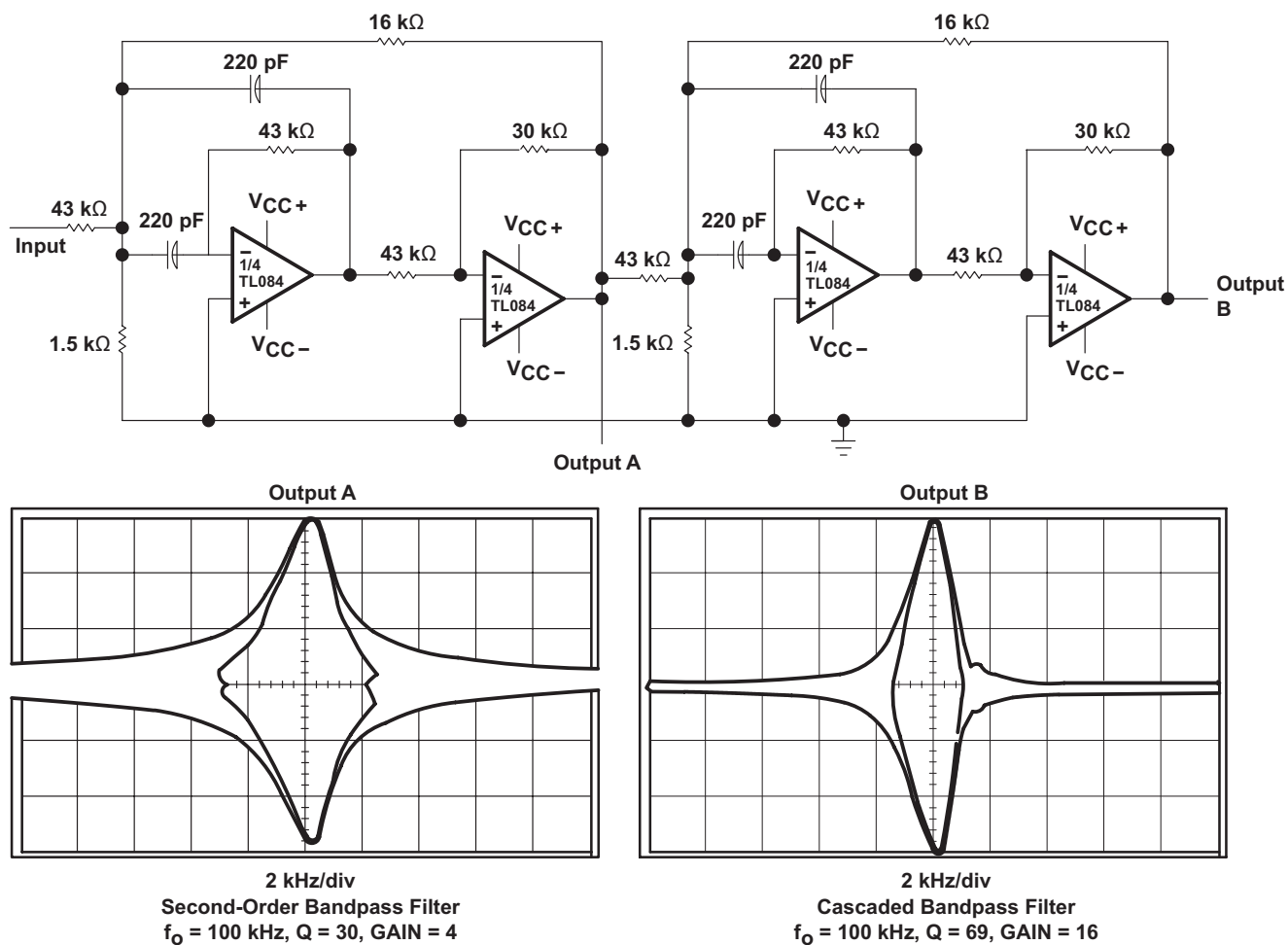


Figure 29. Positive-Feedback Bandpass Filter

10 Power Supply Recommendations

CAUTION

Supply voltages larger than 36 V for a single-supply or outside the range of ± 18 V for a dual-supply can permanently damage the device (see the [Absolute Maximum Ratings](#)).

Place 0.1- μ F bypass capacitors close to the power-supply pins to reduce errors coupling in from noisy or high impedance power supplies. For more detailed information on bypass capacitor placement, refer to the [Layout](#).

11 Layout

11.1 Layout Guidelines

For best operational performance of the device, use good PCB layout practices, including:

- Noise can propagate into analog circuitry through the power pins of the circuit as a whole, as well as the operational amplifier. Bypass capacitors are used to reduce the coupled noise by providing low impedance power sources local to the analog circuitry.
 - Connect low-ESR, 0.1- μ F ceramic bypass capacitors between each supply pin and ground, placed as close to the device as possible. A single bypass capacitor from V+ to ground is applicable for single-supply applications.
- Separate grounding for analog and digital portions of circuitry is one of the simplest and most-effective methods of noise suppression. One or more layers on multilayer PCBs are usually devoted to ground planes. A ground plane helps distribute heat and reduces EMI noise pickup. Make sure to physically separate digital and analog grounds, paying attention to the flow of the ground current. For more detailed information, refer to *Circuit Board Layout Techniques*, ([SLOA089](#)).
- To reduce parasitic coupling, run the input traces as far away from the supply or output traces as possible. If it is not possible to keep them separate, it is much better to cross the sensitive trace perpendicular as opposed to in parallel with the noisy trace.
- Place the external components as close to the device as possible. Keeping RF and RG close to the inverting input minimizes parasitic capacitance, as shown in [Layout Examples](#).
- Keep the length of input traces as short as possible. Always remember that the input traces are the most sensitive part of the circuit.
- Consider a driven, low-impedance guard ring around the critical traces. A guard ring can significantly reduce leakage currents from nearby traces that are at different potentials.

11.2 Layout Examples

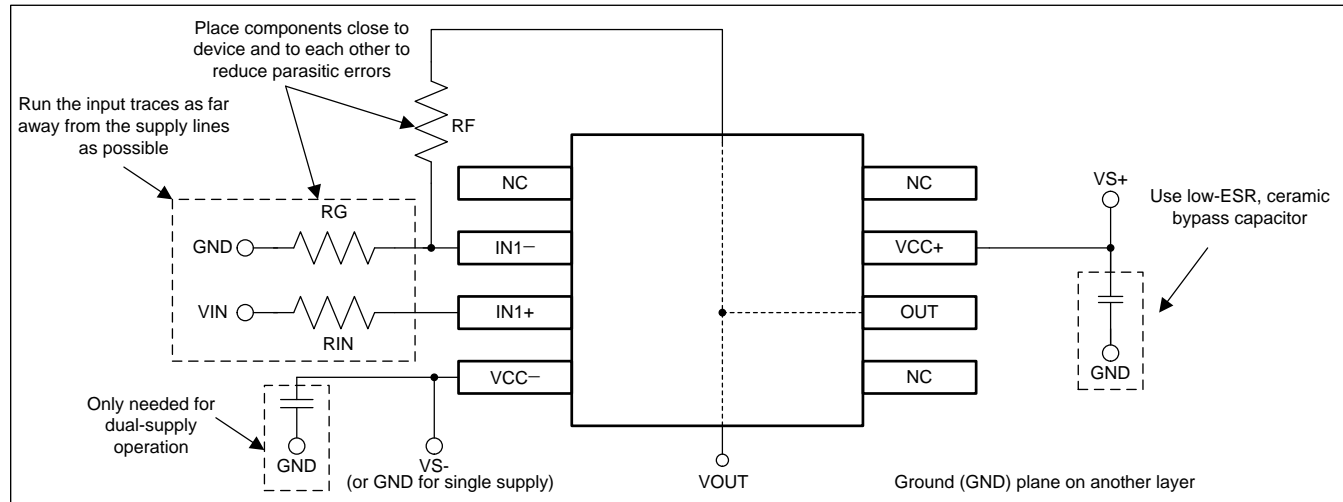


Figure 30. Operational Amplifier Board Layout for Noninverting Configuration

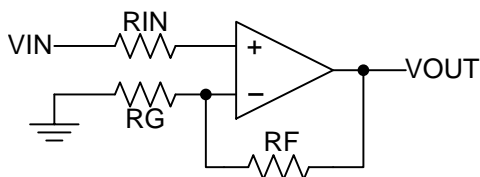


Figure 31. Operational Amplifier Schematic for Noninverting Configuration

12 Device and Documentation Support

12.1 Documentation Support

12.1.1 Related Documentation

For more information, see the following:

- *Circuit Board Layout Techniques*, [SLOA089](#).

12.2 Related Links

The table below lists quick access links. Categories include technical documents, support and community resources, tools and software, and quick access to sample or buy.

Table 2. Related Links

PARTS	PRODUCT FOLDER	SAMPLE & BUY	TECHNICAL DOCUMENTS	TOOLS & SOFTWARE	SUPPORT & COMMUNITY
TL081	Click here	Click here	Click here	Click here	Click here
TL081A	Click here	Click here	Click here	Click here	Click here
TL081B	Click here	Click here	Click here	Click here	Click here
TL082	Click here	Click here	Click here	Click here	Click here
TL082A	Click here	Click here	Click here	Click here	Click here
TL082B	Click here	Click here	Click here	Click here	Click here
TL084	Click here	Click here	Click here	Click here	Click here
TL084A	Click here	Click here	Click here	Click here	Click here
TL084B	Click here	Click here	Click here	Click here	Click here

12.3 Community Resources

The following links connect to TI community resources. Linked contents are provided "AS IS" by the respective contributors. They do not constitute TI specifications and do not necessarily reflect TI's views; see TI's [Terms of Use](#).

TI E2E™ Online Community *TI's Engineer-to-Engineer (E2E) Community*. Created to foster collaboration among engineers. At [e2e.ti.com](#), you can ask questions, share knowledge, explore ideas and help solve problems with fellow engineers.

Design Support *TI's Design Support* Quickly find helpful E2E forums along with design support tools and contact information for technical support.

12.4 Trademarks

E2E is a trademark of Texas Instruments.

All other trademarks are the property of their respective owners.

12.5 Electrostatic Discharge Caution



These devices have limited built-in ESD protection. The leads should be shorted together or the device placed in conductive foam during storage or handling to prevent electrostatic damage to the MOS gates.

12.6 Glossary

[SLYZ022](#) — *TI Glossary*.

This glossary lists and explains terms, acronyms, and definitions.

13 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead/Ball Finish (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
5962-9851501Q2A	ACTIVE	LCCC	FK	20	1	TBD	POST-PLATE	N / A for Pkg Type	-55 to 125	5962-9851501Q2A TL082MFKB	Samples
5962-9851501QPA	ACTIVE	CDIP	JG	8	1	TBD	A42	N / A for Pkg Type	-55 to 125	9851501QPA TL082M	Samples
5962-9851503Q2A	ACTIVE	LCCC	FK	20	1	TBD	POST-PLATE	N / A for Pkg Type	-55 to 125	5962-9851503Q2A TL084 MFKB	Samples
5962-9851503QCA	ACTIVE	CDIP	J	14	1	TBD	A42	N / A for Pkg Type	-55 to 125	5962-9851503QC A TL084MJB	Samples
TL081ACD	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	0 to 70	081AC	Samples
TL081ACDR	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	0 to 70	081AC	Samples
TL081ACP	ACTIVE	PDIP	P	8	50	Pb-Free (RoHS)	CU NIPDAU	N / A for Pkg Type	0 to 70	TL081ACP	Samples
TL081ACPE4	ACTIVE	PDIP	P	8	50	Pb-Free (RoHS)	CU NIPDAU	N / A for Pkg Type	0 to 70	TL081ACP	Samples
TL081BCD	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	0 to 70	081BC	Samples
TL081BCDR	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	0 to 70	081BC	Samples
TL081BCP	ACTIVE	PDIP	P	8	50	Pb-Free (RoHS)	CU NIPDAU	N / A for Pkg Type	0 to 70	TL081BCP	Samples
TL081BCPE4	ACTIVE	PDIP	P	8	50	Pb-Free (RoHS)	CU NIPDAU	N / A for Pkg Type	0 to 70	TL081BCP	Samples
TL081CD	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	0 to 70	TL081C	Samples
TL081CDR	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	0 to 70	TL081C	Samples
TL081CP	ACTIVE	PDIP	P	8	50	Pb-Free (RoHS)	CU NIPDAU	N / A for Pkg Type	0 to 70	TL081CP	Samples

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead/Ball Finish (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
TL081CPE4	ACTIVE	PDIP	P	8	50	Pb-Free (RoHS)	CU NIPDAU	N / A for Pkg Type	0 to 70	TL081CP	Samples
TL081CPSR	ACTIVE	SO	PS	8	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	0 to 70	T081	Samples
TL081ID	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 85	TL081I	Samples
TL081IDG4	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 85	TL081I	Samples
TL081IDR	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 85	TL081I	Samples
TL081IDRE4	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 85	TL081I	Samples
TL081IDRG4	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 85	TL081I	Samples
TL081IP	ACTIVE	PDIP	P	8	50	Pb-Free (RoHS)	CU NIPDAU	N / A for Pkg Type	-40 to 85	TL081IP	Samples
TL082ACD	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	0 to 70	082AC	Samples
TL082ACDE4	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	0 to 70	082AC	Samples
TL082ACDG4	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	0 to 70	082AC	Samples
TL082ACDR	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	0 to 70	082AC	Samples
TL082ACDRE4	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	0 to 70	082AC	Samples
TL082ACDRG4	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	0 to 70	082AC	Samples
TL082ACP	ACTIVE	PDIP	P	8	50	Pb-Free (RoHS)	CU NIPDAU	N / A for Pkg Type	0 to 70	TL082ACP	Samples
TL082ACPE4	ACTIVE	PDIP	P	8	50	Pb-Free (RoHS)	CU NIPDAU	N / A for Pkg Type	0 to 70	TL082ACP	Samples
TL082ACPSR	ACTIVE	SO	PS	8	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	0 to 70	T082A	Samples
TL082BCD	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	0 to 70	082BC	Samples

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead/Ball Finish (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
TL082BCDE4	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	0 to 70	082BC	Samples
TL082BCDG4	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	0 to 70	082BC	Samples
TL082BCDR	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	0 to 70	082BC	Samples
TL082BCDRE4	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	0 to 70	082BC	Samples
TL082BCDRG4	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	0 to 70	082BC	Samples
TL082BCP	ACTIVE	PDIP	P	8	50	Pb-Free (RoHS)	CU NIPDAU	N / A for Pkg Type	0 to 70	TL082BCP	Samples
TL082BCPE4	ACTIVE	PDIP	P	8	50	Pb-Free (RoHS)	CU NIPDAU	N / A for Pkg Type	0 to 70	TL082BCP	Samples
TL082CD	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	0 to 70	TL082C	Samples
TL082CDE4	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	0 to 70	TL082C	Samples
TL082CDG4	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	0 to 70	TL082C	Samples
TL082CDR	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	0 to 70	TL082C	Samples
TL082CDRE4	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	0 to 70	TL082C	Samples
TL082CDRG4	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	0 to 70	TL082C	Samples
TL082CP	ACTIVE	PDIP	P	8	50	Pb-Free (RoHS)	CU NIPDAU	N / A for Pkg Type	0 to 70	TL082CP	Samples
TL082CPE4	ACTIVE	PDIP	P	8	50	Pb-Free (RoHS)	CU NIPDAU	N / A for Pkg Type	0 to 70	TL082CP	Samples
TL082CPSR	ACTIVE	SO	PS	8	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	0 to 70	T082	Samples
TL082CPSRG4	ACTIVE	SO	PS	8	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	0 to 70	T082	Samples
TL082CPW	ACTIVE	TSSOP	PW	8	150	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	0 to 70	T082	Samples

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead/Ball Finish (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
TL082CPWE4	ACTIVE	TSSOP	PW	8	150	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	0 to 70	T082	Samples
TL082CPWG4	ACTIVE	TSSOP	PW	8	150	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	0 to 70	T082	Samples
TL082CPWR	ACTIVE	TSSOP	PW	8	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	0 to 70	T082	Samples
TL082CPWRG4	ACTIVE	TSSOP	PW	8	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	0 to 70	T082	Samples
TL082ID	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 85	TL082I	Samples
TL082IDG4	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 85	TL082I	Samples
TL082IDR	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 85	TL082I	Samples
TL082IDRE4	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 85	TL082I	Samples
TL082IDRG4	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 85	TL082I	Samples
TL082IP	ACTIVE	PDIP	P	8	50	Pb-Free (RoHS)	CU NIPDAU	N / A for Pkg Type	-40 to 85	TL082IP	Samples
TL082IPE4	ACTIVE	PDIP	P	8	50	Pb-Free (RoHS)	CU NIPDAU	N / A for Pkg Type	-40 to 85	TL082IP	Samples
TL082IPWR	ACTIVE	TSSOP	PW	8	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 85	Z082	Samples
TL082IPWRG4	ACTIVE	TSSOP	PW	8	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 85	Z082	Samples
TL082MFKB	ACTIVE	LCCC	FK	20	1	TBD	POST-PLATE	N / A for Pkg Type	-55 to 125	5962- 9851501Q2A TL082MFKB	Samples
TL082MJG	ACTIVE	CDIP	JG	8	1	TBD	A42	N / A for Pkg Type	-55 to 125	TL082MJG	Samples
TL082MJGB	ACTIVE	CDIP	JG	8	1	TBD	A42	N / A for Pkg Type	-55 to 125	9851501QPA TL082M	Samples
TL084ACD	ACTIVE	SOIC	D	14	50	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	0 to 70	TL084AC	Samples
TL084ACDE4	ACTIVE	SOIC	D	14	50	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	0 to 70	TL084AC	Samples

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead/Ball Finish (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
TL084ACDR	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	0 to 70	TL084AC	Samples
TL084ACDRE4	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	0 to 70	TL084AC	Samples
TL084ACDRG4	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	0 to 70	TL084AC	Samples
TL084ACN	ACTIVE	PDIP	N	14	25	Pb-Free (RoHS)	CU NIPDAU	N / A for Pkg Type	0 to 70	TL084ACN	Samples
TL084ACNSR	ACTIVE	SO	NS	14	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	0 to 70	TL084A	Samples
TL084ACNSRG4	ACTIVE	SO	NS	14	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	0 to 70	TL084A	Samples
TL084BCD	ACTIVE	SOIC	D	14	50	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	0 to 70	TL084BC	Samples
TL084BCDE4	ACTIVE	SOIC	D	14	50	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	0 to 70	TL084BC	Samples
TL084BCDR	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	0 to 70	TL084BC	Samples
TL084BCDRG4	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	0 to 70	TL084BC	Samples
TL084BCN	ACTIVE	PDIP	N	14	25	Pb-Free (RoHS)	CU NIPDAU	N / A for Pkg Type	0 to 70	TL084BCN	Samples
TL084BCNE4	ACTIVE	PDIP	N	14	25	Pb-Free (RoHS)	CU NIPDAU	N / A for Pkg Type	0 to 70	TL084BCN	Samples
TL084CD	ACTIVE	SOIC	D	14	50	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	0 to 70	TL084C	Samples
TL084CDE4	ACTIVE	SOIC	D	14	50	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	0 to 70	TL084C	Samples
TL084CDG4	ACTIVE	SOIC	D	14	50	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	0 to 70	TL084C	Samples
TL084CDR	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	0 to 70	TL084C	Samples
TL084CDRE4	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	0 to 70	TL084C	Samples
TL084CDRG4	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	0 to 70	TL084C	Samples

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead/Ball Finish (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
TL084CN	ACTIVE	PDIP	N	14	25	Pb-Free (RoHS)	CU NIPDAU	N / A for Pkg Type	0 to 70	TL084CN	Samples
TL084CNE4	ACTIVE	PDIP	N	14	25	Pb-Free (RoHS)	CU NIPDAU	N / A for Pkg Type	0 to 70	TL084CN	Samples
TL084CNSR	ACTIVE	SO	NS	14	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	0 to 70	TL084	Samples
TL084CNSRG4	ACTIVE	SO	NS	14	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	0 to 70	TL084	Samples
TL084CPW	ACTIVE	TSSOP	PW	14	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	0 to 70	T084	Samples
TL084CPWE4	ACTIVE	TSSOP	PW	14	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	0 to 70	T084	Samples
TL084CPWG4	ACTIVE	TSSOP	PW	14	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	0 to 70	T084	Samples
TL084CPWR	ACTIVE	TSSOP	PW	14	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	0 to 70	T084	Samples
TL084ID	ACTIVE	SOIC	D	14	50	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 85	TL084I	Samples
TL084IDE4	ACTIVE	SOIC	D	14	50	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 85	TL084I	Samples
TL084IDG4	ACTIVE	SOIC	D	14	50	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 85	TL084I	Samples
TL084IDR	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 85	TL084I	Samples
TL084IDRE4	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 85	TL084I	Samples
TL084IDRG4	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 85	TL084I	Samples
TL084IN	ACTIVE	PDIP	N	14	25	Pb-Free (RoHS)	CU NIPDAU	N / A for Pkg Type	-40 to 85	TL084IN	Samples
TL084INE4	ACTIVE	PDIP	N	14	25	Pb-Free (RoHS)	CU NIPDAU	N / A for Pkg Type	-40 to 85	TL084IN	Samples
TL084MFK	ACTIVE	LCCC	FK	20	1	TBD	POST-PLATE	N / A for Pkg Type	-55 to 125	TL084MFK	Samples
TL084MFKB	ACTIVE	LCCC	FK	20	1	TBD	POST-PLATE	N / A for Pkg Type	-55 to 125	5962- 9851503Q2A TL084	Samples

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead/Ball Finish (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
										MFKB	
TL084MJ	ACTIVE	CDIP	J	14	1	TBD	A42	N / A for Pkg Type	-55 to 125	TL084MJ	Samples
TL084MJB	ACTIVE	CDIP	J	14	1	TBD	A42	N / A for Pkg Type	-55 to 125	5962-9851503QC A TL084MJB	Samples
TL084QD	ACTIVE	SOIC	D	14	50	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 125	TL084Q	Samples
TL084QDG4	ACTIVE	SOIC	D	14	50	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 125	TL084Q	Samples
TL084QDR	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 125	TL084Q	Samples
TL084QDRG4	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 125	TL084Q	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSELETE: TI has discontinued the production of the device.

(2) Eco Plan - The planned eco-friendly classification: Pb-Free (RoHS), Pb-Free (RoHS Exempt), or Green (RoHS & no Sb/Br) - please check <http://www.ti.com/productcontent> for the latest availability information and additional product content details.

TBD: The Pb-Free/Green conversion plan has not been defined.

Pb-Free (RoHS): TI's terms "Lead-Free" or "Pb-Free" mean semiconductor products that are compatible with the current RoHS requirements for all 6 substances, including the requirement that lead not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, TI Pb-Free products are suitable for use in specified lead-free processes.

Pb-Free (RoHS Exempt): This component has a RoHS exemption for either 1) lead-based flip-chip solder bumps used between the die and package, or 2) lead-based die adhesive used between the die and leadframe. The component is otherwise considered Pb-Free (RoHS compatible) as defined above.

Green (RoHS & no Sb/Br): TI defines "Green" to mean Pb-Free (RoHS compatible), and free of Bromine (Br) and Antimony (Sb) based flame retardants (Br or Sb do not exceed 0.1% by weight in homogeneous material)

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

⁽⁶⁾ Lead/Ball Finish - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead/Ball Finish values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TL082, TL082M, TL084, TL084M :

- Catalog: [TL082](#), [TL084](#)
- Automotive: [TL082-Q1](#), [TL082-Q1](#)
- Military: [TL082M](#), [TL084M](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects
- Military - QML certified for Military and Defense Applications

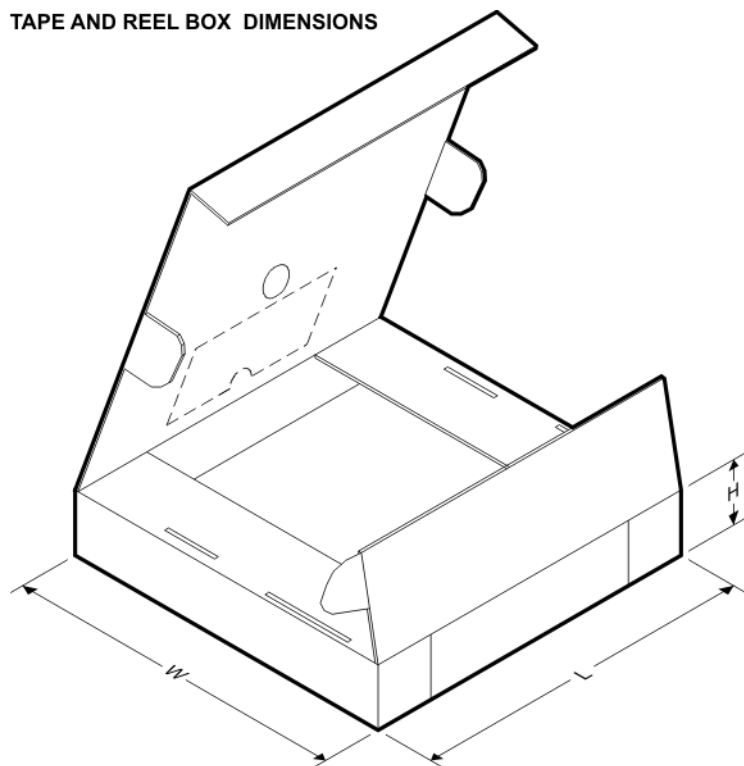
TAPE AND REEL INFORMATION


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TL081ACDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TL081BCDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TL081CDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TL081CPSR	SO	PS	8	2000	330.0	16.4	8.2	6.6	2.5	12.0	16.0	Q1
TL081IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TL082ACDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TL082ACDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TL082ACPSR	SO	PS	8	2000	330.0	16.4	8.2	6.6	2.5	12.0	16.0	Q1
TL082BCDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TL082CDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TL082CDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TL082CPSR	SO	PS	8	2000	330.0	16.4	8.2	6.6	2.5	12.0	16.0	Q1
TL082CPWR	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
TL082IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TL082IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TL082IPWR	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
TL084ACDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TL084ACDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TL084ACNSR	SO	NS	14	2000	330.0	16.4	8.2	10.5	2.5	12.0	16.0	Q1
TL084BCDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TL084CDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TL084CDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TL084CDRG4	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TL084CPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
TL084IDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TL084QDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TL084QDRG4	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TL081ACDR	SOIC	D	8	2500	340.5	338.1	20.6
TL081BCDR	SOIC	D	8	2500	340.5	338.1	20.6
TL081CDR	SOIC	D	8	2500	340.5	338.1	20.6
TL081CPSR	SO	PS	8	2000	367.0	367.0	38.0
TL081IDR	SOIC	D	8	2500	340.5	338.1	20.6
TL082ACDR	SOIC	D	8	2500	367.0	367.0	35.0
TL082ACDR	SOIC	D	8	2500	340.5	338.1	20.6
TL082ACPSR	SO	PS	8	2000	367.0	367.0	38.0

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TL082BCDR	SOIC	D	8	2500	340.5	338.1	20.6
TL082CDR	SOIC	D	8	2500	340.5	338.1	20.6
TL082CDR	SOIC	D	8	2500	367.0	367.0	35.0
TL082CPSR	SO	PS	8	2000	367.0	367.0	38.0
TL082CPWR	TSSOP	PW	8	2000	367.0	367.0	35.0
TL082IDR	SOIC	D	8	2500	367.0	367.0	35.0
TL082IDR	SOIC	D	8	2500	340.5	338.1	20.6
TL082IPWR	TSSOP	PW	8	2000	367.0	367.0	35.0
TL084ACDR	SOIC	D	14	2500	367.0	367.0	38.0
TL084ACDR	SOIC	D	14	2500	333.2	345.9	28.6
TL084ACNSR	SO	NS	14	2000	367.0	367.0	38.0
TL084BCDR	SOIC	D	14	2500	333.2	345.9	28.6
TL084CDR	SOIC	D	14	2500	367.0	367.0	38.0
TL084CDR	SOIC	D	14	2500	333.2	345.9	28.6
TL084CDRG4	SOIC	D	14	2500	333.2	345.9	28.6
TL084CPWR	TSSOP	PW	14	2000	367.0	367.0	35.0
TL084IDR	SOIC	D	14	2500	333.2	345.9	28.6
TL084QDR	SOIC	D	14	2500	367.0	367.0	38.0
TL084QDRG4	SOIC	D	14	2500	367.0	367.0	38.0

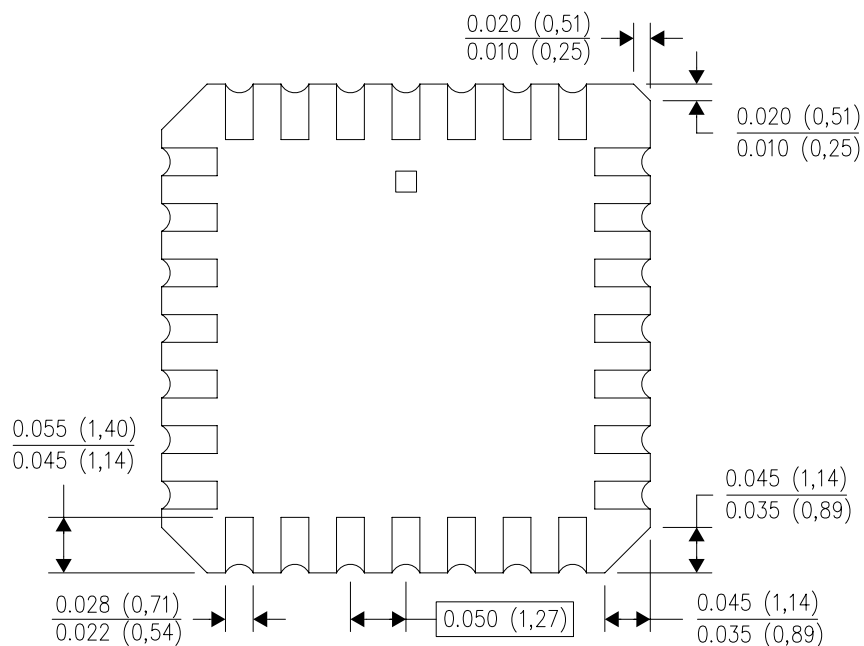
FK (S-CQCC-N**)

LEADLESS CERAMIC CHIP CARRIER

28 TERMINAL SHOWN



NO. OF TERMINALS **	A		B	
	MIN	MAX	MIN	MAX
20	0.342 (8,69)	0.358 (9,09)	0.307 (7,80)	0.358 (9,09)
28	0.442 (11,23)	0.458 (11,63)	0.406 (10,31)	0.458 (11,63)
44	0.640 (16,26)	0.660 (16,76)	0.495 (12,58)	0.560 (14,22)
52	0.740 (18,78)	0.761 (19,32)	0.495 (12,58)	0.560 (14,22)
68	0.938 (23,83)	0.962 (24,43)	0.850 (21,6)	0.858 (21,8)
84	1.141 (28,99)	1.165 (29,59)	1.047 (26,6)	1.063 (27,0)



4040140/D 01/11

- NOTES:
- All linear dimensions are in inches (millimeters).
 - This drawing is subject to change without notice.
 - This package can be hermetically sealed with a metal lid.
 - Falls within JEDEC MS-004

MECHANICAL DATA

NS (R-PDSO-G**)

PLASTIC SMALL-OUTLINE PACKAGE

14-PINS SHOWN



- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

J 14

GENERIC PACKAGE VIEW

CDIP - 5.08 mm max height

CERAMIC DUAL IN LINE PACKAGE



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4040083-5/G

J0014A**PACKAGE OUTLINE****CDIP - 5.08 mm max height**

CERAMIC DUAL IN LINE PACKAGE



4214771/A 05/2017

NOTES:

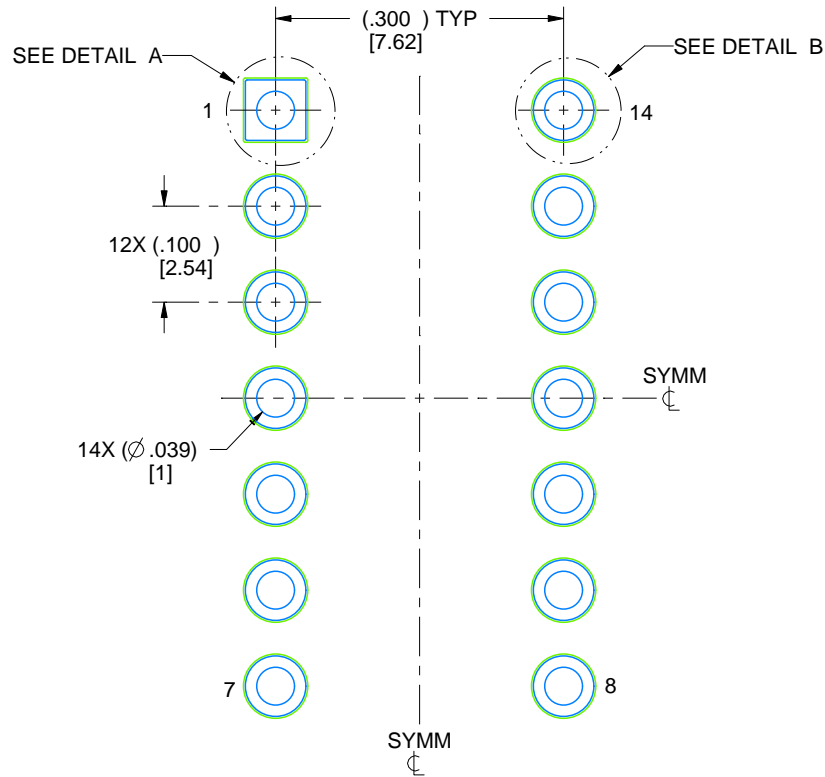
1. All controlling linear dimensions are in inches. Dimensions in brackets are in millimeters. Any dimension in brackets or parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This package is hermetically sealed with a ceramic lid using glass frit.
4. Index point is provided on cap for terminal identification only and on press ceramic glass frit seal only.
5. Falls within MIL-STD-1835 and GDIP1-T14.

EXAMPLE BOARD LAYOUT

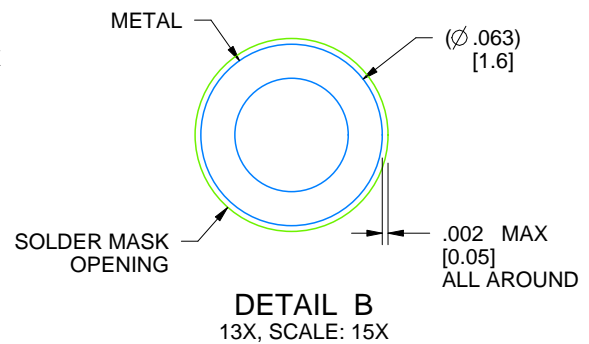
J0014A

CDIP - 5.08 mm max height

CERAMIC DUAL IN LINE PACKAGE



LAND PATTERN EXAMPLE
NON-SOLDER MASK DEFINED
SCALE: 5X



4214771/A 05/2017

D (R-PDSO-G14)

PLASTIC SMALL OUTLINE



NOTES:

- A. All linear dimensions are in inches (millimeters).
- B. This drawing is subject to change without notice.
- C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
- D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
- E. Reference JEDEC MS-012 variation AB.

D (R-PDSO-G14)

PLASTIC SMALL OUTLINE



- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Publication IPC-7351 is recommended for alternate designs.
 - D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC-7525 for other stencil recommendations.
 - E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

PW (R-PDSO-G14)

PLASTIC SMALL OUTLINE



4040064-3/G 02/11

PW (R-PDSO-G14)

PLASTIC SMALL OUTLINE



- NOTES:
- All linear dimensions are in millimeters.
 - This drawing is subject to change without notice.
 - Publication IPC-7351 is recommended for alternate designs.
 - Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC-7525 for other stencil recommendations.
 - Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

D (R-PDSO-G8)

PLASTIC SMALL OUTLINE



NOTES:

- A. All linear dimensions are in inches (millimeters).
- B. This drawing is subject to change without notice.
- $\triangle C$ Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
- $\triangle D$ Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
- E. Reference JEDEC MS-012 variation AA.

D (R-PDSO-G8)

PLASTIC SMALL OUTLINE



- NOTES:
- All linear dimensions are in millimeters.
 - This drawing is subject to change without notice.
 - Publication IPC-7351 is recommended for alternate designs.
 - Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC-7525 for other stencil recommendations.
 - Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

MECHANICAL DATA

PS (R-PDSO-G8)

PLASTIC SMALL-OUTLINE PACKAGE

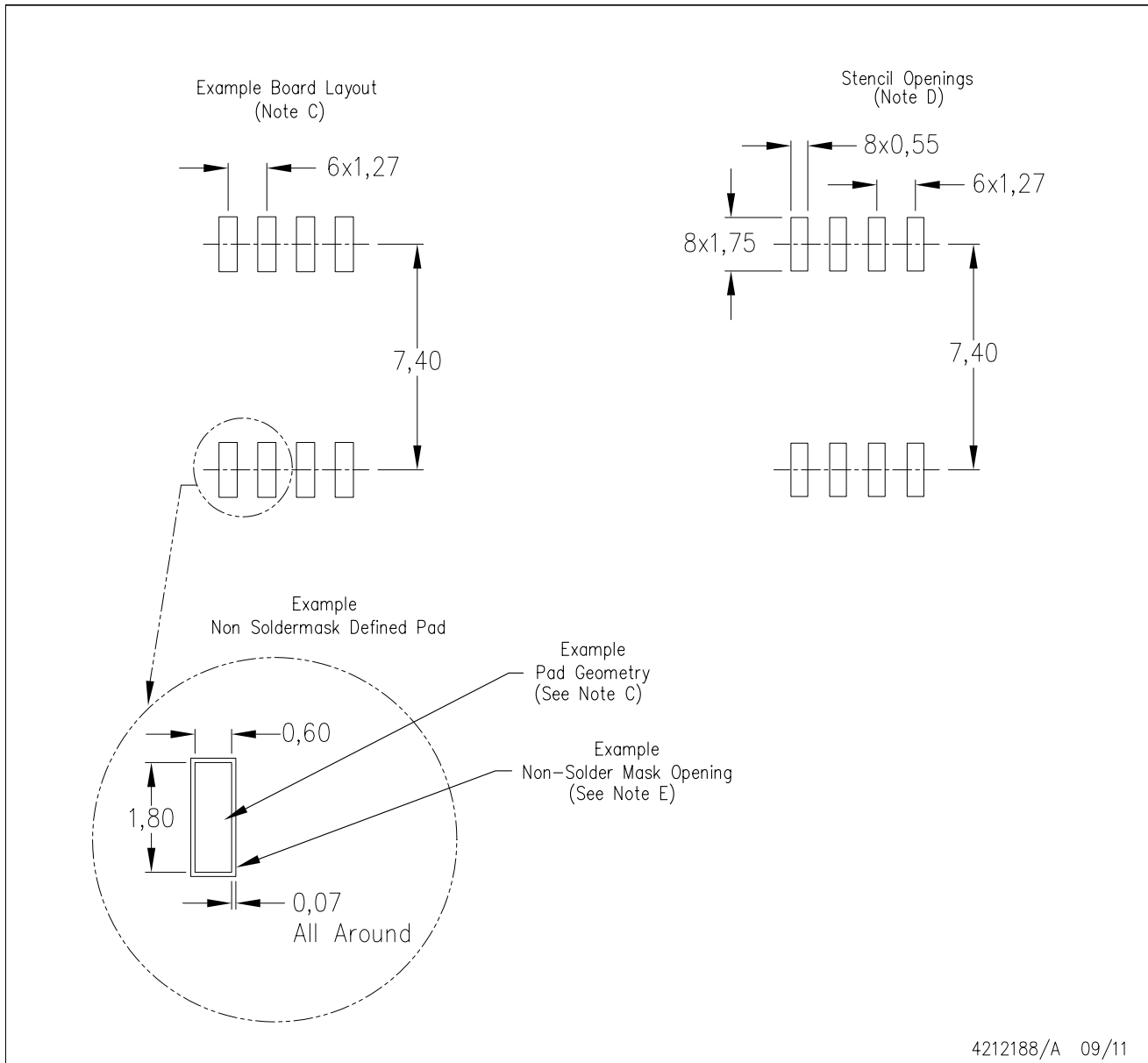


4040063/C 03/03

- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

PS (R-PDSO-G8)

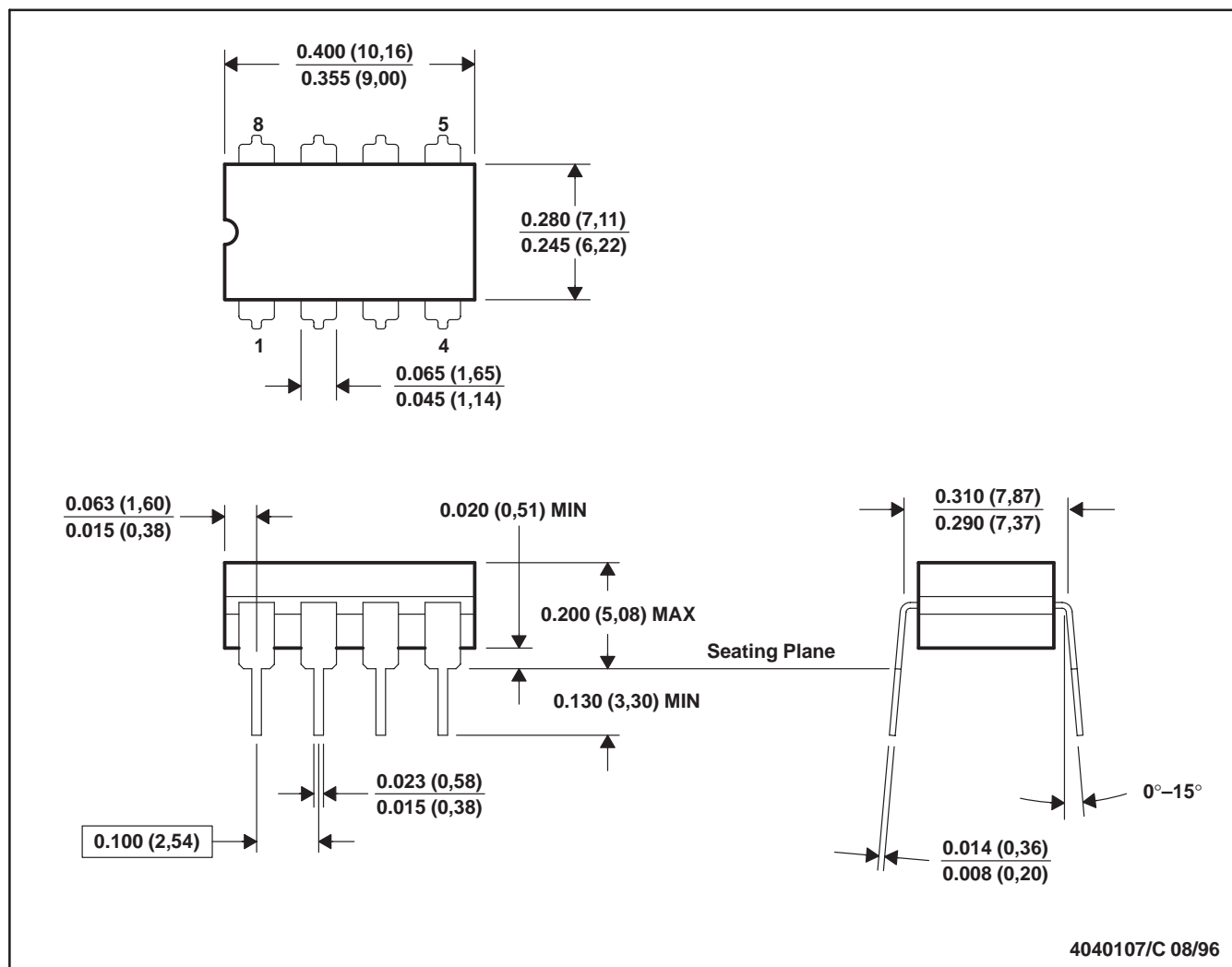
PLASTIC SMALL OUTLINE



- NOTES:
- All linear dimensions are in millimeters.
 - This drawing is subject to change without notice.
 - Publication IPC-7351 is recommended for alternate designs.
 - Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC-7525 for other stencil recommendations.
 - Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

JG (R-GDIP-T8)

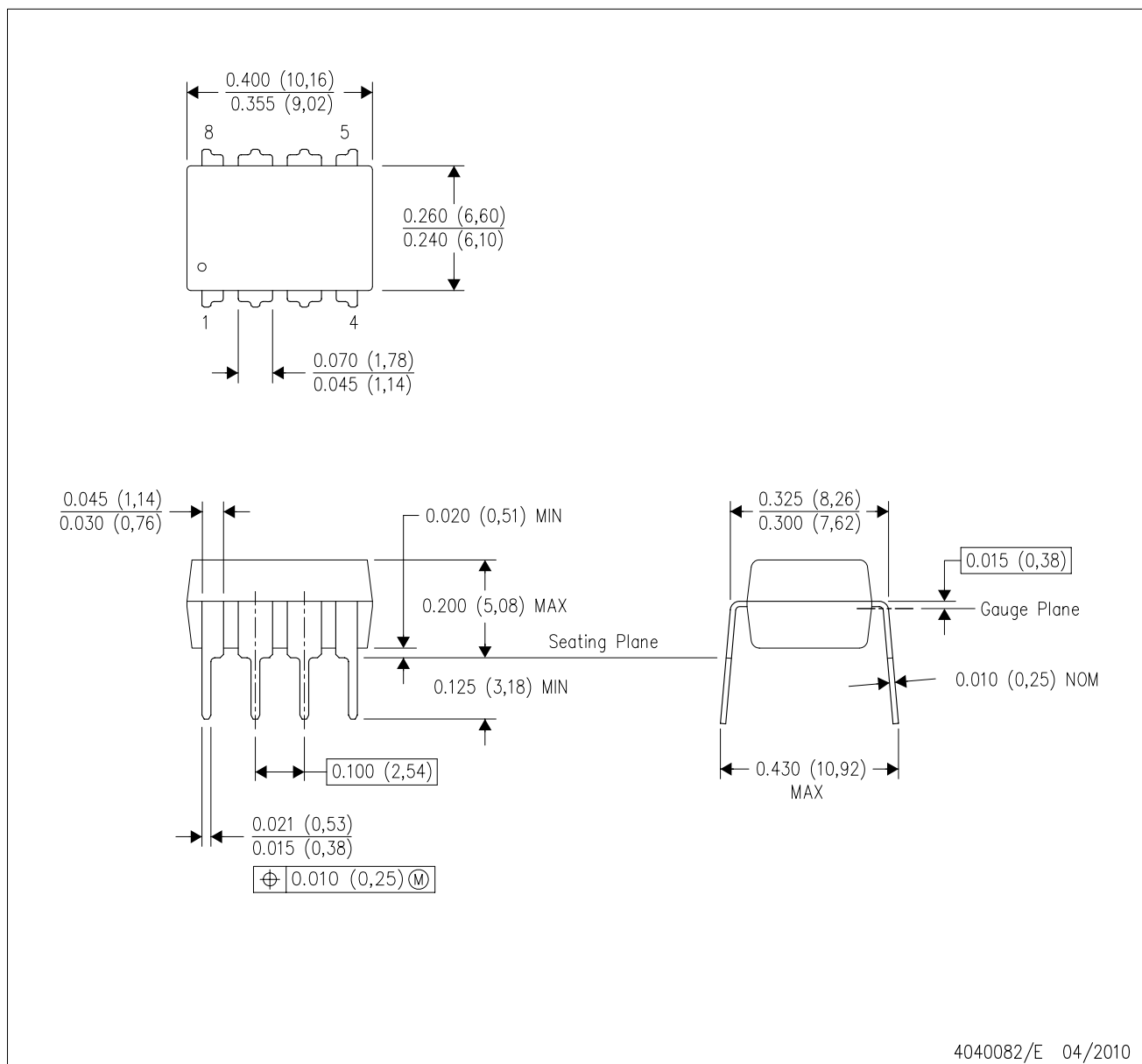
CERAMIC DUAL-IN-LINE



- NOTES:
- All linear dimensions are in inches (millimeters).
 - This drawing is subject to change without notice.
 - This package can be hermetically sealed with a ceramic lid using glass frit.
 - Index point is provided on cap for terminal identification.
 - Falls within MIL STD 1835 GDIP1-T8

P (R-PDIP-T8)

PLASTIC DUAL-IN-LINE PACKAGE



- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - C. Falls within JEDEC MS-001 variation BA.

N (R-PDIP-T**)

16 PINS SHOWN

PLASTIC DUAL-IN-LINE PACKAGE



PINS **	14	16	18	20
DIM				
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS-001 VARIATION	AA	BB	AC	AD



14/18 Pin Only
20 Pin vendor option

4040049/E 12/2002

- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - Falls within JEDEC MS-001, except 18 and 20 pin minimum body length (Dim A).
 - The 20 pin end lead shoulder width is a vendor option, either half or full width.

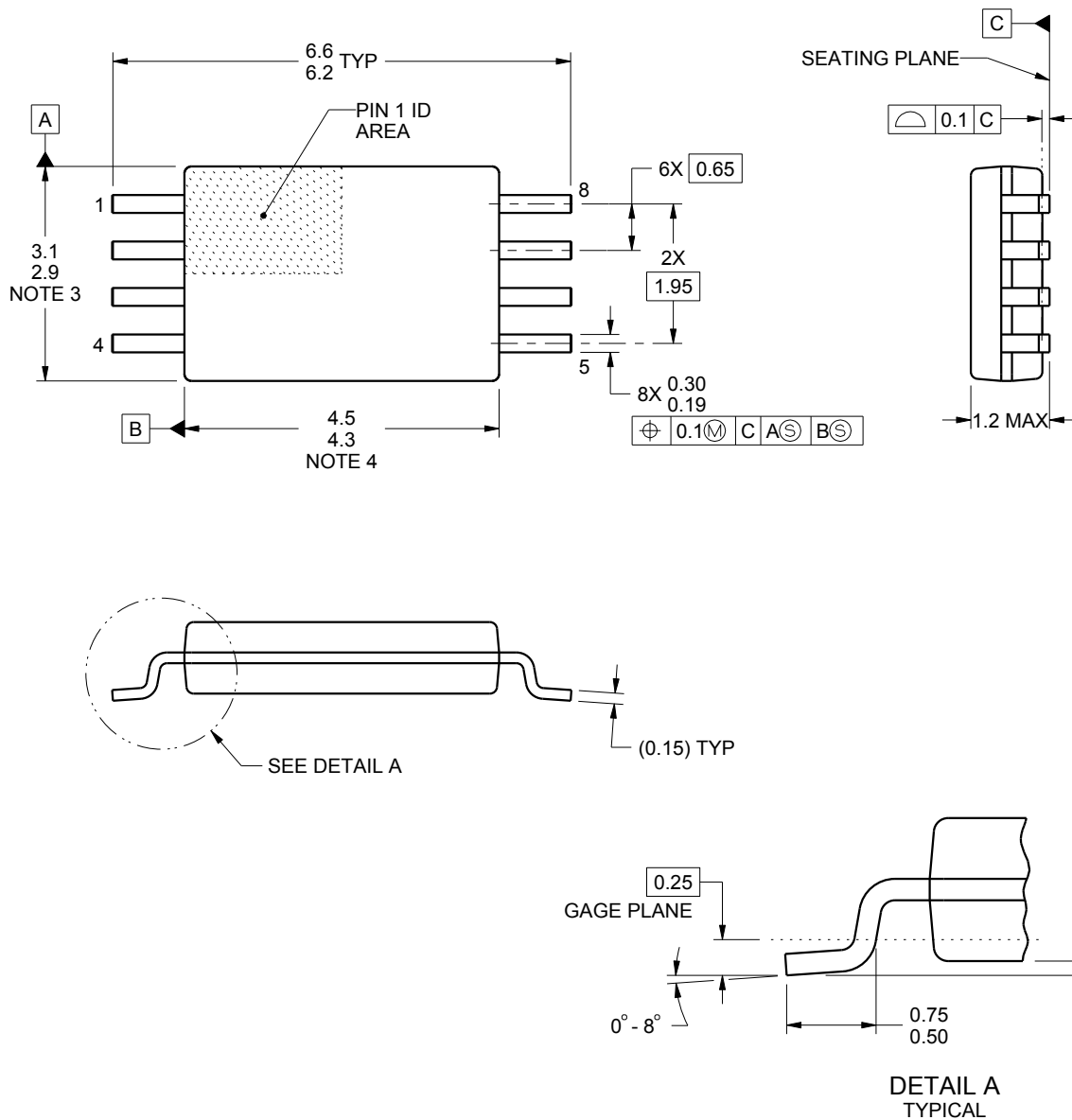
PW0008A



PACKAGE OUTLINE

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



4221848/A 02/2015

NOTES:

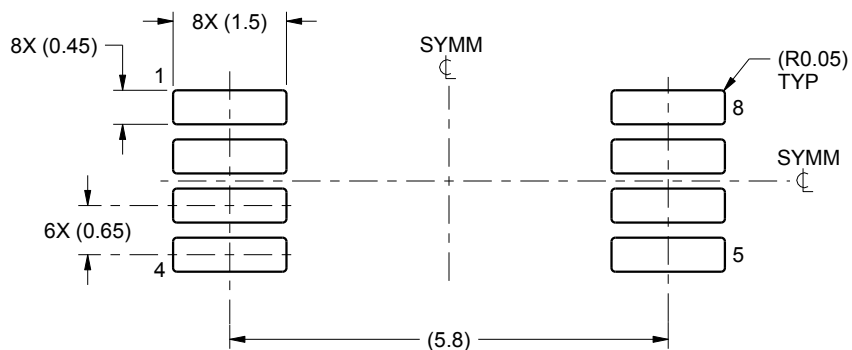
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153, variation AA.

EXAMPLE BOARD LAYOUT

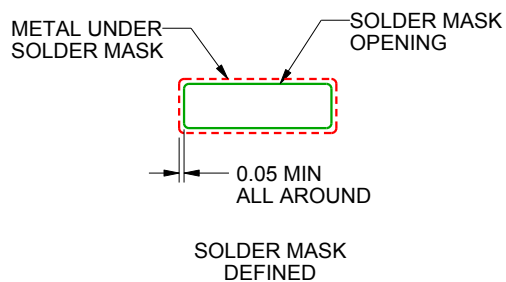
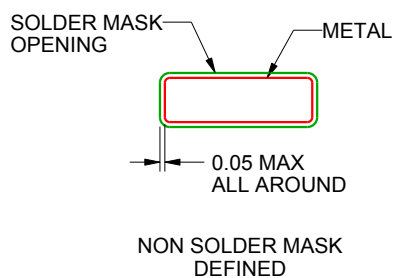
PW0008A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
SCALE:10X



SOLDER MASK DETAILS
NOT TO SCALE

4221848/A 02/2015

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

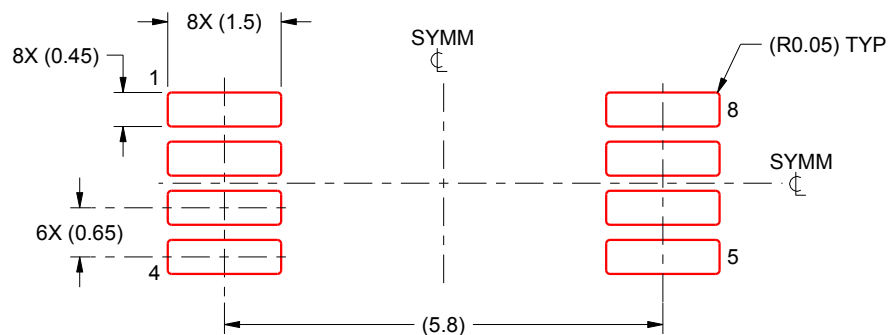
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0008A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:10X

4221848/A 02/2015

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

IMPORTANT NOTICE

Texas Instruments Incorporated (TI) reserves the right to make corrections, enhancements, improvements and other changes to its semiconductor products and services per JESD46, latest issue, and to discontinue any product or service per JESD48, latest issue. Buyers should obtain the latest relevant information before placing orders and should verify that such information is current and complete.

TI's published terms of sale for semiconductor products (<http://www.ti.com/sc/docs/stdterms.htm>) apply to the sale of packaged integrated circuit products that TI has qualified and released to market. Additional terms may apply to the use or sale of other types of TI products and services.

Reproduction of significant portions of TI information in TI data sheets is permissible only if reproduction is without alteration and is accompanied by all associated warranties, conditions, limitations, and notices. TI is not responsible or liable for such reproduced documentation. Information of third parties may be subject to additional restrictions. Resale of TI products or services with statements different from or beyond the parameters stated by TI for that product or service voids all express and any implied warranties for the associated TI product or service and is an unfair and deceptive business practice. TI is not responsible or liable for any such statements.

Buyers and others who are developing systems that incorporate TI products (collectively, "Designers") understand and agree that Designers remain responsible for using their independent analysis, evaluation and judgment in designing their applications and that Designers have full and exclusive responsibility to assure the safety of Designers' applications and compliance of their applications (and of all TI products used in or for Designers' applications) with all applicable regulations, laws and other applicable requirements. Designer represents that, with respect to their applications, Designer has all the necessary expertise to create and implement safeguards that (1) anticipate dangerous consequences of failures, (2) monitor failures and their consequences, and (3) lessen the likelihood of failures that might cause harm and take appropriate actions. Designer agrees that prior to using or distributing any applications that include TI products, Designer will thoroughly test such applications and the functionality of such TI products as used in such applications.

TI's provision of technical, application or other design advice, quality characterization, reliability data or other services or information, including, but not limited to, reference designs and materials relating to evaluation modules, (collectively, "TI Resources") are intended to assist designers who are developing applications that incorporate TI products; by downloading, accessing or using TI Resources in any way, Designer (individually or, if Designer is acting on behalf of a company, Designer's company) agrees to use any particular TI Resource solely for this purpose and subject to the terms of this Notice.

TI's provision of TI Resources does not expand or otherwise alter TI's applicable published warranties or warranty disclaimers for TI products, and no additional obligations or liabilities arise from TI providing such TI Resources. TI reserves the right to make corrections, enhancements, improvements and other changes to its TI Resources. TI has not conducted any testing other than that specifically described in the published documentation for a particular TI Resource.

Designer is authorized to use, copy and modify any individual TI Resource only in connection with the development of applications that include the TI product(s) identified in such TI Resource. NO OTHER LICENSE, EXPRESS OR IMPLIED, BY ESTOPPEL OR OTHERWISE TO ANY OTHER TI INTELLECTUAL PROPERTY RIGHT, AND NO LICENSE TO ANY TECHNOLOGY OR INTELLECTUAL PROPERTY RIGHT OF TI OR ANY THIRD PARTY IS GRANTED HEREIN, including but not limited to any patent right, copyright, mask work right, or other intellectual property right relating to any combination, machine, or process in which TI products or services are used. Information regarding or referencing third-party products or services does not constitute a license to use such products or services, or a warranty or endorsement thereof. Use of TI Resources may require a license from a third party under the patents or other intellectual property of the third party, or a license from TI under the patents or other intellectual property of TI.

TI RESOURCES ARE PROVIDED "AS IS" AND WITH ALL FAULTS. TI DISCLAIMS ALL OTHER WARRANTIES OR REPRESENTATIONS, EXPRESS OR IMPLIED, REGARDING RESOURCES OR USE THEREOF, INCLUDING BUT NOT LIMITED TO ACCURACY OR COMPLETENESS, TITLE, ANY EPIDEMIC FAILURE WARRANTY AND ANY IMPLIED WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, AND NON-INFRINGEMENT OF ANY THIRD PARTY INTELLECTUAL PROPERTY RIGHTS. TI SHALL NOT BE LIABLE FOR AND SHALL NOT DEFEND OR INDEMNIFY DESIGNER AGAINST ANY CLAIM, INCLUDING BUT NOT LIMITED TO ANY INFRINGEMENT CLAIM THAT RELATES TO OR IS BASED ON ANY COMBINATION OF PRODUCTS EVEN IF DESCRIBED IN TI RESOURCES OR OTHERWISE. IN NO EVENT SHALL TI BE LIABLE FOR ANY ACTUAL, DIRECT, SPECIAL, COLLATERAL, INDIRECT, PUNITIVE, INCIDENTAL, CONSEQUENTIAL OR EXEMPLARY DAMAGES IN CONNECTION WITH OR ARISING OUT OF TI RESOURCES OR USE THEREOF, AND REGARDLESS OF WHETHER TI HAS BEEN ADVISED OF THE POSSIBILITY OF SUCH DAMAGES.

Unless TI has explicitly designated an individual product as meeting the requirements of a particular industry standard (e.g., ISO/TS 16949 and ISO 26262), TI is not responsible for any failure to meet such industry standard requirements.

Where TI specifically promotes products as facilitating functional safety or as compliant with industry functional safety standards, such products are intended to help enable customers to design and create their own applications that meet applicable functional safety standards and requirements. Using products in an application does not by itself establish any safety features in the application. Designers must ensure compliance with safety-related requirements and standards applicable to their applications. Designer may not use any TI products in life-critical medical equipment unless authorized officers of the parties have executed a special contract specifically governing such use. Life-critical medical equipment is medical equipment where failure of such equipment would cause serious bodily injury or death (e.g., life support, pacemakers, defibrillators, heart pumps, neurostimulators, and implantables). Such equipment includes, without limitation, all medical devices identified by the U.S. Food and Drug Administration as Class III devices and equivalent classifications outside the U.S.

TI may expressly designate certain products as completing a particular qualification (e.g., Q100, Military Grade, or Enhanced Product). Designers agree that it has the necessary expertise to select the product with the appropriate qualification designation for their applications and that proper product selection is at Designers' own risk. Designers are solely responsible for compliance with all legal and regulatory requirements in connection with such selection.

Designer will fully indemnify TI and its representatives against any damages, costs, losses, and/or liabilities arising out of Designer's non-compliance with the terms and provisions of this Notice.

CMOS Micropower Phase-Locked Loop

■ CD4046B CMOS Micropower Phase-Locked Loop (PLL) consists of a low-power, linear voltage-controlled oscillator (VCO) and two different phase comparators having a common signal-input amplifier and a common comparator input. A 5.2-V zener diode is provided for supply regulation if necessary.

The CD4046B types are supplied in 16-lead hermetic dual-in-line ceramic packages (F3A suffix), 16-lead dual-in-line plastic packages (E suffix), 16-lead small-outline packages (NSR suffix), and 16-lead thin shrink small-outline packages (PW and PWR suffixes).

VCO Section

The VCO requires one external capacitor C1 and one or two external resistors (R1 or R1 and R2). Resistor R1 and capacitor C1 determine the frequency range of the VCO and resistor R2 enables the VCO to have a frequency offset if required. The high input impedance ($10^{12}\Omega$) of the VCO simplifies the design of low-pass filters by permitting the designer a wide choice of resistor-to-capacitor ratios. In order not to load the low-pass filter, a source-follower output of the VCO input voltage is provided at terminal 10 (DEMODULATED OUTPUT). If this terminal is used, a load resistor (R_S) of 10 k Ω or more should be connected from this terminal to VSS. If unused this terminal should be left open. The VCO can be connected either directly or through frequency dividers to the comparator input of the phase comparators. A full CMOS logic swing is available at the output of the VCO and allows direct coupling to CMOS frequency dividers such as the RCA-CD4024, CD4018, CD4020, CD4022, CD4029, and CD4059. One or more CD4018 (Presettable Divide-by-N Counter) or CD4029 (Presettable Up/Down Counter), or CD4059A (Programmable Divide-by-"N" Counter), together with the CD4046B (Phase-Locked Loop) can be used to build a micropower low-frequency synthesizer. A logic 0 on the INHIBIT input "enables" the VCO and the source follower, while a logic 1 "turns off" both to minimize stand-by power consumption.

MAXIMUM RATINGS, Absolute-Maximum Values:

DC SUPPLY-VOLTAGE RANGE, (V_{DD})

Voltages referenced to V_{SS} Terminal) -0.5V to +20V

INPUT VOLTAGE RANGE, ALL INPUTS -0.5V to V_{DD} +0.5V

DC INPUT CURRENT, ANY ONE INPUT ± 10 mA

POWER DISSIPATION PER PACKAGE (P_D):

For $T_A = -55^\circ\text{C}$ to $+100^\circ\text{C}$ 500mW

For $T_A = +100^\circ\text{C}$ to $+125^\circ\text{C}$ Derate Linearly at 12mW/ $^\circ\text{C}$ to 200mW

DEVICE DISSIPATION PER OUTPUT TRANSISTOR

FOR $T_A = \text{FULL PACKAGE-TEMPERATURE RANGE (All Package Types)}$ 100mW

OPERATING-TEMPERATURE RANGE (T_A) -55°C to $+125^\circ\text{C}$

STORAGE TEMPERATURE RANGE (T_{stg}) -65°C to $+150^\circ\text{C}$

LEAD TEMPERATURE (DURING SOLDERING):

At distance $1/16 \pm 1/32$ inch (1.59 ± 0.79 mm) from case for 10s max $+265^\circ\text{C}$

Features:

- Very low power consumption:
70 μW (typ.) at VCO $f_o = 10$ kHz, $V_{DD} = 5$ V
- Operating frequency range up to 1.4 MHz (typ.) at $V_{DD} = 10$ V, $R_1 = 5$ k Ω
- Low frequency drift: 0.04%/ $^\circ\text{C}$ (typ.) at $V_{DD} = 10$ V
- Choice of two phase comparators:
Exclusive-OR network (I)
Edge-controlled memory network with phase-pulse output for lock indication (II)
- High VCO linearity: $<1\%$ (typ.) at $V_{DD} = 10$ V
- VCO inhibit control for ON-OFF keying and ultra-low standby power consumption
- Source-follower output of VCO control input (Demod. output)
- Zener diode to assist supply regulation
- Standardized, symmetrical output characteristics
- 100% tested for quiescent current at 20 V
- 5-V, 10-V, and 15-V parametric ratings
- Meets all requirements of JEDEC Tentative Standard No. 13B, "Standard Specifications for Description of 'B' Series CMOS Devices"

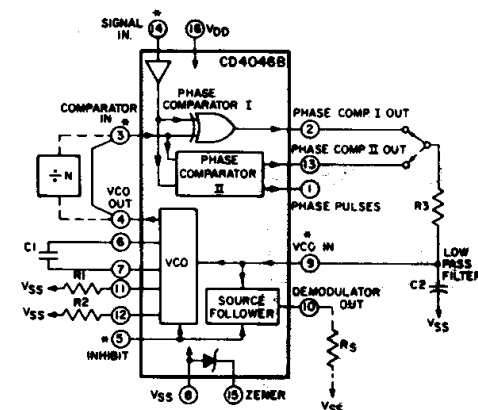
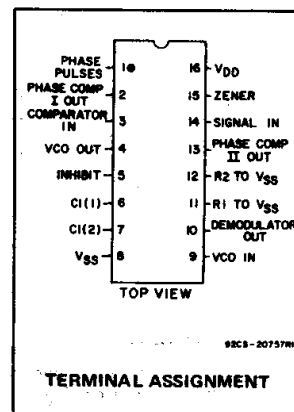
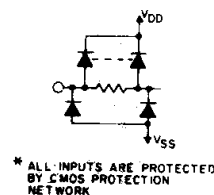


Fig. 1 - CMOS phase-locked loop block diagram.



Applications:

- FM demodulator and modulator
- Frequency synthesis and multiplication
- Frequency discriminator
- Data synchronization
- Voltage-to-frequency conversion
- Tone decoding
- FSK - Modems
- Signal conditioning
- (See ICAN-6101) "RCA COS/MOS Phase-Locked Loop - A Versatile Building Block for Micropower Digital and Analog Applications"



92C9-29172

Phase Comparators

The phase-comparator signal input (terminal 14) can be direct-coupled provided the signal swing is within CMOS logic levels [logic "0" $\leq 30\%$ ($V_{DD}-V_{SS}$), logic "1" $\geq 70\%$ ($V_{DD}-V_{SS}$)]. For smaller swings the signal must be capacitively coupled to the self-biasing amplifier at the signal input.

Phase comparator I is an exclusive-OR network; it operates analogously to an overdriven balanced mixer. To maximize the lock range, the signal- and comparator-input frequencies must have a 50% duty cycle. With no signal or noise on the signal input, this phase comparator has an average output voltage equal to $V_{DD}/2$. The low-pass filter connected to the output of phase comparator

CD4046B Types

RECOMMENDED OPERATING CONDITIONS at T_A = Full Package-Temperature Range
For maximum reliability, nominal operating conditions should be selected so that operation is always within the following ranges:

CHARACTERISTIC	LIMITS		UNITS
	Min.	Max.	
Supply-Voltage Range VCO Section: As Fixed Oscillator Phased-Lock-Loop Operation	3 5	18 18	V
Supply-Voltage Range Phase Comparator Section: Comparators VCO Operation	3 5	18 18	

DESIGN INFORMATION

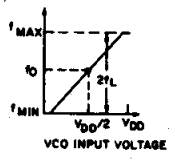
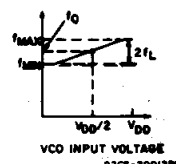
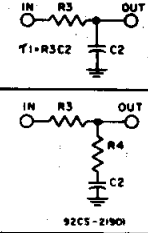
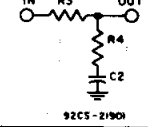
This information is a guide for approximating the values of external components for the CD4046B in a Phase-Locked-Loop system.

The selected external components must be within the following ranges:

$$5 \text{ k}\Omega \leq R_1, R_2, R_S \leq 1 \text{ M}\Omega$$

$$C_1 \geq 100 \text{ pF at } V_{DD} \geq 5 \text{ V;}$$

$$C_1 \geq 50 \text{ pF at } V_{DD} \geq 10 \text{ V}$$

Characteristics	Phase Comparator Used	Design Information
VCO Frequency		<div>VCO WITHOUT OFFSET $R_2 = \infty$</div> 
		<div>VCO WITH OFFSET</div> 
For No. Signal Input	1	Same as for No. 1
	2	VCO will adjust to lowest operating frequency, f_{min}
Frequency Lock Range, $2f_L$	1	$2f_L = \text{full VCO frequency range}$ $2f_L = f_{max} - f_{min}$
	2	Same as for No. 1
Frequency Capture Range, $2f_C$	1	 $2f_C \approx \frac{1}{\pi} \sqrt{\frac{2\pi f_L}{\tau_1}}$
	2	For $2f_C$, see Ref. (2)
Loop Filter Component Selection	1	
	2	$f_C = f_L$
Phase Angle Between Signal and Comparator	1	90° at center frequency (f_0) approximating 0° and 180° at ends of lock range ($2f_L$)
	2	Always 0° in lock
Locks On Harmonic of Center Frequency	1	Yes
	2	No
Signal Input Noise Rejection	1	High
	2	Low

For further information, see

- (1) F. Gardner, "Phase-Lock Techniques" John Wiley and Sons, New York, 1966
- (2) G. S. Moschytz, "Miniaturized RC Filters Using Phase-Locked Loop", BSTJ, May, 1965.

I supplies the averaged voltage to the VCO input, and causes the VCO to oscillate at the center frequency (f_0).

The frequency range of input signals on which the PLL will lock if it was initially out of lock is defined as the frequency capture range ($2f_C$).

The frequency range of input signals on which the loop will stay locked if it was initially in lock is defined as the frequency lock range ($2f_L$). The capture range is \leq the lock range.

With phase comparator I the range of frequencies over which the PLL can acquire lock (capture range) is dependent on the low-pass-filter characteristics, and can be made as large as the lock range. Phase-comparator I enables a PLL system to remain in lock in spite of high amounts of noise in the input signal.

One characteristic of this type of phase comparator is that it may lock onto input frequencies that are close to harmonics of the VCO center-frequency. A second characteristic is that the phase angle between the signal and the comparator input varies between 0° and 180° , and is 90° at the center frequency. Fig. 2 shows the typical, triangular, phase-to-output response characteristic of phase-comparator I. Typical waveforms for a CMOS phase-locked-loop employing phase comparator I in locked condition of f_0 is shown in Fig. 3.

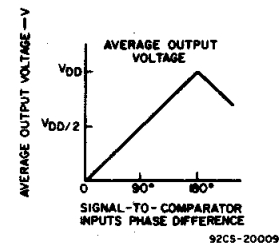


Fig. 2 - Phase-comparator I characteristics at low-pass filter output.

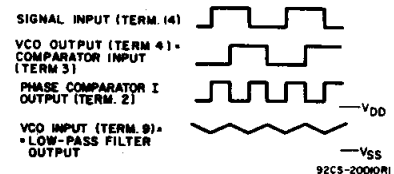


Fig. 3 - Typical waveforms for CMOS phase-locked loop employing phase comparator in locked condition of f_0 .

Phase-comparator II is an edge-controlled digital memory network. It consists of four flip-flop stages, control gating, and a three-state output circuit comprising p- and n-type drivers having a common output node. When the p-MOS or n-MOS drivers are ON they pull the output up to V_{DD} or down to V_{SS} , respectively. This type of phase-comparator acts only on the positive edges of the signal and comparator inputs. The duty cycles of the signal and comparator inputs are not important since positive transitions

CD4046B Types

STATIC ELECTRICAL CHARACTERISTICS

CHARACTERISTIC	CONDITIONS			LIMITS AT INDICATED TEMPERATURES (°C)							UNITS
	V _O (V)	V _{IN} (V)	V _{DD} (V)	-55	-40	+85	+125	+25			
								Min.	Typ.	Max.	
VCO Section											
Output Low (Sink) Current I _{OL} Min.	0.4	0.5	5	0.64	0.61	0.42	0.36	0.51	1	—	mA
	0.5	0.10	10	1.6	1.5	1.1	0.9	1.3	2.6	—	
	1.5	0.15	15	4.2	4	2.8	2.4	3.4	6.8	—	
Output High (Source) Current, I _{OH} Min.	4.6	0.5	5	-0.64	-0.61	-0.42	-0.36	-0.51	-1	—	mA
	2.5	0.5	5	-2	-1.8	-1.3	-1.15	-1.6	-3.2	—	
	9.5	0.10	10	-1.6	-1.5	-1.1	-0.9	-1.3	-2.6	—	
	13.5	0.15	15	-4.2	-4	-2.8	-2.4	-3.4	-6.8	—	
Output Voltage: Low-Level, V _{OL} Max.	Term. 4 driving CMOS	0.5	5	0.05				—	0	0.05	V
		0.10	10	0.05				—	0	0.05	
		0.15	15	0.05				—	0	0.05	
Output Voltage: High-Level, V _{OH} Min.	e.g. Term.3	0.5	5	4.95				4.95	5	—	V
		0.10	10	9.95				9.95	10	—	
		0.15	15	14.95				14.95	15	—	
Input Current I _{IN} Max.	—	0.18	18	±0.1	±0.1	±1	±1	—	±10 ⁻⁵	±0.1	μA
Phase Comparator Section											
Total Device Current, I _{DD} Max. Term. 14 open, Term. 5 = V _{DD}	—	0.5	5	0.2				—	0.1	0.2	mA
	—	0.10	10	1				—	0.5	1	
	—	0.15	15	1.5				—	0.75	1.5	
	—	0.20	20	4				—	2	4	
Term. 14 = V _{SS} or V _{DD} , Term. 5 = V _{DD}	—	0.5	5	20				—	10	20	μA
	—	0.10	10	40				—	20	40	
	—	0.15	15	80				—	40	80	
	—	0.20	20	160				—	80	160	
Output Low (Sink) Current I _{OL} Min.	0.4	0.5	5	0.64	0.61	0.42	0.36	0.51	1	—	mA
	0.5	0.10	10	1.6	1.5	1.1	0.9	1.3	2.6	—	
	1.5	0.15	15	4.2	4	2.8	2.4	3.4	6.8	—	
Output High (Source) Current I _{OH} Min.	4.6	0.5	5	-0.64	-0.61	-0.42	-0.36	-0.51	-1	—	mA
	2.5	0.5	5	-2	-1.8	-1.3	-1.15	-1.6	-3.2	—	
	9.5	0.10	10	-1.6	-1.5	-1.1	-0.9	-1.3	-2.6	—	
	13.5	0.15	15	-4.2	-4	-2.8	-2.4	-3.4	-6.8	—	
DC-Coupled Signal Input and Comparator Input Voltage Sensitivity Low Level V _{IL} Max.	0.5,4.5	—	5	1.5				—	—	1.5	V
	1.9	—	10	3				—	—	3	
	1.5,13.5	—	15	4				—	—	4	
High Level V _{IH} Min.	0.5,4.5	—	5	3.5				3.5	—	—	V
	1.9	—	10	7				7	—	—	
	1.5,13.5	—	15	11				11	—	—	

control the PLL system utilizing this type of comparator. If the signal-input frequency is higher than the comparator-input frequency, the p-type output driver is maintained ON most of the time, and both the n and p drivers OFF (3 state) the remainder

of the time. If the signal-input frequency is lower than the comparator-input frequency, the n-type output driver is maintained ON most of the time, and both the n and p drivers OFF (3 state) the remainder of the time. If the signal- and comparator-

input frequencies are the same, but the signal input lags the comparator input in phase, the n-type output driver is maintained ON for a time corresponding to the phase difference. If the signal- and comparator-input frequencies are the same, but

CD4046B Types

STATIC ELECTRICAL CHARACTERISTICS

CHARACTERISTIC	CONDITIONS			LIMITS AT INDICATED TEMPERATURES (°C)							UNITS
	V _O (V)	V _{IN} (V)	V _{DD} (V)	-55	-40	+85	+125	+25			
								Min.	Typ.	Max.	
Phase Comparator Section (cont'd)											
Input Current I _{IN} Max. (except Term. 14)	—	0.18	18	±0.1	±0.1	±1	±1	—	±10 ⁻⁵	±0.1	μA
3-State Leakage Current, I _{OUT} Max.	0.18	0.18	18	±0.1	±0.1	±0.2	±0.2	—	±10 ⁻⁵	±0.1	μA

*Limit determined by minimum feasible leakage current measurement for automatic testing.

ELECTRICAL CHARACTERISTICS at T_A = 25°C

CHARACTERISTIC	TEST CONDITIONS		V _{DD} (V)	LIMITS			UNITS
				ALL TYPES			
				Min.	Typ.	Max.	
VCO Section							
Operating Power Dissipation, P _D	f _o = 10 kHz R ₂ = ∞	R ₁ = 1 MΩ VCO _{IN} = $\frac{V_{DD}}{2}$	5 10 15	— — —	70 800 3000	140 1600 6000	μW
Maximum Operating Frequency f _{max}	C ₁ = 50 pF R ₂ = ∞ VCO _{IN} = V _{DD}	R ₁ = 10 kΩ	5	0.3	0.6	—	MHz
			10	0.6	1.2	—	
			15	0.8	1.6	—	
	C ₁ = 50 pF R ₂ = ∞ VCO _{IN} = V _{DD}	R ₁ = 5 kΩ	5	0.5	0.8	—	
			10	1	1.4	—	
			15	1.4	2.4	—	
Center Frequency (f _o) and Frequency Range (f _{max} —f _{min})	Programmable with external components R1, R2, and C1 See Design Information						
Linearity	VCO _{IN} = 2.5 V ± 0.3 V, R ₁ = 10 kΩ		5	—	1.7	—	%
	= 5 V ± 1 V, = 100 kΩ		10	—	0.5	—	
	= 5 V ± 2.5 V, = 400 kΩ		10	—	4	—	
	= 7.5 V ± 1.5 V, = 100 kΩ		15	—	0.5	—	
	= 7.5 V ± 5 V, = 1 MΩ		15	—	7	—	
Temperature - Frequency Stability: No Frequency Offset f _{MIN} = 0			5 10 15	— — —	±0.12 ±0.04 ±0.015	— — —	% / °C
Frequency Offset f _{MIN} ≠ 0			5 10 15	— — —	±0.09 ±0.07 ±0.03	— — —	
			5, 10, 15	—	50	—	
	Output Transition Times, t _{THL} , t _{TLH}			5 10 15	— — —	100 50 40	200 100 80

the comparator input lags the signal in phase, the p-type output driver is maintained ON for a time corresponding to the phase difference. Subsequently, the capacitor voltage of the low-pass filter connected to this phase comparator is adjusted until the signal and comparator inputs are equal in both phase and frequency. At this stable point both p- and n-type output drivers remain OFF and thus the phase comparator output becomes an open circuit and holds the voltage on the capacitor of the low-pass filter constant. Moreover the signal at the "phase pulses" output is a high level which can be used for indicating a locked condition. Thus, for phase comparator II, no phase difference exists between signal and comparator input over the full VCO frequency range. Moreover, the power dissipation due to the low-pass filter is reduced when this type of phase comparator is used because both the p- and n-type output drivers are OFF for most of the signal input cycle. It should be noted that the PLL lock range for this type of phase comparator is equal to the capture range, independent of the low-pass filter. With no signal present at the signal input, the VCO is adjusted to its lowest frequency for phase comparator II. Fig. 10 shows typical waveforms for a CMOS PLL employing phase comparator II in a locked condition.

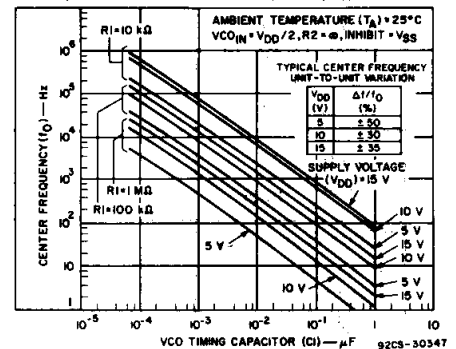


Fig. 4 - Typical center frequency as a function of C1 and R1 at V_{DD} = 5 V, 10 V, and 15 V.

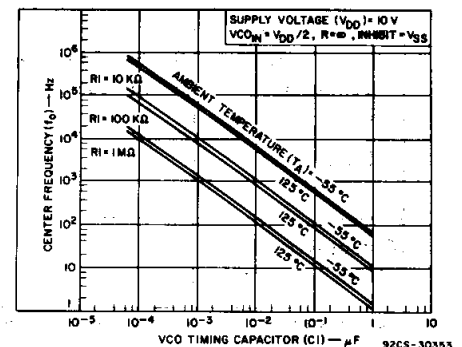


Fig. 5 - Center frequency as a function of C1 and R1 for ambient temperatures of -55°C to 125°C.

3
COMMERCIAL CMOS
HIGH VOLTAGE ICs

CD4046B Types

ELECTRICAL CHARACTERISTICS at $T_A = 25^\circ\text{C}$

CHARACTERISTIC	TEST CONDITIONS		V _{DD} (V)	LIMITS			UNITS
				ALL TYPES			
				Min.	Typ.	Max.	
VCO Section (cont'd)							
Source-Follower Output (Demodulated Output): Offset Voltage $ V_{COIN}-V_{DEM} $	$R_S > 10\text{ k}\Omega$		5 10 15	— — —	1.8 1.8 1.8	2.5 2.5 2.5	V
Linearity	$R_S=100\text{ k}\Omega$ $=300\text{ k}\Omega$ $=500\text{ k}\Omega$	$V_{COIN}=2.5\pm0.3\text{ V}$ $=5\pm2.5\text{ V}$ $=7.5\pm5\text{ V}$	5 10 15	— — —	0.3 0.7 0.9	— — —	%
Zener Diode Voltage (V_Z)	$I_Z = 50\text{ }\mu\text{A}$			4.45	5.5	6.15	V
Zener Dynamic Resistance, R_Z	$I_Z = 1\text{ mA}$			—	40	—	Ω
Phase Comparator Section							
Term. 14 (SIGNAL IN) Input Resistance R_{14}			5 10 15	1 0.2 0.1	2 0.4 0.2	— — —	M Ω
AC Coupled Signal Input Voltage Sensitivity* (peak-to-peak)	$f_{IN} = 100\text{ kHz}$, sine wave		5 10 15	— — —	180 330 900	360 660 1800	mV
Propagation Delay Times, Terms. 14 to 1: High to Low Level, t_{PHL}			5 10 15	— — —	225 100 65	450 200 130	ns
Low to High Level, t_{PLH}			5 10 15	— — —	350 150 100	700 300 200	ns
3-State Propagation Delay Times, Terms. 3 to 13: High Level to High Impedance, t_{PHZ}			5 10 15	— — —	225 100 95	450 200 190	ns
Terms. 14 to 13: Low Level to High Impedance, t_{PLZ}			5 10 15	— — —	285 130 95	570 260 190	ns
Input Rise or Fall Times, t_r , t_f Comparator Input, Term. 3	See Fig. 5 for Phase Comp. II output loading		5 10 15	— — —	— — —	50 1 0.3	μs
Signal Input, Term. 14			5 10 15	— — —	— — —	500 20 2.5	μs
Output Transition Times, t_{THL} , t_{TLH}			5 10 15	— — —	100 50 40	200 100 80	ns

* For sine wave, the frequency must be greater than 10 kHz for Phase Comparator II.

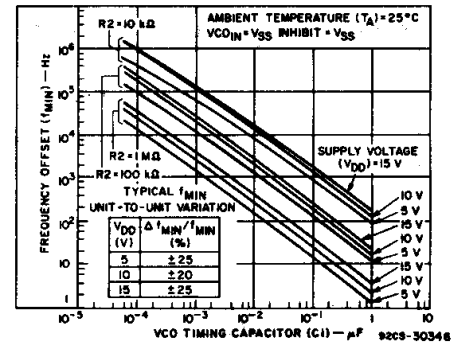


Fig. 6 - Typical frequency offset as a function of C_1 and R_2 for $V_{DD} = 5\text{ V}$, 10 V , and 15 V .

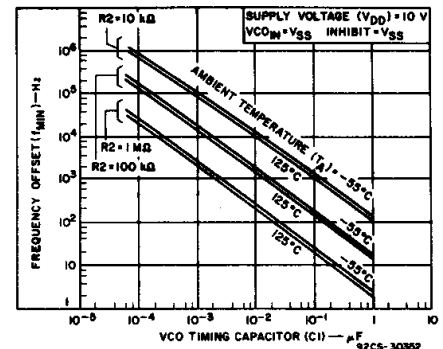


Fig. 7 - Frequency offset as a function of C_1 and R_2 for ambient temperatures of -55°C to 125°C .

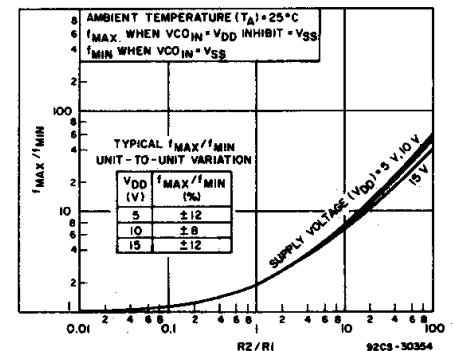


Fig. 8 - Typical f_{MAX}/f_{MIN} as a function of R_2/R_1 .

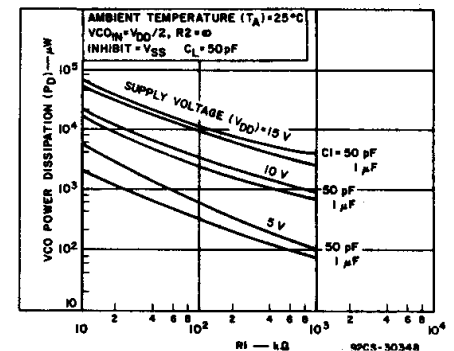


Fig. 9 - Typical VCO power dissipation at center frequency as a function of R_1 .

CD4046B Types

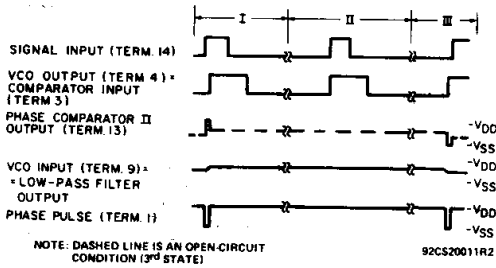


Fig. 10 - Typical waveforms for COS/MOS phase-locked loop employing phase comparator II in locked condition.

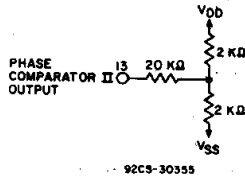


Fig. 11 - Phase comparator II output loading circuit.

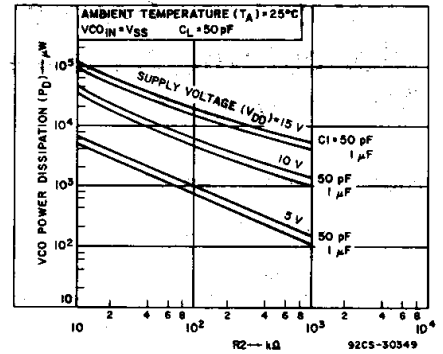


Fig. 12 - Typical VCO power dissipation at f_{MIN} as a function of $R2$.

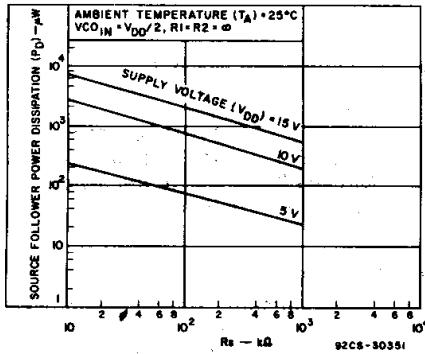


Fig. 13 - Typical source follower power dissipation as a function of R_s .

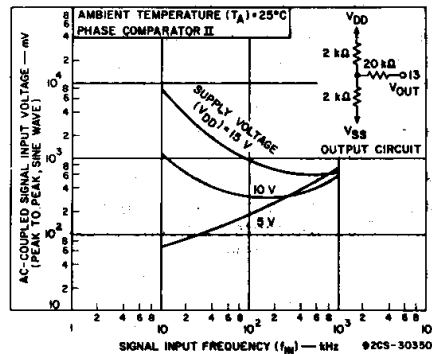


Fig. 14 - AC-coupled signal input voltage as a function of signal input frequency.

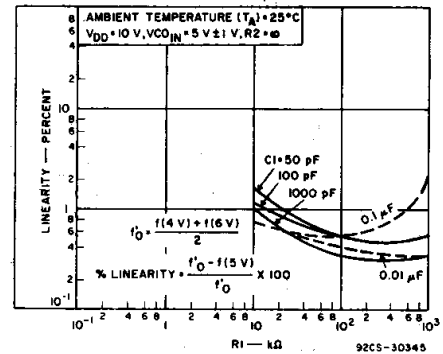


Fig. 15 - Typical VCO linearity as a function of $R1$ and $C1$ at $V_{DD} = 10$ V.

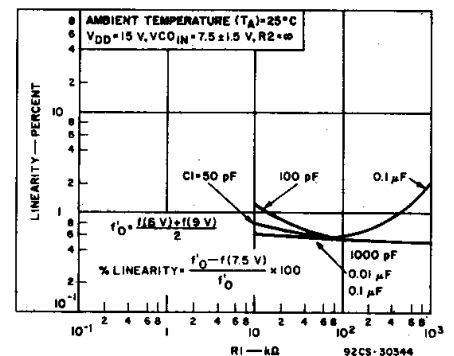
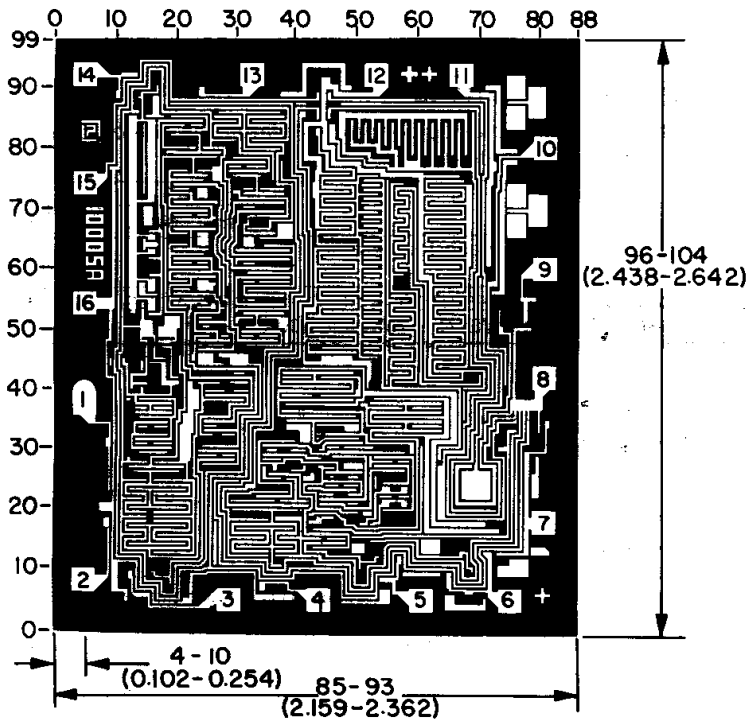


Fig. 16 - Typical VCO linearity as a function of $R1$ and $C1$ at $V_{DD} = 15$ V.



92CM-36467

Dimensions and pad layout for CD4046BH.

Dimensions in parentheses are in millimeters and are derived from the basic inch dimensions as indicated. Grid graduations are in mils (10^{-3} inch).

3
COMMERCIAL CMOS
HIGH VOLTAGE ICs

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead/Ball Finish (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
5962-9466401MEA	ACTIVE	CDIP	J	16	1	TBD	A42	N / A for Pkg Type	-55 to 125	5962-9466401ME A CD4046BF3A	Samples
CD4046BE	ACTIVE	PDIP	N	16	25	Pb-Free (RoHS)	CU NIPDAU	N / A for Pkg Type	-55 to 125	CD4046BE	Samples
CD4046BEE4	ACTIVE	PDIP	N	16	25	Pb-Free (RoHS)	CU NIPDAU	N / A for Pkg Type	-55 to 125	CD4046BE	Samples
CD4046BF	ACTIVE	CDIP	J	16	1	TBD	A42	N / A for Pkg Type	-55 to 125	CD4046BF	Samples
CD4046BF3A	ACTIVE	CDIP	J	16	1	TBD	A42	N / A for Pkg Type	-55 to 125	5962-9466401ME A CD4046BF3A	Samples
CD4046BNSR	ACTIVE	SO	NS	16	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-55 to 125	CD4046B	Samples
CD4046BNSRE4	ACTIVE	SO	NS	16	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-55 to 125	CD4046B	Samples
CD4046BNSRG4	ACTIVE	SO	NS	16	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-55 to 125	CD4046B	Samples
CD4046BPW	ACTIVE	TSSOP	PW	16	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-55 to 125	CM046B	Samples
CD4046BPWG4	ACTIVE	TSSOP	PW	16	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-55 to 125	CM046B	Samples
CD4046BPWR	ACTIVE	TSSOP	PW	16	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-55 to 125	CM046B	Samples
CD4046BPWRG4	ACTIVE	TSSOP	PW	16	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-55 to 125	CM046B	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) Eco Plan - The planned eco-friendly classification: Pb-Free (RoHS), Pb-Free (RoHS Exempt), or Green (RoHS & no Sb/Br) - please check <http://www.ti.com/productcontent> for the latest availability information and additional product content details.

TBD: The Pb-Free/Green conversion plan has not been defined.

Pb-Free (RoHS): TI's terms "Lead-Free" or "Pb-Free" mean semiconductor products that are compatible with the current RoHS requirements for all 6 substances, including the requirement that lead not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, TI Pb-Free products are suitable for use in specified lead-free processes.

Pb-Free (RoHS Exempt): This component has a RoHS exemption for either 1) lead-based flip-chip solder bumps used between the die and package, or 2) lead-based die adhesive used between the die and leadframe. The component is otherwise considered Pb-Free (RoHS compatible) as defined above.

Green (RoHS & no Sb/Br): TI defines "Green" to mean Pb-Free (RoHS compatible), and free of Bromine (Br) and Antimony (Sb) based flame retardants (Br or Sb do not exceed 0.1% by weight in homogeneous material)

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead/Ball Finish - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead/Ball Finish values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

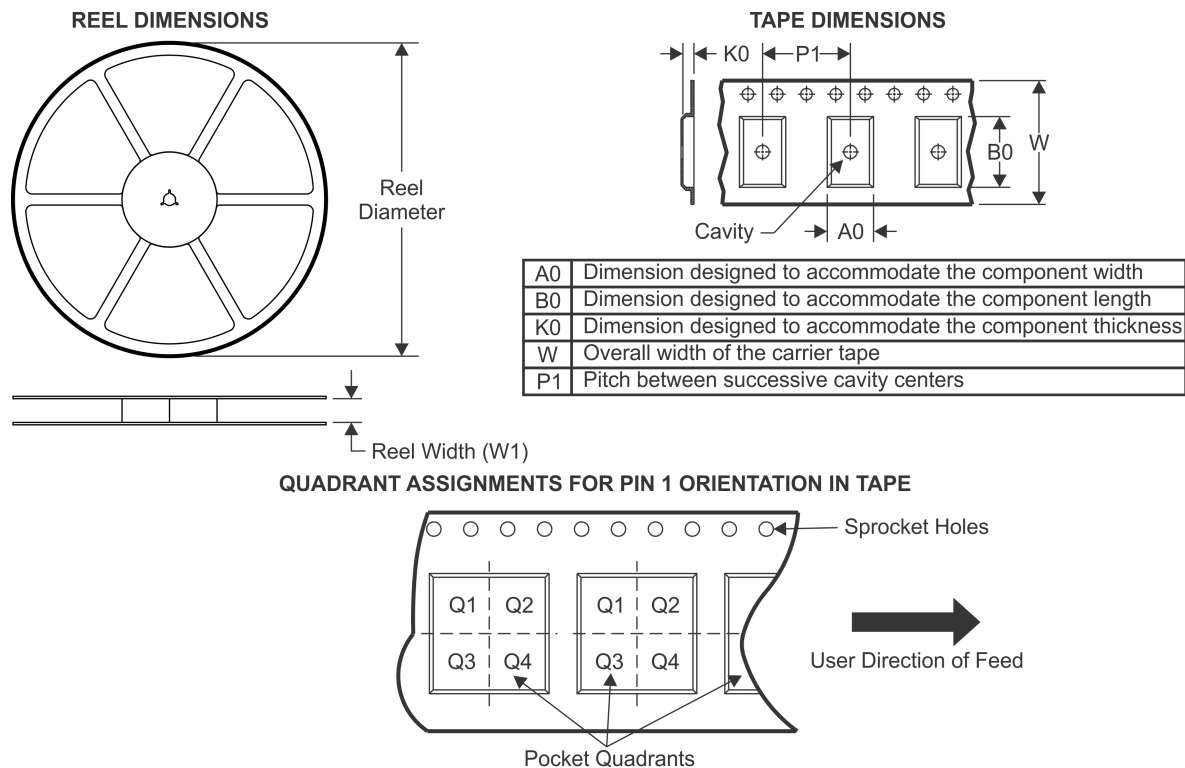
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF CD4046B, CD4046B-MIL :

- Catalog: [CD4046B](#)
- Military: [CD4046B-MIL](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Military - QML certified for Military and Defense Applications

TAPE AND REEL INFORMATION


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CD4046BNSR	SO	NS	16	2000	330.0	16.4	8.2	10.5	2.5	12.0	16.0	Q1
CD4046BPWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CD4046BNSR	SO	NS	16	2000	367.0	367.0	38.0
CD4046BPWR	TSSOP	PW	16	2000	367.0	367.0	35.0

MECHANICAL DATA

NS (R-PDSO-G**)

PLASTIC SMALL-OUTLINE PACKAGE

14-PINS SHOWN



- NOTES:
- All linear dimensions are in millimeters.
 - This drawing is subject to change without notice.
 - Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

J (R-GDIP-T**)

14 LEADS SHOWN

CERAMIC DUAL IN-LINE PACKAGE



PINS ** DIM	14	16	18	20
A	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC
B MAX	0.785 (19,94)	.840 (21,34)	0.960 (24,38)	1.060 (26,92)
B MIN	—	—	—	—
C MAX	0.300 (7,62)	0.300 (7,62)	0.310 (7,87)	0.300 (7,62)
C MIN	0.245 (6,22)	0.245 (6,22)	0.220 (5,59)	0.245 (6,22)

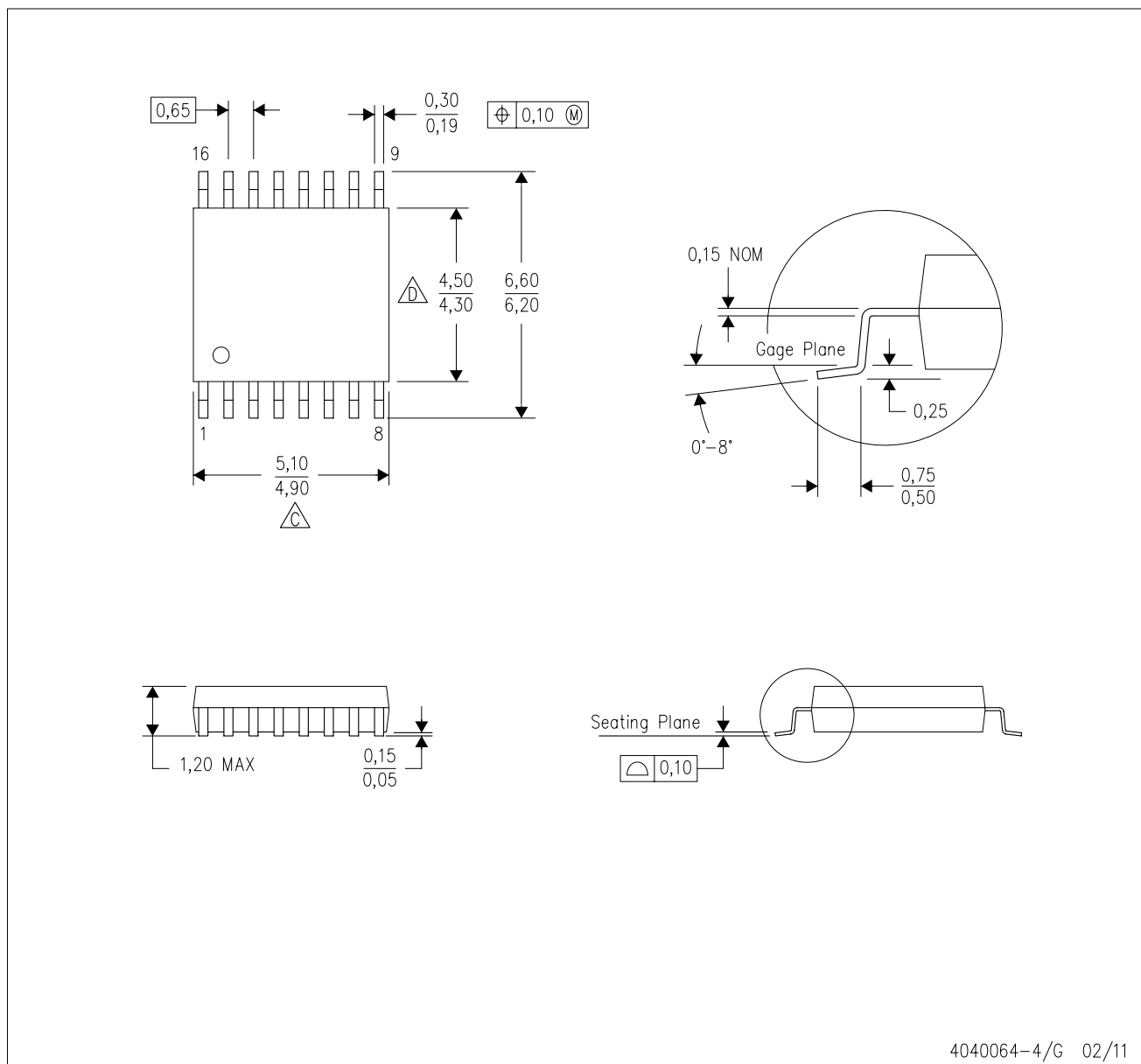


4040083/F 03/03

- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - C. This package is hermetically sealed with a ceramic lid using glass frit.
 - D. Index point is provided on cap for terminal identification only on press ceramic glass frit seal only.
 - E. Falls within MIL STD 1835 GDIP1-T14, GDIP1-T16, GDIP1-T18 and GDIP1-T20.

PW (R-PDSO-G16)

PLASTIC SMALL OUTLINE

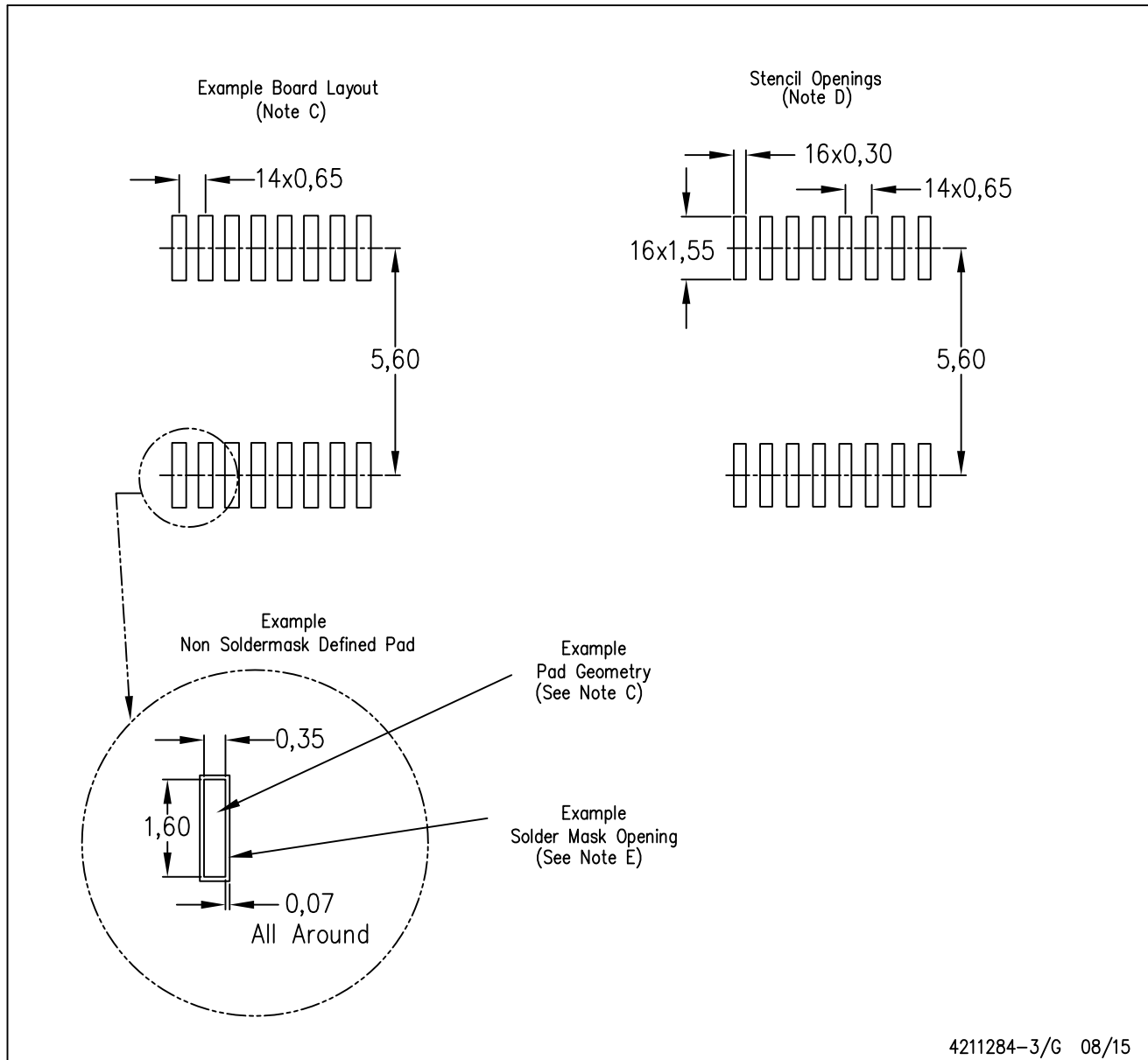


4040064-4/G 02/11

- NOTES:
- A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M-1994.
 - B. This drawing is subject to change without notice.
 - C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0,15 each side.
 - D. Body width does not include interlead flash. Interlead flash shall not exceed 0,25 each side.
 - E. Falls within JEDEC MO-153

PW (R-PDSO-G16)

PLASTIC SMALL OUTLINE

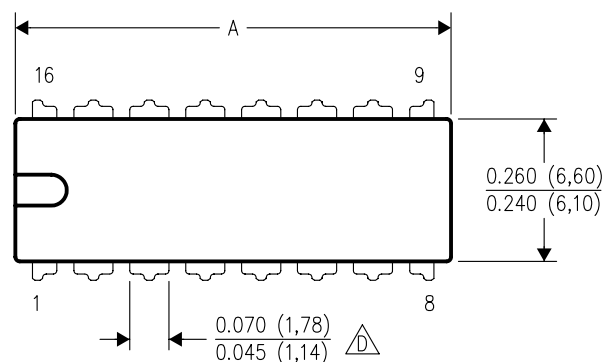


- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Publication IPC-7351 is recommended for alternate designs.
 - D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC-7525 for other stencil recommendations.
 - E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

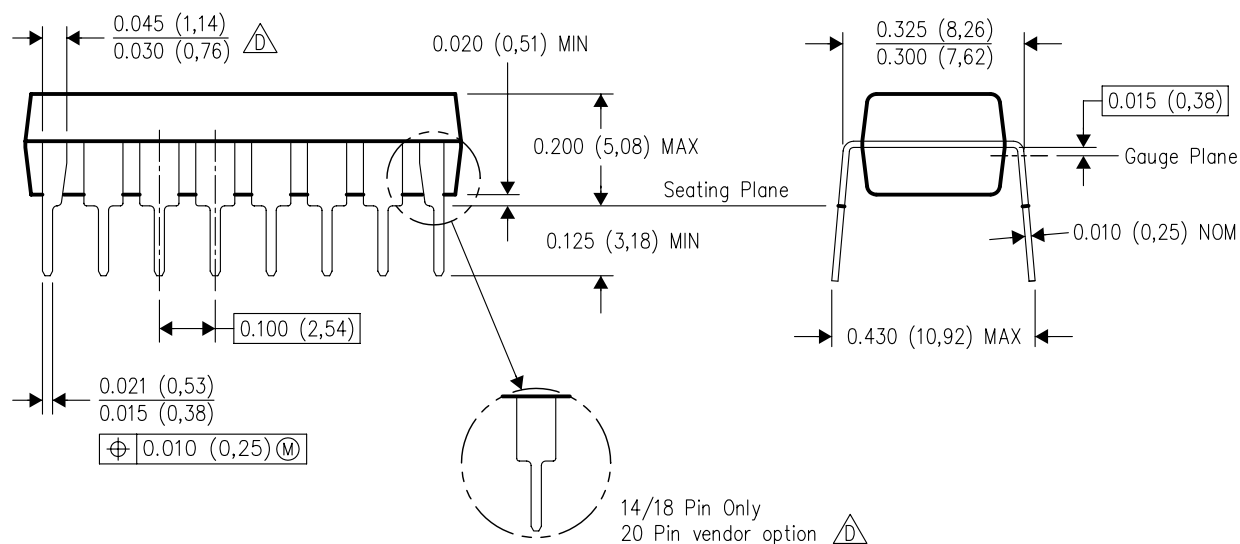
N (R-PDIP-T**)

16 PINS SHOWN

PLASTIC DUAL-IN-LINE PACKAGE



PINS **	14	16	18	20
DIM				
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS-001 VARIATION	AA	BB	AC	AD



4040049/E 12/2002

- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - Falls within JEDEC MS-001, except 18 and 20 pin minimum body length (Dim A).
 - The 20 pin end lead shoulder width is a vendor option, either half or full width.

IMPORTANT NOTICE

Texas Instruments Incorporated (TI) reserves the right to make corrections, enhancements, improvements and other changes to its semiconductor products and services per JESD46, latest issue, and to discontinue any product or service per JESD48, latest issue. Buyers should obtain the latest relevant information before placing orders and should verify that such information is current and complete.

TI's published terms of sale for semiconductor products (<http://www.ti.com/sc/docs/stdterms.htm>) apply to the sale of packaged integrated circuit products that TI has qualified and released to market. Additional terms may apply to the use or sale of other types of TI products and services.

Reproduction of significant portions of TI information in TI data sheets is permissible only if reproduction is without alteration and is accompanied by all associated warranties, conditions, limitations, and notices. TI is not responsible or liable for such reproduced documentation. Information of third parties may be subject to additional restrictions. Resale of TI products or services with statements different from or beyond the parameters stated by TI for that product or service voids all express and any implied warranties for the associated TI product or service and is an unfair and deceptive business practice. TI is not responsible or liable for any such statements.

Buyers and others who are developing systems that incorporate TI products (collectively, "Designers") understand and agree that Designers remain responsible for using their independent analysis, evaluation and judgment in designing their applications and that Designers have full and exclusive responsibility to assure the safety of Designers' applications and compliance of their applications (and of all TI products used in or for Designers' applications) with all applicable regulations, laws and other applicable requirements. Designer represents that, with respect to their applications, Designer has all the necessary expertise to create and implement safeguards that (1) anticipate dangerous consequences of failures, (2) monitor failures and their consequences, and (3) lessen the likelihood of failures that might cause harm and take appropriate actions. Designer agrees that prior to using or distributing any applications that include TI products, Designer will thoroughly test such applications and the functionality of such TI products as used in such applications.

TI's provision of technical, application or other design advice, quality characterization, reliability data or other services or information, including, but not limited to, reference designs and materials relating to evaluation modules, (collectively, "TI Resources") are intended to assist designers who are developing applications that incorporate TI products; by downloading, accessing or using TI Resources in any way, Designer (individually or, if Designer is acting on behalf of a company, Designer's company) agrees to use any particular TI Resource solely for this purpose and subject to the terms of this Notice.

TI's provision of TI Resources does not expand or otherwise alter TI's applicable published warranties or warranty disclaimers for TI products, and no additional obligations or liabilities arise from TI providing such TI Resources. TI reserves the right to make corrections, enhancements, improvements and other changes to its TI Resources. TI has not conducted any testing other than that specifically described in the published documentation for a particular TI Resource.

Designer is authorized to use, copy and modify any individual TI Resource only in connection with the development of applications that include the TI product(s) identified in such TI Resource. NO OTHER LICENSE, EXPRESS OR IMPLIED, BY ESTOPPEL OR OTHERWISE TO ANY OTHER TI INTELLECTUAL PROPERTY RIGHT, AND NO LICENSE TO ANY TECHNOLOGY OR INTELLECTUAL PROPERTY RIGHT OF TI OR ANY THIRD PARTY IS GRANTED HEREIN, including but not limited to any patent right, copyright, mask work right, or other intellectual property right relating to any combination, machine, or process in which TI products or services are used. Information regarding or referencing third-party products or services does not constitute a license to use such products or services, or a warranty or endorsement thereof. Use of TI Resources may require a license from a third party under the patents or other intellectual property of the third party, or a license from TI under the patents or other intellectual property of TI.

TI RESOURCES ARE PROVIDED "AS IS" AND WITH ALL FAULTS. TI DISCLAIMS ALL OTHER WARRANTIES OR REPRESENTATIONS, EXPRESS OR IMPLIED, REGARDING RESOURCES OR USE THEREOF, INCLUDING BUT NOT LIMITED TO ACCURACY OR COMPLETENESS, TITLE, ANY EPIDEMIC FAILURE WARRANTY AND ANY IMPLIED WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, AND NON-INFRINGEMENT OF ANY THIRD PARTY INTELLECTUAL PROPERTY RIGHTS. TI SHALL NOT BE LIABLE FOR AND SHALL NOT DEFEND OR INDEMNIFY DESIGNER AGAINST ANY CLAIM, INCLUDING BUT NOT LIMITED TO ANY INFRINGEMENT CLAIM THAT RELATES TO OR IS BASED ON ANY COMBINATION OF PRODUCTS EVEN IF DESCRIBED IN TI RESOURCES OR OTHERWISE. IN NO EVENT SHALL TI BE LIABLE FOR ANY ACTUAL, DIRECT, SPECIAL, COLLATERAL, INDIRECT, PUNITIVE, INCIDENTAL, CONSEQUENTIAL OR EXEMPLARY DAMAGES IN CONNECTION WITH OR ARISING OUT OF TI RESOURCES OR USE THEREOF, AND REGARDLESS OF WHETHER TI HAS BEEN ADVISED OF THE POSSIBILITY OF SUCH DAMAGES.

Unless TI has explicitly designated an individual product as meeting the requirements of a particular industry standard (e.g., ISO/TS 16949 and ISO 26262), TI is not responsible for any failure to meet such industry standard requirements.

Where TI specifically promotes products as facilitating functional safety or as compliant with industry functional safety standards, such products are intended to help enable customers to design and create their own applications that meet applicable functional safety standards and requirements. Using products in an application does not by itself establish any safety features in the application. Designers must ensure compliance with safety-related requirements and standards applicable to their applications. Designer may not use any TI products in life-critical medical equipment unless authorized officers of the parties have executed a special contract specifically governing such use. Life-critical medical equipment is medical equipment where failure of such equipment would cause serious bodily injury or death (e.g., life support, pacemakers, defibrillators, heart pumps, neurostimulators, and implantables). Such equipment includes, without limitation, all medical devices identified by the U.S. Food and Drug Administration as Class III devices and equivalent classifications outside the U.S.

TI may expressly designate certain products as completing a particular qualification (e.g., Q100, Military Grade, or Enhanced Product). Designers agree that it has the necessary expertise to select the product with the appropriate qualification designation for their applications and that proper product selection is at Designers' own risk. Designers are solely responsible for compliance with all legal and regulatory requirements in connection with such selection.

Designer will fully indemnify TI and its representatives against any damages, costs, losses, and/or liabilities arising out of Designer's non-compliance with the terms and provisions of this Notice.

LM111, LM211, LM311 Differential Comparators

1 Features

- Fast Response Time: 165 ns
- Strobe Capability
- Maximum Input Bias Current: 300 nA
- Maximum Input Offset Current: 70 nA
- Can Operate From Single 5-V Supply
- Available in Q-Temp Automotive
 - High-Reliability Automotive Applications
 - Configuration Control and Print Support
 - Qualification to Automotive Standards
- On Products Compliant to MIL-PRF-38535, All Parameters Are Tested Unless Otherwise Noted. On All Other Products, Production Processing Does Not Necessarily Include Testing of All Parameters.

2 Applications

- Desktop PCs
- Body Control Modules
- White Goods
- Building Automation
- Oscillators
- Peak Detectors

3 Description

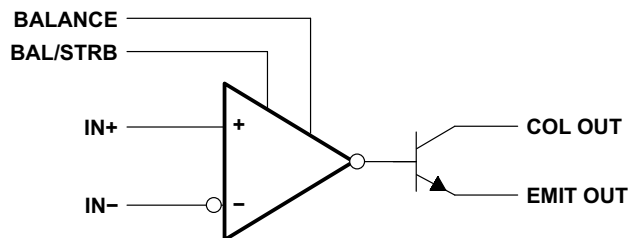
The LM111, LM211, and LM311 devices are single high-speed voltage comparators. These devices are designed to operate from a wide range of power-supply voltages, including ± 15 -V supplies for operational amplifiers and 5-V supplies for logic systems. The output levels are compatible with most TTL and MOS circuits. These comparators are capable of driving lamps or relays and switching voltages up to 50 V at 50 mA. All inputs and outputs can be isolated from system ground. The outputs can drive loads referenced to ground, V_{CC+} or V_{CC-} . Offset balancing and strobe capabilities are available, and the outputs can be wire-OR connected. If the strobe is low, the output is in the off state, regardless of the differential input.

Device Information⁽¹⁾

PART NUMBER	PACKAGE	BODY SIZE
LM111FK	LCCC (20)	8.89 mm × 8.89 mm
LM111JG	CDIP (8)	9.60 mm × 6.67 mm
LM311PS	SO (8)	6.20 mm × 5.30 mm
LM211D	SOIC (8)	4.90 mm × 3.91 mm
LM311D		
LM211P	PDIP (8)	9.81 mm × 6.35 mm
LM311P		
LM211PW	TSSOP (8)	3.00 mm × 4.40 mm
LM311PW		

(1) For all available packages, see the orderable addendum at the end of the data sheet.

Simplified Schematic



Copyright © 2016, Texas Instruments Incorporated



Table of Contents

1 Features	1	8.3 Feature Description	11
2 Applications	1	8.4 Device Functional Modes	11
3 Description	1	9 Application and Implementation	12
4 Revision History	2	9.1 Application Information	12
5 Pin Configuration and Functions	3	9.2 Typical Application	12
6 Specifications	4	9.3 System Examples	14
6.1 Absolute Maximum Ratings	4	10 Power Supply Recommendations	22
6.2 ESD Ratings	4	11 Layout	22
6.3 Recommended Operating Conditions	4	11.1 Layout Guidelines	22
6.4 Thermal Information (8-Pin Packages)	5	11.2 Layout Example	22
6.5 Thermal Information (20-Pin Package)	5	12 Device and Documentation Support	23
6.6 Electrical Characteristics	6	12.1 Related Links	23
6.7 Switching Characteristics	6	12.2 Receiving Notification of Documentation Updates	23
6.8 Typical Characteristics	7	12.3 Community Resources	23
7 Parameter Measurement Information	9	12.4 Trademarks	23
8 Detailed Description	10	12.5 Electrostatic Discharge Caution	23
8.1 Overview	10	12.6 Glossary	23
8.2 Functional Block Diagram	10	13 Mechanical, Packaging, and Orderable Information	23

4 Revision History

NOTE: Page numbers for previous revisions may differ from page numbers in the current version.

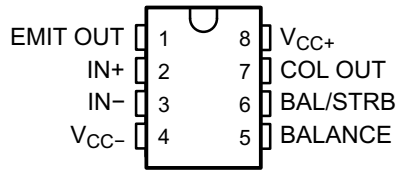
Changes from Revision J (January 2017) to Revision K	Page
• Changed Human body model (HBM) from: ± 1000 to: ± 500 in <i>ESD Ratings</i> table	4

Changes from Revision I (June 2015) to Revision J	Page
• Changed the data sheet title From: LMx11 Quad Differential Comparators To: LM111, LM211, LM311 Differential Comparators	1
• Updated the <i>Applications</i> list	1
• Updated the <i>Thermal Information (8-Pin Packages)</i> table	5
• Changed text From: "over a -25°C to $+85^{\circ}\text{C}$ temperature range..." To: "over a -40°C to $+85^{\circ}\text{C}$ temperature range..." in the <i>Overview</i> section	10
• Added text "The LM311 has a temperature range of -40°C to $+125^{\circ}\text{C}$." to the <i>Overview</i> section	10

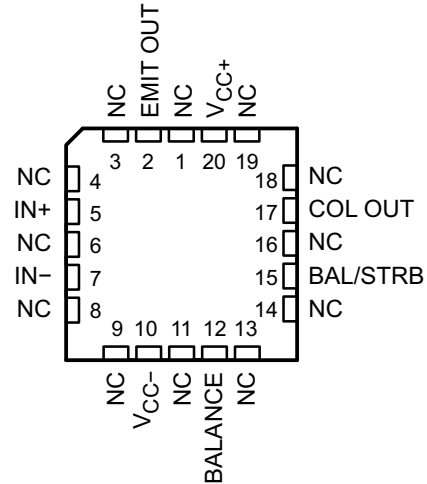
Changes from Revision H (August 2003) to Revision I	Page
• Updated <i>Features</i> with Military Disclaimer.	1
• Added <i>Applications</i> , <i>Device Information</i> table, <i>Pin Configuration and Functions</i> section, <i>ESD Ratings</i> table, <i>Feature Description</i> section, <i>Device Functional Modes</i> , <i>Application and Implementation</i> section, <i>Power Supply Recommendations</i> section, <i>Layout</i> section, <i>Device and Documentation Support</i> section, and <i>Mechanical, Packaging, and Orderable Information</i> section. No specification changes.	1

5 Pin Configuration and Functions

LMx11 D, JG, P, PS, or PW Package
8-Pin SOIC, CDIP, PDIP, SO or TSSOP
Top View



LM111 FK Package
20-Pin LCCC⁽¹⁾
Top View



(1) NC = No internal connection

Pin Functions

NAME	PIN				I/O ⁽¹⁾	DESCRIPTION
	LM211, LM311 SOIC, PDIP, TSSOP	LM311 SO	LM111 CDIP	LM111 LCCC		
IN+	2	2	2	5	I	Noninverting comparator
IN–	3	3	3	7	I	Inverting input comparator
BALANCE	5	5	5	12	I	Balance
BAL/STRB	6	6	6	15	I	Strobe
COL OUT	7	7	7	17	O	Output collector comparator
EMIT OUT	1	1	1	2	O	Output emitter comparator
V _{CC–}	4	4	4	10	—	Negative supply
V _{CC+}	8	8	8	20	—	Positive supply
NC	—	—	—	1	—	No connect (No internal connection)
				3		
				4		
				6		
				8		
				9		
				11		
				13		
				14		
				16		
				18		
				19		

(1) I = Input, O = Output

6 Specifications

6.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted)⁽¹⁾

		MIN	MAX	UNIT
Supply voltage	V_{CC+} ⁽²⁾		18	V
	V_{CC-} ⁽²⁾		–18	
	$V_{CC+} - V_{CC-}$		36	
V_{ID}	Differential input voltage ⁽³⁾		±30	V
V_I	Input voltage (either input) ⁽²⁾⁽⁴⁾		±15	V
	Voltage from emitter output to V_{CC-}		30	V
Voltage from collector output to V_{CC-}	LM111		50	V
	LM211		50	
	LM211Q		50	
	LM311		40	
	Duration of output short circuit to ground		10	s
T_J	Operating virtual-junction temperature		150	°C
	Case temperature for 60 s	FK package	260	°C
	Lead temperature 1,6 mm (1/16 inch) from case, 10 s	JG package	300	°C
	Lead temperature 1,6 mm (1/16 inch) from case, 60 s	D, P, PS, or PW package	260	°C
T_{stg}	Storage temperature	–65	150	°C

- (1) Stresses beyond those listed under *Absolute Maximum Ratings* may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under *Recommended Operating Conditions* is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.
- (2) All voltage values, unless otherwise noted, are with respect to the midpoint between V_{CC+} and V_{CC-} .
- (3) Differential voltages are at $IN+$ with respect to $IN-$.
- (4) The magnitude of the input voltage must never exceed the magnitude of the supply voltage or ±15 V, whichever is less.

6.2 ESD Ratings

		VALUE	UNIT
$V_{(ESD)}$	Electrostatic discharge	Human body model (HBM), per ANSI/ESDA/JEDEC JS-001 ⁽¹⁾	±500
		Charged-device model (CDM), per JEDEC specification JESD22-C101 ⁽²⁾	±750

- (1) JEDEC document JEP155 states that 500-V HBM allows safe manufacturing with a standard ESD control process.
- (2) JEDEC document JEP157 states that 250-V CDM allows safe manufacturing with a standard ESD control process.

6.3 Recommended Operating Conditions

		MIN	MAX	UNIT
$V_{CC+} - V_{CC-}$	Supply voltage	3.5	30	V
V_I	Input voltage ($ V_{CC+} \leq 15$ V)	$V_{CC-} + 0.5$	$V_{CC+} - 1.5$	V
T_A	Operating free-air temperature range	LM111	–55	°C
		LM211	–40	
		LM211Q	–40	
		LM311	0	

6.4 Thermal Information (8-Pin Packages)

THERMAL METRIC ⁽¹⁾		LM211, LM311			LM311	LM111	UNIT
		D (SOIC)	P (PDIP)	PW (TSSOP)	PS (SO)	JG (CDIP)	
		8 PINS	8 PINS	8 PINS	8 PINS	8 PINS	
$R_{\theta JA}$	Junction-to-ambient thermal resistance	114.3	57.5	162	121.8	—	°C/W
$R_{\theta JC(top)}$	Junction-to-case (top) thermal resistance	60.7	47.3	44.6	81.6	14.5	°C/W
$R_{\theta JB}$	Junction-to-board thermal resistance	54.5	34.6	93	66.5	—	°C/W
Ψ_{JT}	Junction-to-top characterization parameter	17.4	24.9	2.6	31.4	—	°C/W
Ψ_{JB}	Junction-to-board characterization parameter	54	34.5	90.8	65.8	—	°C/W

- (1) For more information about traditional and new thermal metrics, see the [Semiconductor and IC Package Thermal Metrics](#) application report.

6.5 Thermal Information (20-Pin Package)

THERMAL METRIC ⁽¹⁾		LM111	UNIT
		FK (LCCC)	
		20 PINS	
$R_{\theta JC(top)}$	Junction-to-case (top) thermal resistance	5.61	°C/W

- (1) For more information about traditional and new thermal metrics, see the [Semiconductor and IC Package Thermal Metrics](#) application report.

6.6 Electrical Characteristics

at specified free-air temperature, $V_{CC\pm} = \pm 15\text{ V}$ (unless otherwise noted)

PARAMETER	TEST CONDITIONS	$T_A^{(1)}$	LM111 LM211 LM211Q			LM311			UNIT
			MIN	TYP ⁽²⁾	MAX	MIN	TYP ⁽²⁾	MAX	
V_{IO} Input offset voltage	See ⁽³⁾	25°C		0.7	3		2	7.5	mV
		Full range			4			10	
I_{IO} Input offset current	See ⁽³⁾	25°C		4	10		6	50	nA
		Full range			20			70	
I_{IB} Input bias current	$1\text{ V} \leq V_O \leq 14\text{ V}$	25°C		75	100		100	250	nA
		Full range			150			300	
$I_{IL(S)}$ Low-level strobe current ⁽⁴⁾	$V_{(strobe)} = 0.3\text{ V}$, $V_{ID} \leq -10\text{ mV}$	25°C		–3			–3		mA
V_{ICR} Common-mode input-voltage range ⁽³⁾	Lower range	Full range		–14.7	–14.5		–14.7	–14.5	V
	Upper range			13	13.8		13	13.8	
A_{VD} Large-signal differential-voltage amplification	$5\text{ V} \leq V_O \leq 35\text{ V}$, $R_L = 1\text{ k}\Omega$	25°C		40	200		40	200	V/mV
I_{OH} High-level (collector) output leakage current	$I_{(strobe)} = -3\text{ mA}$, $V_{ID} = 5\text{ mV}$	25°C		0.2	10				nA
		Full range			0.5				μA
	$V_{ID} = 5\text{ mV}$, $V_{OH} = 35\text{ V}$	25°C					0.2	50	nA
V_{OL} Low-level (collector-to-emitter) output voltage	$I_{OL} = 50\text{ mA}$	$V_{ID} = -5\text{ mV}$		0.75	1.5				V
		$V_{ID} = -10\text{ mV}$					0.75	1.5	
	$V_{CC+} = 4.5\text{ V}$, $V_{CC-} = 0\text{ V}$, $I_{OL} = 8\text{ mA}$	$V_{ID} = -6\text{ mV}$		0.23	0.4				
		$V_{ID} = -10\text{ mV}$					0.23	0.4	
I_{CC+} Supply current from V_{CC+} output low	$V_{ID} = -10\text{ mV}$, No load	25°C		5.1	6		5.1	7.5	mA
I_{CC-} Supply current from V_{CC-} output high	$V_{ID} = 10\text{ mV}$, No load	25°C		–4.1	–5		–4.1	–5	mA

(1) Unless otherwise noted, all characteristics are measured with BALANCE and BAL/STRB open and EMIT OUT grounded. Full range for LM111 is –55°C to 125°C, for LM211 is –40°C to 85°C, for LM211Q is –40°C to 125°C, and for LM311 is 0°C to 70°C.

(2) All typical values are at $T_A = 25^\circ\text{C}$.

(3) The offset voltages and offset currents given are the maximum values required to drive the collector output up to 14 V or down to 1 V with a pullup resistor of 7.5 kΩ to V_{CC+} . These parameters actually define an error band and take into account the worst-case effects of voltage gain and input impedance.

(4) The strobe must not be shorted to ground; it must be current driven at –3 mA to –5 mA (see Figure 18 and Figure 31).

6.7 Switching Characteristics

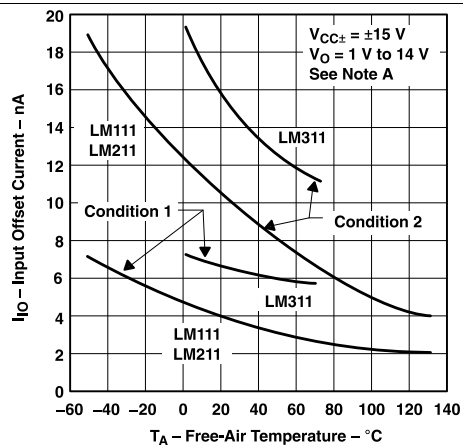
 $V_{CC\pm} = \pm 15\text{ V}$, $T_A = 25^\circ\text{C}$

PARAMETER	TEST CONDITIONS	LM111 LM211 LM211Q LM311	UNIT
		TYP	
Response time, low-to-high-level outputSee ⁽¹⁾	$R_C = 500\text{ }\Omega$ to 5 V, $C_L = 5\text{ pF}$, see ⁽²⁾	115	ns
Response time, high-to-low-level outputSee ⁽¹⁾		165	ns

(1) The response time specified is for a 100-mV input step with 5-mV overdrive and is the interval between the input step function and the instant when the output crosses 1.4 V.

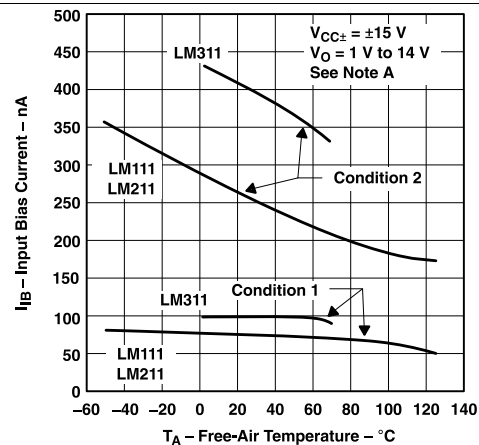
(2) The package thermal impedance is calculated in accordance with MIL-STD-883.

6.8 Typical Characteristics



Condition 1 is with BALANCE and BAL/STRB open.
Condition 2 is with BALANCE and BAL/STRB connected to V_{CC+} .

Figure 1. Input Offset Current vs Free-Air Temperature



Condition 1 is with BALANCE and BAL/STRB open.
Condition 2 is with BALANCE and BAL/STRB connected to V_{CC+} .

Figure 2. Input Bias Current vs Free-Air Temperature

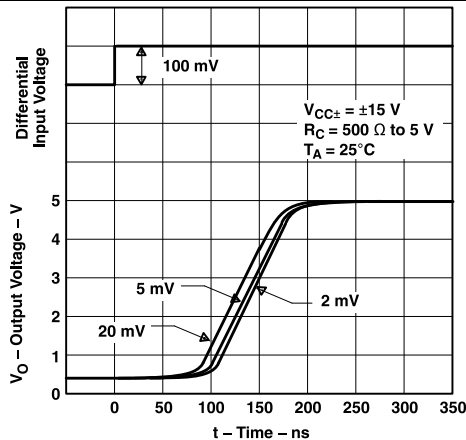


Figure 3. Output Response for Various Input Overdrives

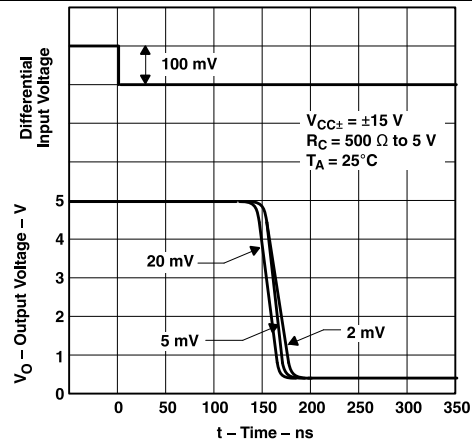


Figure 4. Output Response for Various Input Overdrives

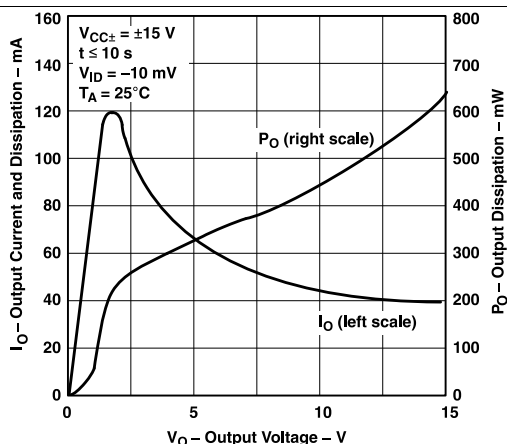


Figure 5. Output Current and Dissipation vs Output Voltage

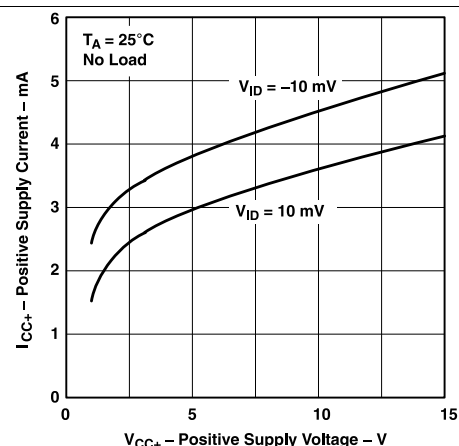
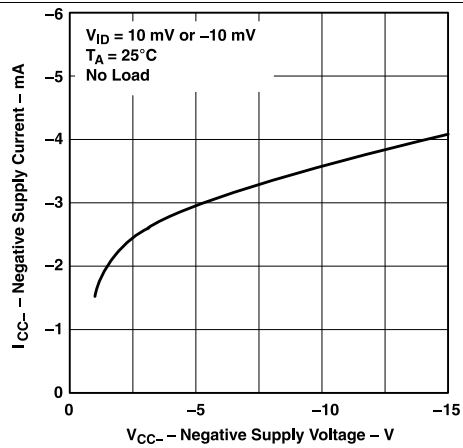
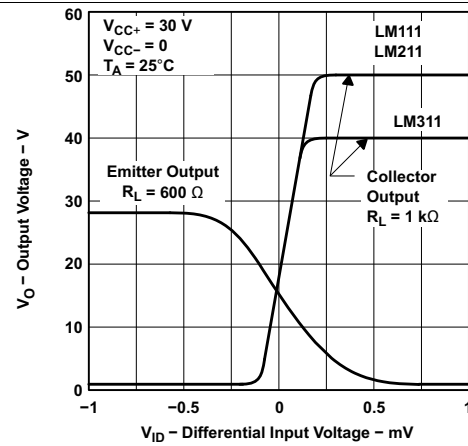
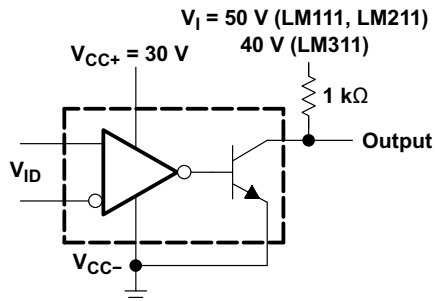


Figure 6. Positive Supply Current vs Positive Supply Voltage

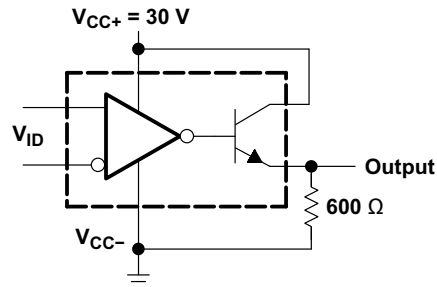
Typical Characteristics (continued)

Figure 7. Negative Supply Current vs Negative Supply Voltage

Figure 8. Voltage Transfer Characteristics and Test Circuits

7 Parameter Measurement Information



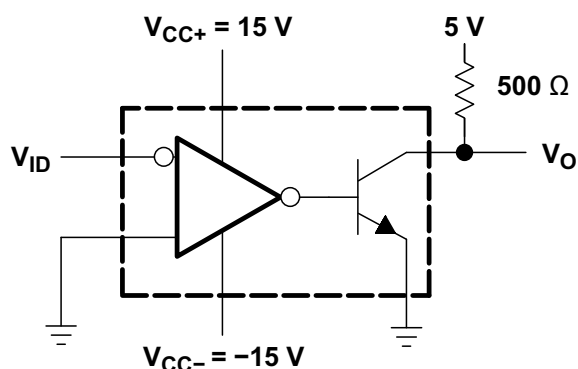
Copyright © 2016, Texas Instruments Incorporated

Figure 9. Collector Output Transfer Characteristic Test Circuit



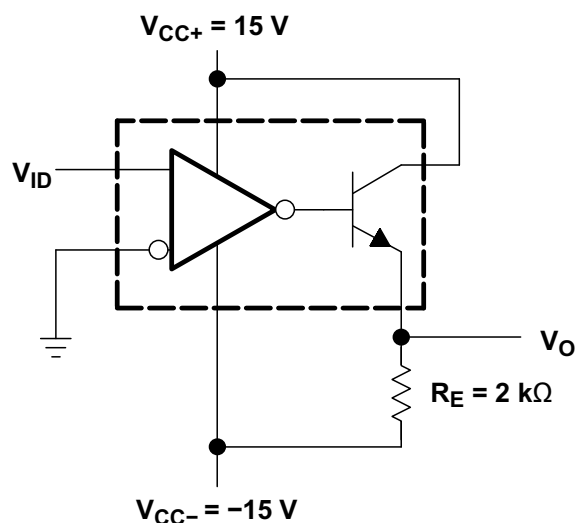
Copyright © 2016, Texas Instruments Incorporated

Figure 10. Emitter Output Transfer Characteristic Test Circuit



Copyright © 2016, Texas Instruments Incorporated

Figure 11. Test Circuit for [Figure 3](#) and [Figure 4](#)



Copyright © 2016, Texas Instruments Incorporated

Figure 12. Test Circuit for [Figure 14](#) and [Figure 15](#)

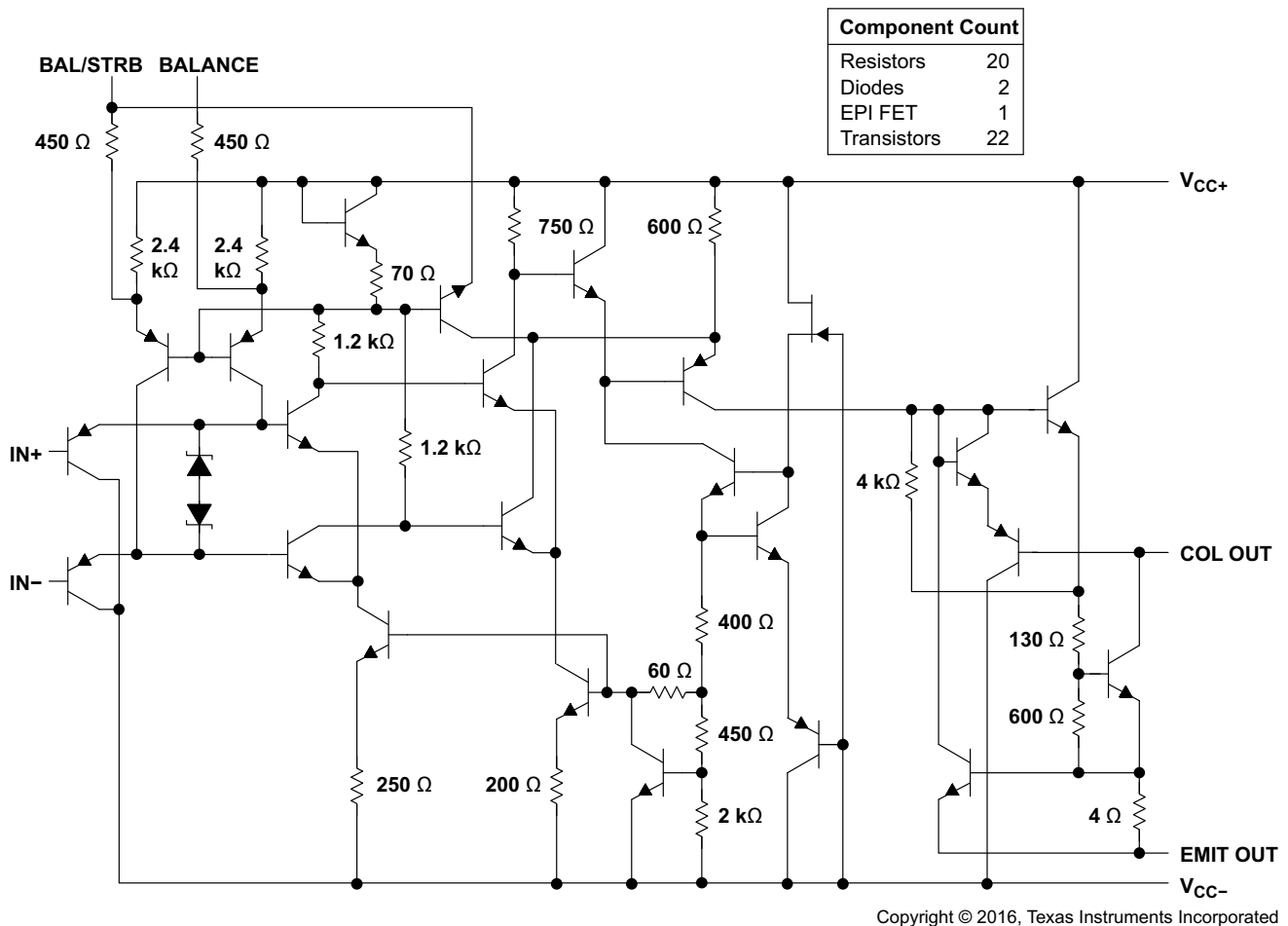
8 Detailed Description

8.1 Overview

The LM111, LM211 and LM311 are voltage comparators that have input currents nearly a thousand times lower than legacy standard devices. They are also designed to operate over a wider range of supply voltages: from standard $\pm 15\text{V}$ op amp supplies down to the single 5-V supply used for IC logic. Their output is compatible with RTL, DTL and TTL as well as MOS circuits. Further, they can drive lamps or relays, switching voltages up to 50 V at currents as high as 50 mA.

Both the inputs and the outputs of the LM111, LM211 or the LM311 can be isolated from system ground, and the output can drive loads referred to ground, the positive supply or the negative supply. Offset balancing and strobe capability are provided and outputs can be wire ORed. The LM211 is identical to the LM111, except that its performance is specified over a -40°C to $+85^{\circ}\text{C}$ temperature range instead of -55°C to $+125^{\circ}\text{C}$. The LM311 has a temperature range of 0°C to $+70^{\circ}\text{C}$. The LM211Q has a temperature range of -40°C to $+125^{\circ}\text{C}$.

8.2 Functional Block Diagram



8.3 Feature Description

LMx11 consists of a PNP input stage to sense voltages near V_{CC-} . It also contains balance and strobe pins for external offset adjustment or trimming.

The input stage is followed by a very high gain stage for very fast response after a voltage difference on the input pins have been sensed.

This is then followed by the output stage that consists of an open collector NPN (pulldown or low-side) transistor. Unlike most open drain comparators, this NPN output stage has an isolated emitter from V_{CC-} , allowing this device to set the V_{OL} output value for collector output.

8.4 Device Functional Modes

8.4.1 Voltage Comparison

The LMx11 operates solely as a voltage comparator, comparing the differential voltage between the positive and negative pins and outputting a logic low or high impedance (logic high with pullup) based on the input differential polarity.

9 Application and Implementation

NOTE

Information in the following applications sections is not part of the TI component specification, and TI does not warrant its accuracy or completeness. TI's customers are responsible for determining suitability of components for their purposes. Validate and test the design implementation to confirm system functionality.

9.1 Application Information

A typical LMx11 application compares a single signal to a reference or two signals against each other. Many users take advantage of the open-drain output to drive the comparison logic output to a logic voltage level to an MCU or logic device. The wide supply range and high voltage capability makes LMx11 optimal for level shifting to a higher or lower voltage.

9.2 Typical Application

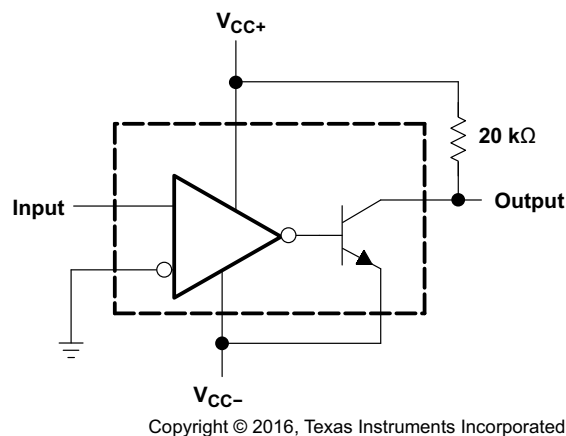


Figure 13. Zero-Crossing Detector

9.2.1 Design Requirements

For this design example, use the parameters listed in [Table 1](#) as the input parameters.

Table 1. Design Parameters

PARAMETER		MIN	TYP	MAX	UNIT
V_{IN}	Input voltage range	-15		13	V
V_{CC+}	Positive supply voltage			15	V
V_{CC-}	Negative supply voltage	-15			
I_{OUT}	Output current			20	mA

9.2.2 Detailed Design Procedure

When using LMx11 in a general comparator application, determine the following:

- Input voltage range
- Minimum overdrive voltage
- Output and drive current
- Response time

9.2.2.1 Input Voltage Range

When choosing the input voltage range, consider the input common mode voltage range (V_{ICR}). Operation outside of this range can yield incorrect comparisons.

The following list describes the outcomes of some input voltage situations.

- When both $IN-$ and $IN+$ are both within the common-mode range:
 - If $IN-$ is higher than $IN+$ and the offset voltage, the output is low and the output transistor is sinking current
 - If $IN-$ is lower than $IN+$ and the offset voltage, the output is high impedance and the output transistor is not conducting
- When $IN-$ is higher than common mode and $IN+$ is within common mode, the output is low and the output transistor is sinking current
- When $IN+$ is higher than common mode and $IN-$ is within common mode, the output is high impedance and the output transistor is not conducting
- When $IN-$ and $IN+$ are both higher than common mode, the output is undefined

9.2.2.2 Minimum Overdrive Voltage

Overdrive voltage is the differential voltage produced between the positive and negative inputs of the comparator over the offset voltage (V_{IO}). To make an accurate comparison the Overdrive voltage (V_{OD}) must be higher than the input offset voltage (V_{IO}). Overdrive voltage can also determine the response time of the comparator, with the response time decreasing with increasing overdrive. [Figure 14](#) and [Figure 15](#) show positive and negative response times with respect to overdrive voltage.

9.2.2.3 Output and Drive Current

Output current is determined by the pullup resistance and pullup voltage. The output current produces a output low voltage (V_{OL}) from the comparator, in which V_{OL} is proportional to the output current. Use [Figure 5](#) to determine V_{OL} based on the output current.

The output current can also effect the transient response.

9.2.2.4 Response Time

The load capacitance (C_L), pullup resistance (R_{PULLUP}), and equivalent collector-emitter resistance (R_{CE}) levels determine the transient response. [Equation 1](#) approximates the positive response time. [Equation 2](#) approximates the negative response time. R_{CE} can be determine by taking the slope of [Figure 5](#) in the linear region at the desired temperature, or by [Equation 3](#).

$$\tau_P \cong R_{PULLUP} \times C_L \quad (1)$$

$$\tau_N \cong R_{CE} \times C_L \quad (2)$$

$$R_{CE} = \frac{V_{OL}}{I_{OUT}}$$

where

- V_{OL} is the low-level output voltage
 - I_{OUT} is the output current
- (3)

9.2.3 Application Curves

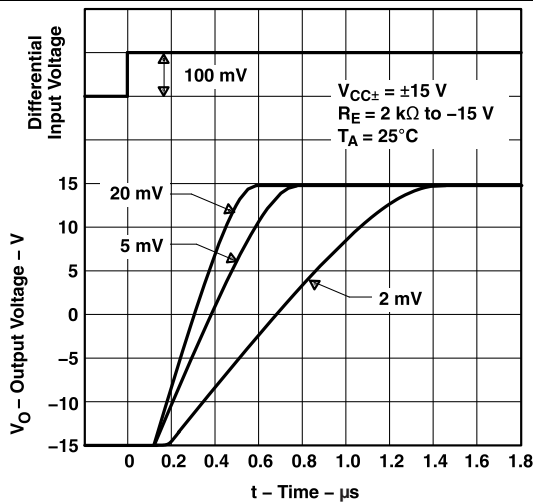


Figure 14. Output Response for Various Input Overdrives

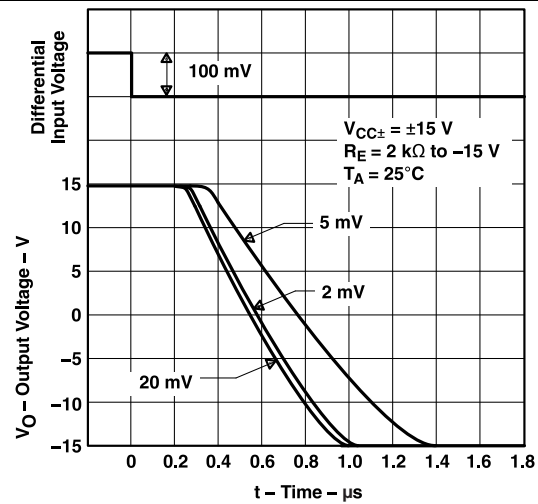
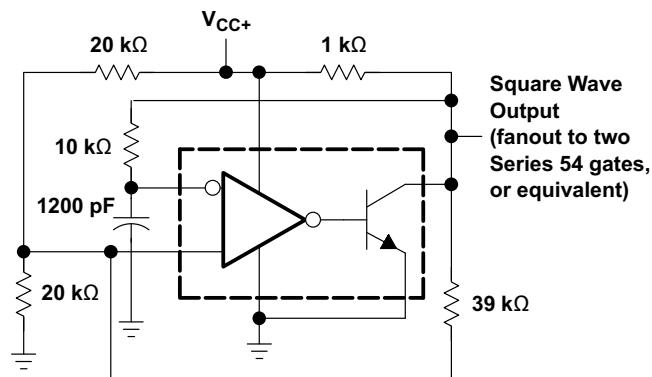


Figure 15. Output Response for Various Input Overdrives

9.3 System Examples

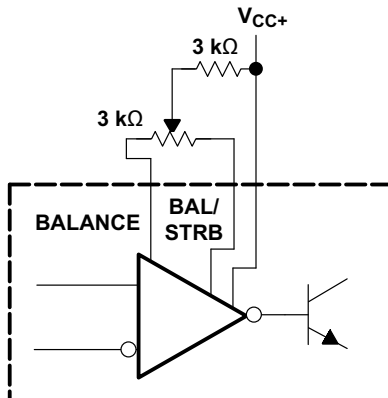
Figure 16 through Figure 33 show various applications for the LM111, LM211, and LM311 comparators.



Copyright © 2016, Texas Instruments Incorporated

Figure 16. 100-kHz Free-Running Multivibrator

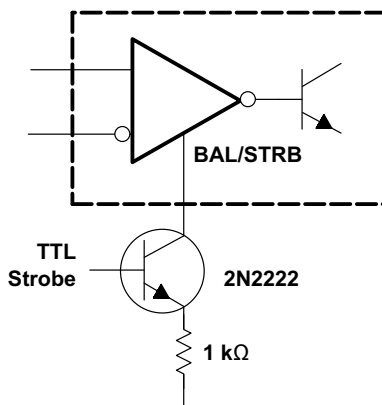
System Examples (continued)



Copyright © 2016, Texas Instruments Incorporated

If offset balancing is not used, the BALANCE and BAL/STRB pins must be unconnected. It is also acceptable to short pins together.

Figure 17. Offset Balancing

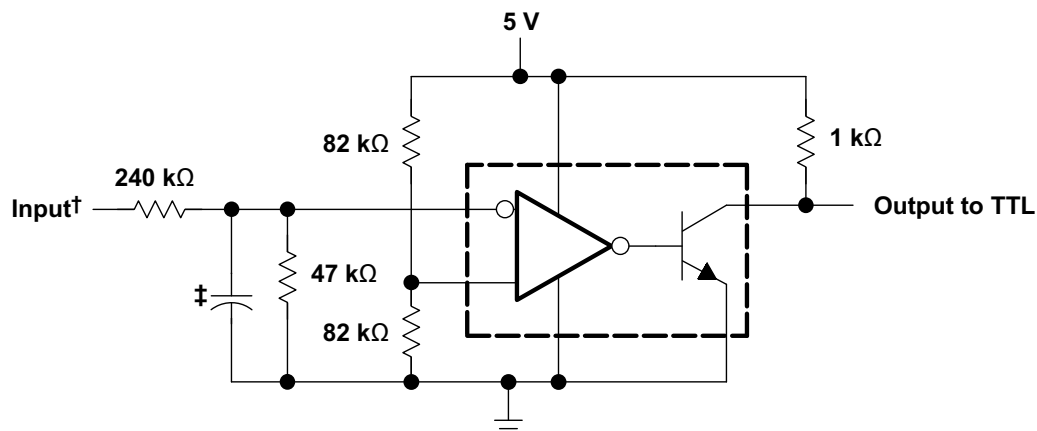


Copyright © 2016, Texas Instruments Incorporated

Do not connect strobe pin directly to ground, because the output is turned off whenever current is pulled from the strobe pin.

Figure 18. Strobing

System Examples (continued)

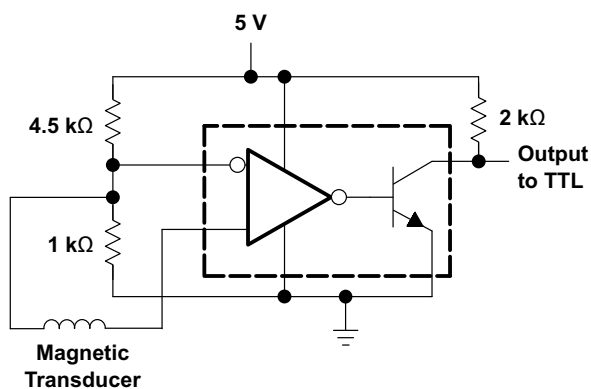


† Resistor values shown are for a 0- to 30-V logic swing and a 15-V threshold.

‡ May be added to control speed and reduce susceptibility to noise spikes

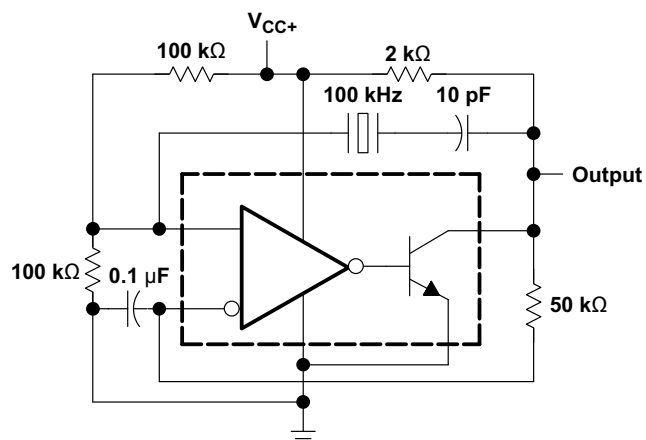
Copyright © 2016, Texas Instruments Incorporated

Figure 19. TTL Interface With High-Level Logic



Copyright © 2016, Texas Instruments Incorporated

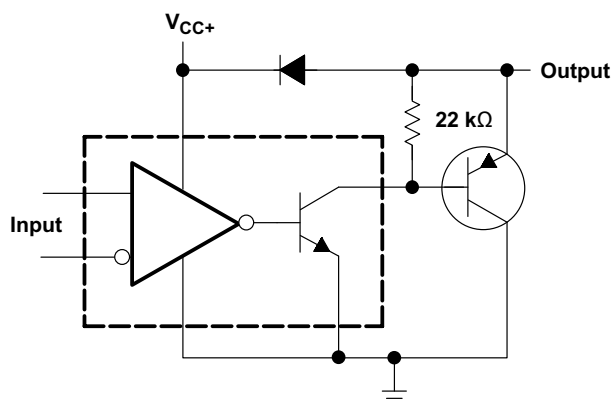
Figure 20. Detector for Magnetic Transducer



Copyright © 2016, Texas Instruments Incorporated

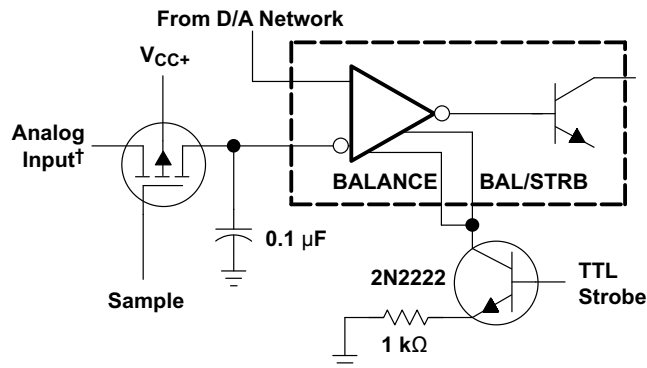
Figure 21. 100-kHz Crystal Oscillator

System Examples (continued)



Copyright © 2016, Texas Instruments Incorporated

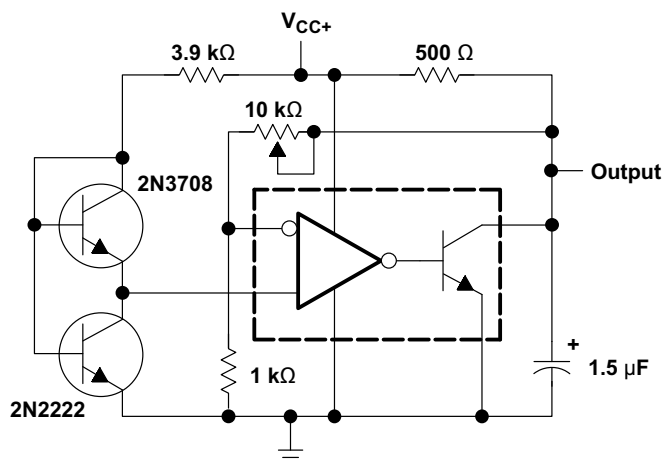
Figure 22. Comparator and Solenoid Driver



† Typical input current is 50 pA with inputs strobed off.

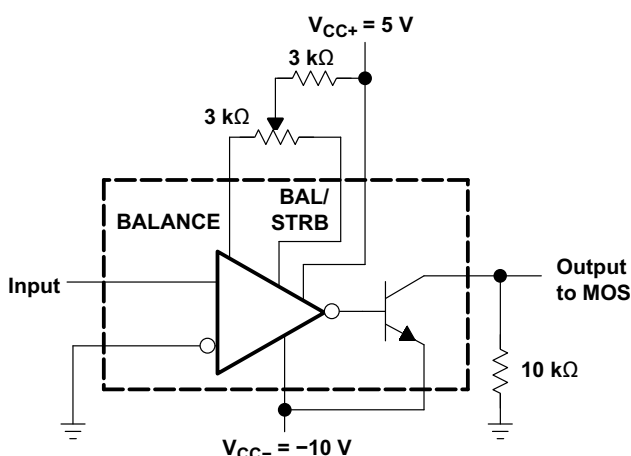
Copyright © 2016, Texas Instruments Incorporated

Figure 23. Strobing Both Input and Output Stages Simultaneously



Copyright © 2016, Texas Instruments Incorporated

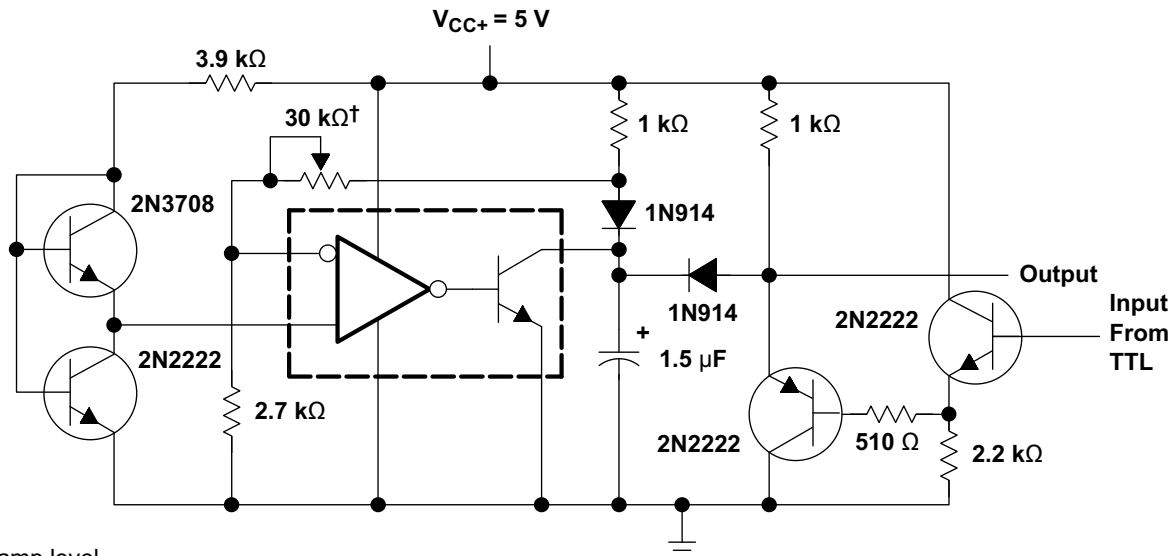
Figure 24. Low-Voltage Adjustable Reference Supply



Copyright © 2016, Texas Instruments Incorporated

Figure 25. Zero-Crossing Detector Driving MOS Logic

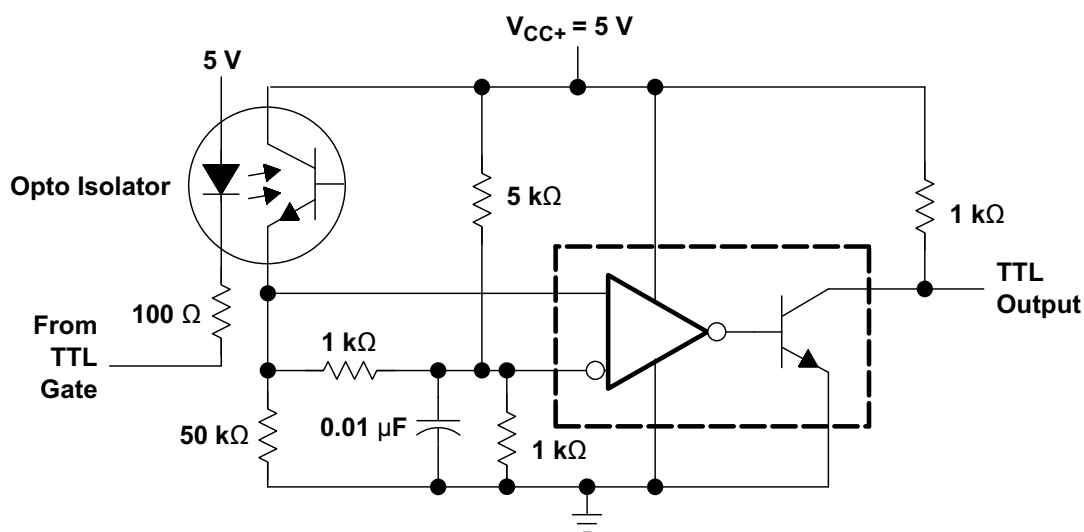
System Examples (continued)



† Adjust to set clamp level

Copyright © 2016, Texas Instruments Incorporated

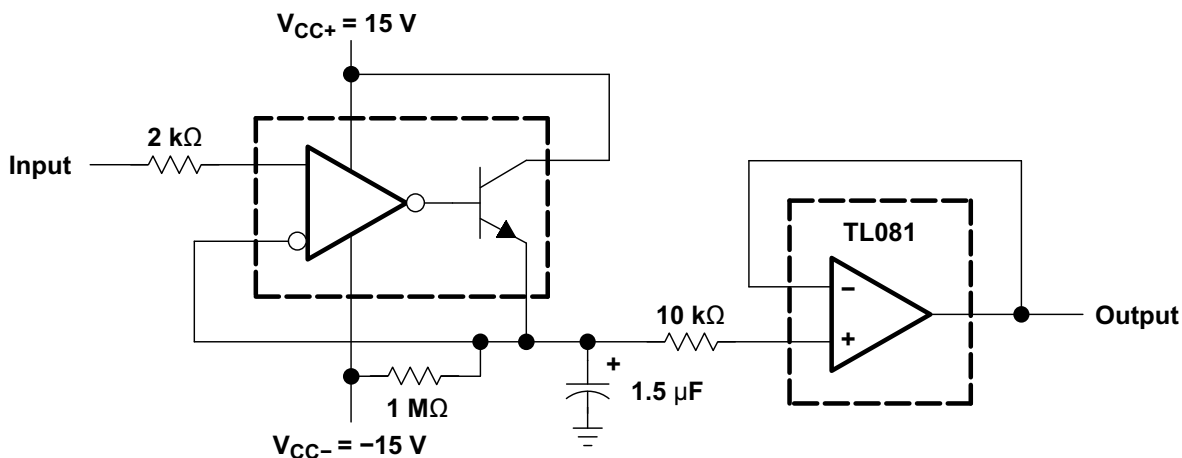
Figure 26. Precision Squarer



Copyright © 2016, Texas Instruments Incorporated

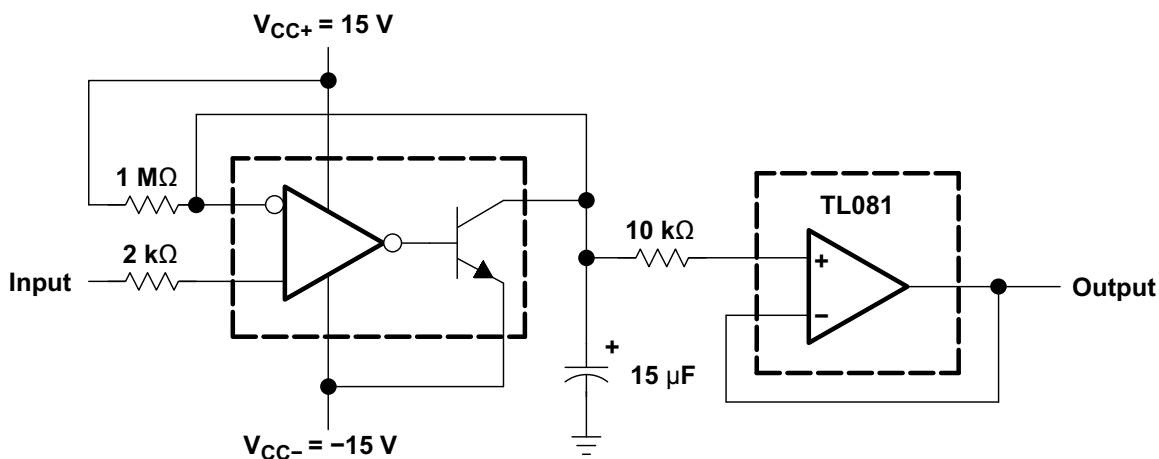
Figure 27. Digital Transmission Isolator

System Examples (continued)



Copyright © 2016, Texas Instruments Incorporated

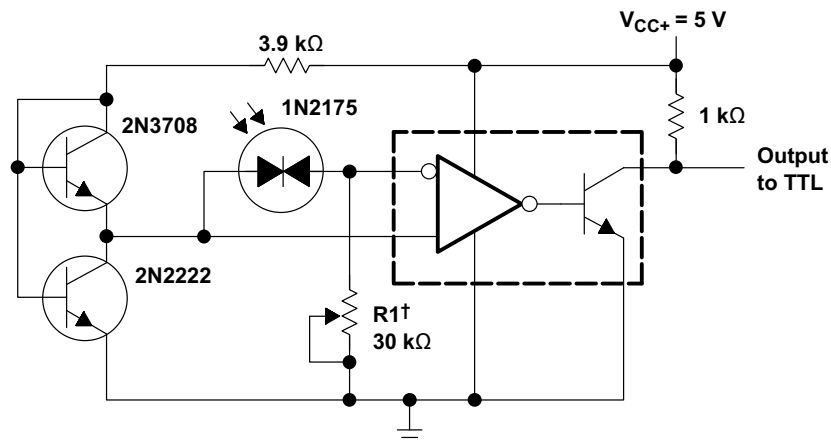
Figure 28. Positive-Peak Detector



Copyright © 2016, Texas Instruments Incorporated

Figure 29. Negative-Peak Detector

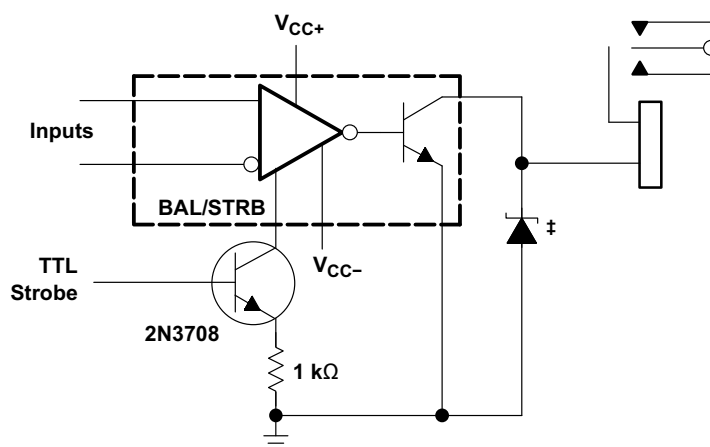
System Examples (continued)



† R1 sets the comparison level. At comparison, the photodiode has less than 5 mV across it, decreasing dark current by an order of magnitude.

Copyright © 2016, Texas Instruments Incorporated

Figure 30. Precision Photodiode Comparator

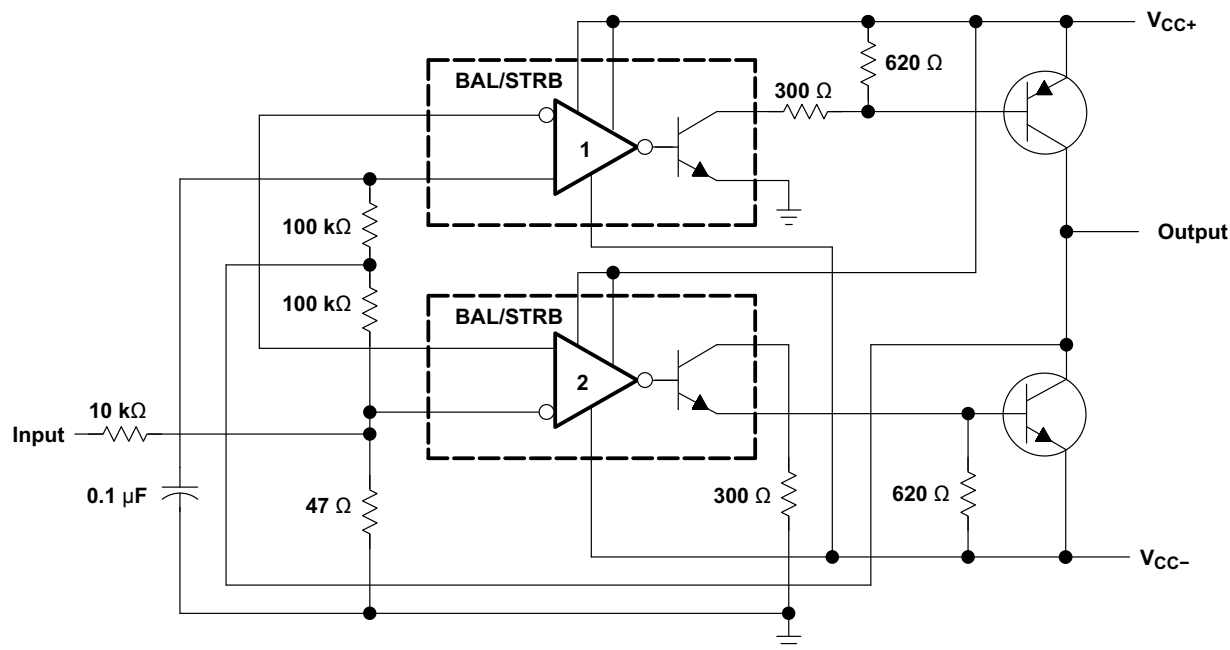


‡ Transient voltage and inductive kickback protection

Copyright © 2016, Texas Instruments Incorporated

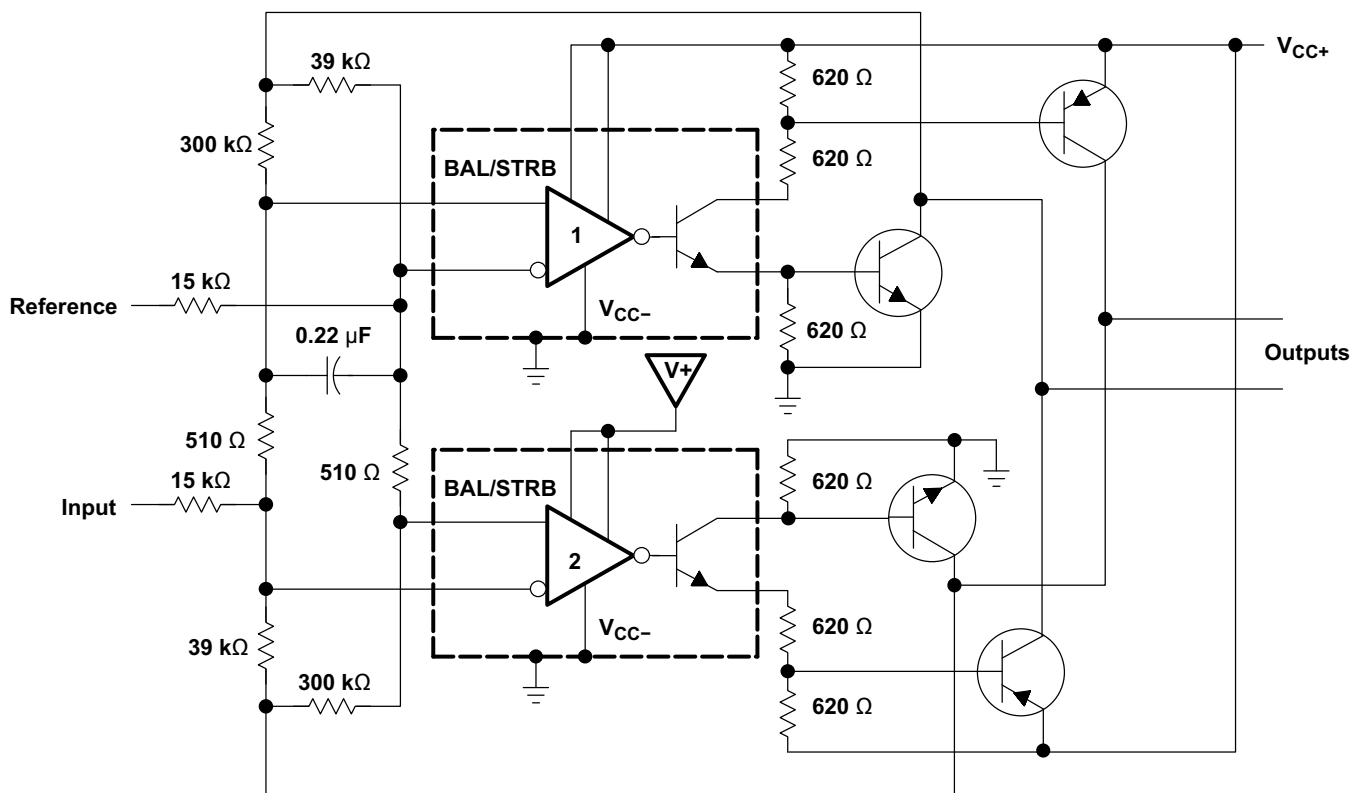
Figure 31. Relay Driver With Strobe

System Examples (continued)



Copyright © 2016, Texas Instruments Incorporated

Figure 32. Switching Power Amplifier



Copyright © 2016, Texas Instruments Incorporated

Figure 33. Switching Power Amplifiers

10 Power Supply Recommendations

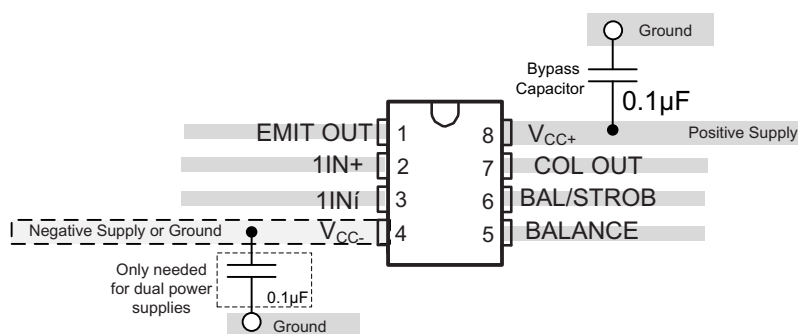
For fast response and comparison applications with noisy or AC inputs, use a bypass capacitor on the supply pin to reject any variation on the supply voltage. This variation can affect the common-mode range of the comparator input and create an inaccurate comparison.

11 Layout

11.1 Layout Guidelines

To create an accurate comparator application without hysteresis, maintain a stable power supply with minimized noise and glitches, which can affect the high level input common-mode voltage range. To achieve this accuracy, add a bypass capacitor between the supply voltage and ground. Place a bypass capacitor on the positive power supply and negative supply (if available).

11.2 Layout Example



Copyright © 2016, Texas Instruments Incorporated

Figure 34. LMx11 Layout Example

12 Device and Documentation Support

12.1 Related Links

The table below lists quick access links. Categories include technical documents, support and community resources, tools and software, and quick access to sample or buy.

Table 2. Related Links

PARTS	PRODUCT FOLDER	ORDER NOW	TECHNICAL DOCUMENTS	TOOLS & SOFTWARE	SUPPORT & COMMUNITY
LM111	Click here	Click here	Click here	Click here	Click here
LM211	Click here	Click here	Click here	Click here	Click here
LM311	Click here	Click here	Click here	Click here	Click here

12.2 Receiving Notification of Documentation Updates

To receive notification of documentation updates, navigate to the device product folder on ti.com. In the upper right corner, click on *Alert me* to register and receive a weekly digest of any product information that has changed. For change details, review the revision history included in any revised document.

12.3 Community Resources

The following links connect to TI community resources. Linked contents are provided "AS IS" by the respective contributors. They do not constitute TI specifications and do not necessarily reflect TI's views; see TI's [Terms of Use](#).

TI E2E™ Online Community *TI's Engineer-to-Engineer (E2E) Community*. Created to foster collaboration among engineers. At e2e.ti.com, you can ask questions, share knowledge, explore ideas and help solve problems with fellow engineers.

Design Support *TI's Design Support* Quickly find helpful E2E forums along with design support tools and contact information for technical support.

12.4 Trademarks

E2E is a trademark of Texas Instruments.
All other trademarks are the property of their respective owners.

12.5 Electrostatic Discharge Caution



These devices have limited built-in ESD protection. The leads should be shorted together or the device placed in conductive foam during storage or handling to prevent electrostatic damage to the MOS gates.

12.6 Glossary

[SLYZ022](#) — *TI Glossary*.

This glossary lists and explains terms, acronyms, and definitions.

13 Mechanical, Packaging, and Orderable Information

The following pages include mechanical packaging and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser based versions of this data sheet, refer to the left hand navigation.

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead/Ball Finish (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
JM38510/10304BPA	ACTIVE	CDIP	JG	8	1	TBD	A42	N / A for Pkg Type	-55 to 125	JM38510 /10304BPA	Samples
LM111FKB	ACTIVE	LCCC	FK	20	1	TBD	POST-PLATE	N / A for Pkg Type	-55 to 125	LM111FKB	Samples
LM111JG	ACTIVE	CDIP	JG	8	1	TBD	A42	N / A for Pkg Type	-55 to 125	LM111JG	Samples
LM111JGB	ACTIVE	CDIP	JG	8	1	TBD	A42	N / A for Pkg Type	-55 to 125	LM111JGB	Samples
LM211D	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 85	LM211	Samples
LM211DE4	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 85	LM211	Samples
LM211DG4	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 85	LM211	Samples
LM211DR	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 85	LM211	Samples
LM211DRE4	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 85	LM211	Samples
LM211DRG4	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 85	LM211	Samples
LM211P	ACTIVE	PDIP	P	8	50	Pb-Free (RoHS)	CU NIPDAU	N / A for Pkg Type	-40 to 85	LM211P	Samples
LM211PE4	ACTIVE	PDIP	P	8	50	Pb-Free (RoHS)	CU NIPDAU	N / A for Pkg Type	-40 to 85	LM211P	Samples
LM211PW	ACTIVE	TSSOP	PW	8	150	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 85	L211	Samples
LM211PWR	ACTIVE	TSSOP	PW	8	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 85	L211	Samples
LM211PWRE4	ACTIVE	TSSOP	PW	8	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 85	L211	Samples
LM211PWG4	ACTIVE	TSSOP	PW	8	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 85	L211	Samples
LM211QD	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 125	LM211Q	Samples

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead/Ball Finish (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
LM211QDG4	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 125	LM211Q	Samples
LM211QDR	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 125	LM211Q	Samples
LM211QDRG4	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 125	LM211Q	Samples
LM311D	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	0 to 70	LM311	Samples
LM311DE4	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	0 to 70	LM311	Samples
LM311DG4	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	0 to 70	LM311	Samples
LM311DR	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU CU SN	Level-1-260C-UNLIM	0 to 70	LM311	Samples
LM311DRE4	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	0 to 70	LM311	Samples
LM311DRG4	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	0 to 70	LM311	Samples
LM311P	ACTIVE	PDIP	P	8	50	Pb-Free (RoHS)	CU NIPDAU	N / A for Pkg Type	0 to 70	LM311P	Samples
LM311PE4	ACTIVE	PDIP	P	8	50	Pb-Free (RoHS)	CU NIPDAU	N / A for Pkg Type	0 to 70	LM311P	Samples
LM311PSR	ACTIVE	SO	PS	8	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	0 to 70	L311	Samples
LM311PSRE4	ACTIVE	SO	PS	8	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	0 to 70	L311	Samples
LM311PW	ACTIVE	TSSOP	PW	8	150	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	0 to 70	L311	Samples
LM311PWG4	ACTIVE	TSSOP	PW	8	150	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	0 to 70	L311	Samples
LM311PWR	ACTIVE	TSSOP	PW	8	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	0 to 70	L311	Samples
LM311PWRG4	ACTIVE	TSSOP	PW	8	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	0 to 70	L311	Samples
M38510/10304BPA	ACTIVE	CDIP	JG	8	1	TBD	A42	N / A for Pkg Type	-55 to 125	JM38510 /10304BPA	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of ≤ 1000 ppm threshold. Antimony trioxide based flame retardants must also meet the ≤ 1000 ppm threshold requirement.

(3) **MSL, Peak Temp.** - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) **Lead/Ball Finish** - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead/Ball Finish values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF LM211 :

● Automotive: [LM211-Q1](#)

● Enhanced Product: [LM211-EP](#)

NOTE: Qualified Version Definitions:

-
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects
 - Enhanced Product - Supports Defense, Aerospace and Medical Applications

TAPE AND REEL INFORMATION


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LM211DR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LM211DR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LM211DRG4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LM211DRG4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LM211PWR	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
LM211QDR	SOIC	D	8	2500	330.0	12.5	6.4	5.2	2.1	8.0	12.0	Q1
LM311DR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LM311DR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LM311DR	SOIC	D	8	2500	330.0	12.8	6.4	5.2	2.1	8.0	12.0	Q1
LM311DRG4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LM311DRG4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LM311PSR	SO	PS	8	2000	330.0	16.4	8.2	6.6	2.5	12.0	16.0	Q1
LM311PWR	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LM211DR	SOIC	D	8	2500	340.5	338.1	20.6
LM211DR	SOIC	D	8	2500	367.0	367.0	35.0
LM211DRG4	SOIC	D	8	2500	340.5	338.1	20.6
LM211DRG4	SOIC	D	8	2500	367.0	367.0	35.0
LM211PWR	TSSOP	PW	8	2000	367.0	367.0	35.0
LM211QDR	SOIC	D	8	2500	340.5	338.1	20.6
LM311DR	SOIC	D	8	2500	367.0	367.0	35.0
LM311DR	SOIC	D	8	2500	340.5	338.1	20.6
LM311DR	SOIC	D	8	2500	364.0	364.0	27.0
LM311DRG4	SOIC	D	8	2500	340.5	338.1	20.6
LM311DRG4	SOIC	D	8	2500	367.0	367.0	35.0
LM311PSR	SO	PS	8	2000	367.0	367.0	38.0
LM311PWR	TSSOP	PW	8	2000	367.0	367.0	35.0

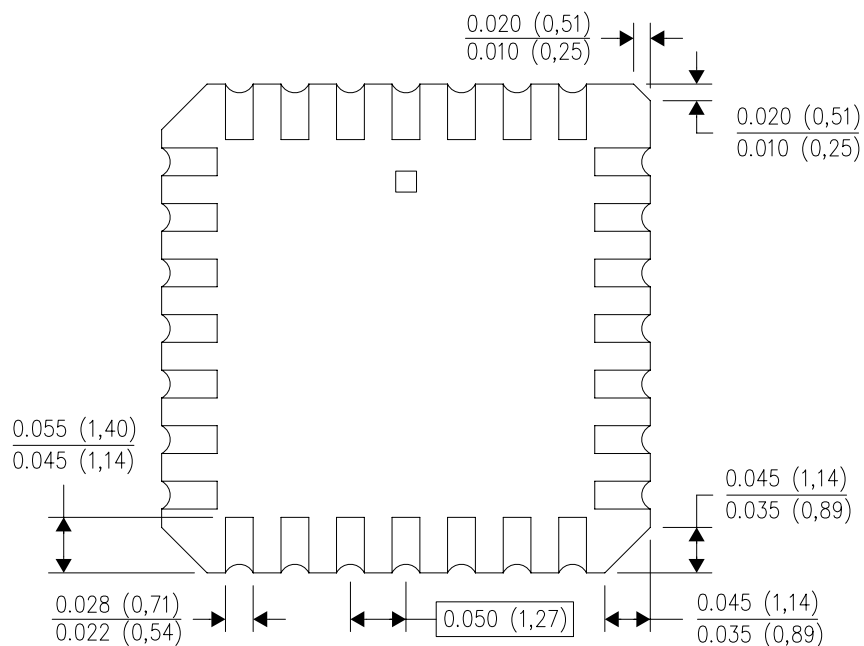
FK (S-CQCC-N**)

LEADLESS CERAMIC CHIP CARRIER

28 TERMINAL SHOWN



NO. OF TERMINALS **	A		B	
	MIN	MAX	MIN	MAX
20	0.342 (8,69)	0.358 (9,09)	0.307 (7,80)	0.358 (9,09)
28	0.442 (11,23)	0.458 (11,63)	0.406 (10,31)	0.458 (11,63)
44	0.640 (16,26)	0.660 (16,76)	0.495 (12,58)	0.560 (14,22)
52	0.740 (18,78)	0.761 (19,32)	0.495 (12,58)	0.560 (14,22)
68	0.938 (23,83)	0.962 (24,43)	0.850 (21,6)	0.858 (21,8)
84	1.141 (28,99)	1.165 (29,59)	1.047 (26,6)	1.063 (27,0)



4040140/D 01/11

- NOTES:
- All linear dimensions are in inches (millimeters).
 - This drawing is subject to change without notice.
 - This package can be hermetically sealed with a metal lid.
 - Falls within JEDEC MS-004

D (R-PDSO-G8)

PLASTIC SMALL OUTLINE



NOTES:

- A. All linear dimensions are in inches (millimeters).
- B. This drawing is subject to change without notice.
- $\triangle C$ Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
- $\triangle D$ Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
- E. Reference JEDEC MS-012 variation AA.

D (R-PDSO-G8)

PLASTIC SMALL OUTLINE

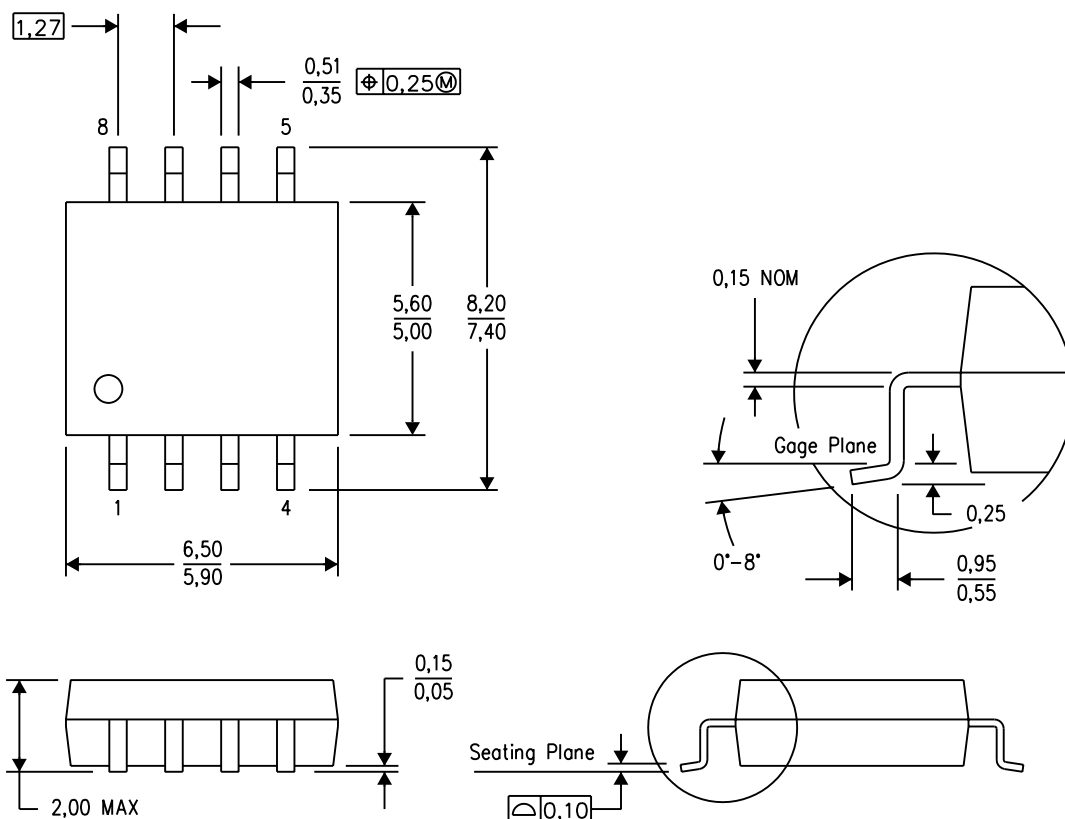


- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Publication IPC-7351 is recommended for alternate designs.
 - D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC-7525 for other stencil recommendations.
 - E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

MECHANICAL DATA

PS (R-PDSO-G8)

PLASTIC SMALL-OUTLINE PACKAGE

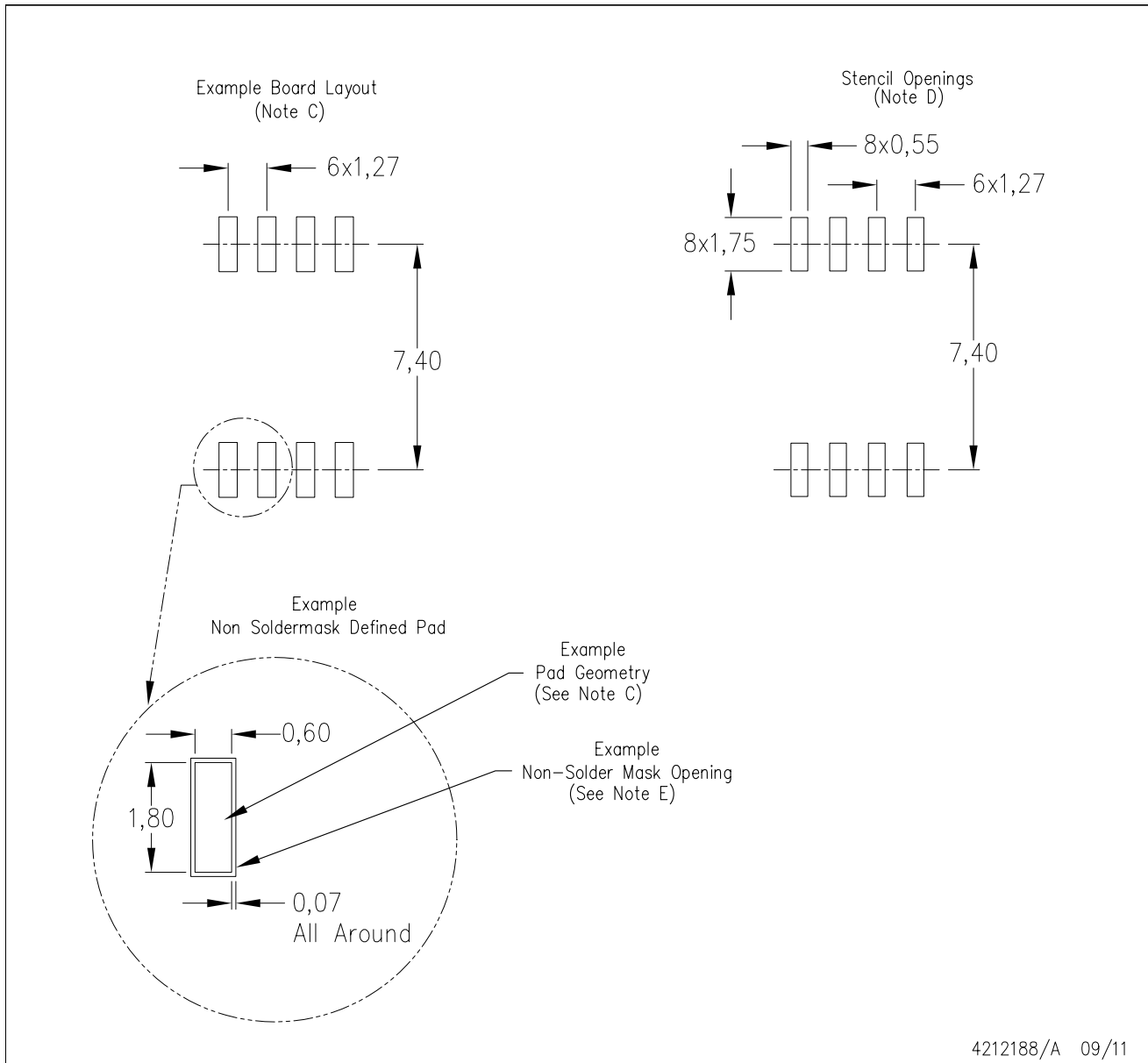


4040063/C 03/03

- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

PS (R-PDSO-G8)

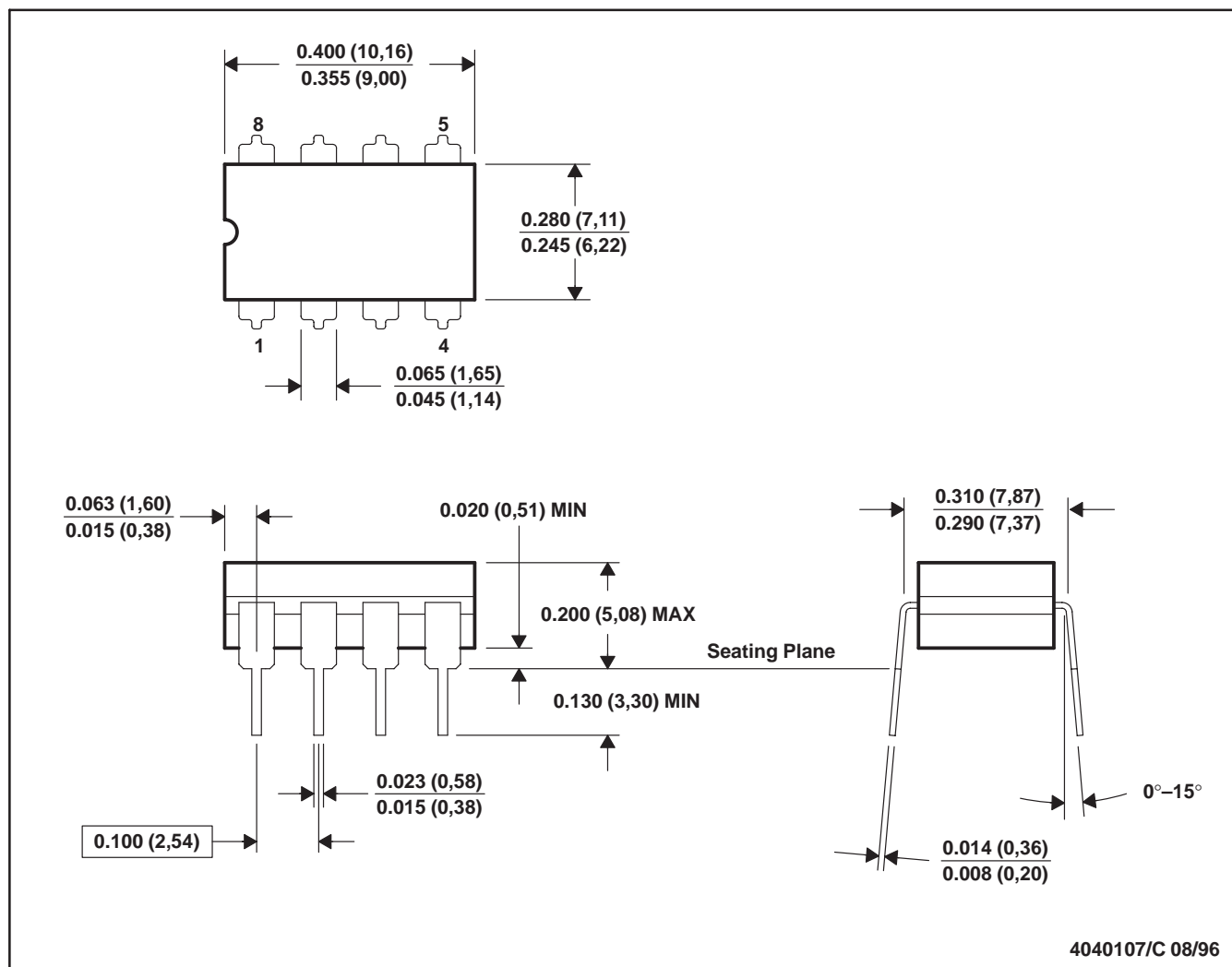
PLASTIC SMALL OUTLINE



- NOTES:
- All linear dimensions are in millimeters.
 - This drawing is subject to change without notice.
 - Publication IPC-7351 is recommended for alternate designs.
 - Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC-7525 for other stencil recommendations.
 - Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

JG (R-GDIP-T8)

CERAMIC DUAL-IN-LINE



- NOTES: A. All linear dimensions are in inches (millimeters).
 B. This drawing is subject to change without notice.
 C. This package can be hermetically sealed with a ceramic lid using glass frit.
 D. Index point is provided on cap for terminal identification.
 E. Falls within MIL STD 1835 GDIP1-T8

P (R-PDIP-T8)

PLASTIC DUAL-IN-LINE PACKAGE



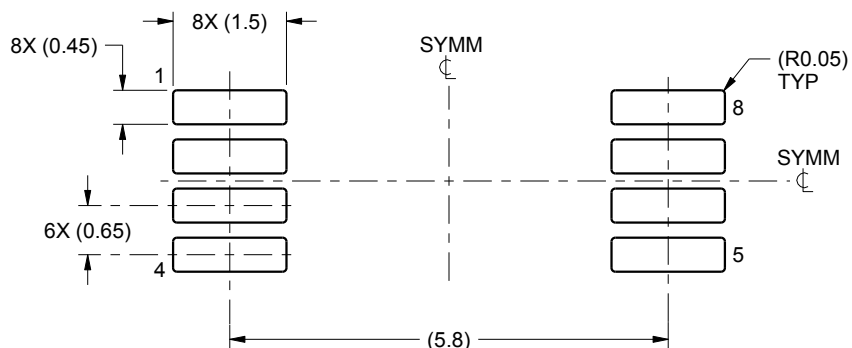
- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - C. Falls within JEDEC MS-001 variation BA.

EXAMPLE BOARD LAYOUT

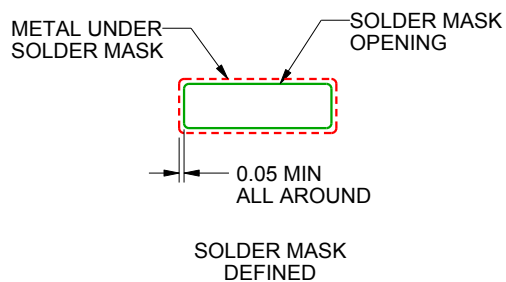
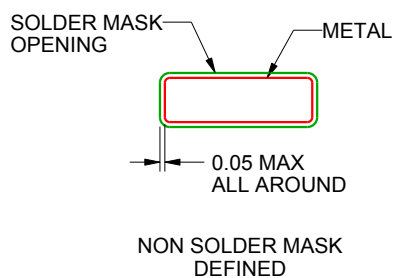
PW0008A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
SCALE:10X



SOLDER MASK DETAILS
NOT TO SCALE

4221848/A 02/2015

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

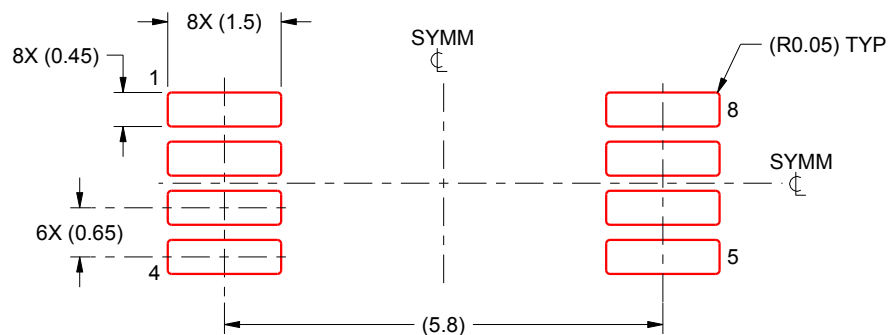
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0008A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:10X

4221848/A 02/2015

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

IMPORTANT NOTICE

Texas Instruments Incorporated (TI) reserves the right to make corrections, enhancements, improvements and other changes to its semiconductor products and services per JESD46, latest issue, and to discontinue any product or service per JESD48, latest issue. Buyers should obtain the latest relevant information before placing orders and should verify that such information is current and complete.

TI's published terms of sale for semiconductor products (<http://www.ti.com/sc/docs/stdterms.htm>) apply to the sale of packaged integrated circuit products that TI has qualified and released to market. Additional terms may apply to the use or sale of other types of TI products and services.

Reproduction of significant portions of TI information in TI data sheets is permissible only if reproduction is without alteration and is accompanied by all associated warranties, conditions, limitations, and notices. TI is not responsible or liable for such reproduced documentation. Information of third parties may be subject to additional restrictions. Resale of TI products or services with statements different from or beyond the parameters stated by TI for that product or service voids all express and any implied warranties for the associated TI product or service and is an unfair and deceptive business practice. TI is not responsible or liable for any such statements.

Buyers and others who are developing systems that incorporate TI products (collectively, "Designers") understand and agree that Designers remain responsible for using their independent analysis, evaluation and judgment in designing their applications and that Designers have full and exclusive responsibility to assure the safety of Designers' applications and compliance of their applications (and of all TI products used in or for Designers' applications) with all applicable regulations, laws and other applicable requirements. Designer represents that, with respect to their applications, Designer has all the necessary expertise to create and implement safeguards that (1) anticipate dangerous consequences of failures, (2) monitor failures and their consequences, and (3) lessen the likelihood of failures that might cause harm and take appropriate actions. Designer agrees that prior to using or distributing any applications that include TI products, Designer will thoroughly test such applications and the functionality of such TI products as used in such applications.

TI's provision of technical, application or other design advice, quality characterization, reliability data or other services or information, including, but not limited to, reference designs and materials relating to evaluation modules, (collectively, "TI Resources") are intended to assist designers who are developing applications that incorporate TI products; by downloading, accessing or using TI Resources in any way, Designer (individually or, if Designer is acting on behalf of a company, Designer's company) agrees to use any particular TI Resource solely for this purpose and subject to the terms of this Notice.

TI's provision of TI Resources does not expand or otherwise alter TI's applicable published warranties or warranty disclaimers for TI products, and no additional obligations or liabilities arise from TI providing such TI Resources. TI reserves the right to make corrections, enhancements, improvements and other changes to its TI Resources. TI has not conducted any testing other than that specifically described in the published documentation for a particular TI Resource.

Designer is authorized to use, copy and modify any individual TI Resource only in connection with the development of applications that include the TI product(s) identified in such TI Resource. NO OTHER LICENSE, EXPRESS OR IMPLIED, BY ESTOPPEL OR OTHERWISE TO ANY OTHER TI INTELLECTUAL PROPERTY RIGHT, AND NO LICENSE TO ANY TECHNOLOGY OR INTELLECTUAL PROPERTY RIGHT OF TI OR ANY THIRD PARTY IS GRANTED HEREIN, including but not limited to any patent right, copyright, mask work right, or other intellectual property right relating to any combination, machine, or process in which TI products or services are used. Information regarding or referencing third-party products or services does not constitute a license to use such products or services, or a warranty or endorsement thereof. Use of TI Resources may require a license from a third party under the patents or other intellectual property of the third party, or a license from TI under the patents or other intellectual property of TI.

TI RESOURCES ARE PROVIDED "AS IS" AND WITH ALL FAULTS. TI DISCLAIMS ALL OTHER WARRANTIES OR REPRESENTATIONS, EXPRESS OR IMPLIED, REGARDING RESOURCES OR USE THEREOF, INCLUDING BUT NOT LIMITED TO ACCURACY OR COMPLETENESS, TITLE, ANY EPIDEMIC FAILURE WARRANTY AND ANY IMPLIED WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, AND NON-INFRINGEMENT OF ANY THIRD PARTY INTELLECTUAL PROPERTY RIGHTS. TI SHALL NOT BE LIABLE FOR AND SHALL NOT DEFEND OR INDEMNIFY DESIGNER AGAINST ANY CLAIM, INCLUDING BUT NOT LIMITED TO ANY INFRINGEMENT CLAIM THAT RELATES TO OR IS BASED ON ANY COMBINATION OF PRODUCTS EVEN IF DESCRIBED IN TI RESOURCES OR OTHERWISE. IN NO EVENT SHALL TI BE LIABLE FOR ANY ACTUAL, DIRECT, SPECIAL, COLLATERAL, INDIRECT, PUNITIVE, INCIDENTAL, CONSEQUENTIAL OR EXEMPLARY DAMAGES IN CONNECTION WITH OR ARISING OUT OF TI RESOURCES OR USE THEREOF, AND REGARDLESS OF WHETHER TI HAS BEEN ADVISED OF THE POSSIBILITY OF SUCH DAMAGES.

Unless TI has explicitly designated an individual product as meeting the requirements of a particular industry standard (e.g., ISO/TS 16949 and ISO 26262), TI is not responsible for any failure to meet such industry standard requirements.

Where TI specifically promotes products as facilitating functional safety or as compliant with industry functional safety standards, such products are intended to help enable customers to design and create their own applications that meet applicable functional safety standards and requirements. Using products in an application does not by itself establish any safety features in the application. Designers must ensure compliance with safety-related requirements and standards applicable to their applications. Designer may not use any TI products in life-critical medical equipment unless authorized officers of the parties have executed a special contract specifically governing such use. Life-critical medical equipment is medical equipment where failure of such equipment would cause serious bodily injury or death (e.g., life support, pacemakers, defibrillators, heart pumps, neurostimulators, and implantables). Such equipment includes, without limitation, all medical devices identified by the U.S. Food and Drug Administration as Class III devices and equivalent classifications outside the U.S.

TI may expressly designate certain products as completing a particular qualification (e.g., Q100, Military Grade, or Enhanced Product). Designers agree that it has the necessary expertise to select the product with the appropriate qualification designation for their applications and that proper product selection is at Designers' own risk. Designers are solely responsible for compliance with all legal and regulatory requirements in connection with such selection.

Designer will fully indemnify TI and its representatives against any damages, costs, losses, and/or liabilities arising out of Designer's non-compliance with the terms and provisions of this Notice.

DATA SHEET

74HC74; 74HCT74

Dual D-type flip-flop with set and reset; positive-edge trigger

Product specification
Supersedes data of 1998 Feb 23

2003 Jul 10

Dual D-type flip-flop with set and reset; positive-edge trigger

74HC74; 74HCT74

FEATURES

- Wide supply voltage range from 2.0 to 6.0 V
- Symmetrical output impedance
- High noise immunity
- Low power dissipation
- Balanced propagation delays
- ESD protection:
HBM EIA/JESD22-A114-A exceeds 2000 V
MM EIA/JESD22-A115-A exceeds 200 V.

GENERAL DESCRIPTION

The 74HC/HCT74 is a high-speed Si-gate CMOS device and is pin compatible with low power Schottky TTL (LSTTL). They are specified in compliance with JEDEC standard no. 7A.

The 74HC/HCT74 are dual positive-edge triggered, D-type flip-flops with individual data (D) inputs, clock (CP) inputs, set (\overline{SD}) and reset (\overline{RD}) inputs; also complementary Q and \overline{Q} outputs.

The set and reset are asynchronous active LOW inputs and operate independently of the clock input. Information on the data input is transferred to the Q output on the LOW-to-HIGH transition of the clock pulse. The D inputs must be stable one set-up time prior to the LOW-to-HIGH clock transition for predictable operation.

Schmitt-trigger action in the clock input makes the circuit highly tolerant to slower clock rise and fall times.

QUICK REFERENCE DATA

GND = 0 V; $T_{amb} = 25\text{ }^{\circ}\text{C}$; $t_r = t_f = 6\text{ ns}$

SYMBOL	PARAMETER	CONDITIONS	TYPICAL		UNIT
			HC	HCT	
t_{PHL}/t_{PLH}	propagation delay nCP to nQ, $n\overline{Q}$ n \overline{SD} to nQ, $n\overline{Q}$ n \overline{RD} to nQ, $n\overline{Q}$	$C_L = 15\text{ pF}$; $V_{CC} = 5\text{ V}$	14 15 16	15 18 18	ns ns ns
f_{max}	maximum clock frequency		76	59	MHz
C_I	input capacitance		3.5	3.5	pF
C_{PD}	power dissipation capacitance per flip-flop	notes 1 and 2	24	29	pF

Notes

1. C_{PD} is used to determine the dynamic power dissipation (P_D in μW).

$P_D = C_{PD} \times V_{CC}^2 \times f_i \times N + \Sigma(C_L \times V_{CC}^2 \times f_o)$ where:

f_i = input frequency in MHz;

f_o = output frequency in MHz;

C_L = output load capacitance in pF;

V_{CC} = supply voltage in Volts;

N = total load switching outputs;

$\Sigma(C_L \times V_{CC}^2 \times f_o)$ = sum of the outputs.

2. For 74HC74 the condition is $V_I = \text{GND to } V_{CC}$.

For 74HCT74 the condition is $V_I = \text{GND to } V_{CC} - 1.5\text{ V}$.

Dual D-type flip-flop with set and reset; positive-edge trigger

74HC74; 74HCT74

FUNCTION TABLES

Table 1 See note 1

INPUT				OUTPUT	
\overline{SD}	\overline{RD}	CP	D	Q	\overline{Q}
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H	H

Table 2 See note 1

INPUT				OUTPUT	
\overline{SD}	\overline{RD}	CP	D	Q _{n+1}	\overline{Q}_{n+1}
H	H	↑	L	L	H
H	H	↑	H	H	L

Note

1. H = HIGH voltage level;
L = LOW voltage level;
X = don't care;
↑ = LOW-to-HIGH CP transition;
Q_{n+1} = state after the next LOW-to-HIGH CP transition.

ORDERING INFORMATION

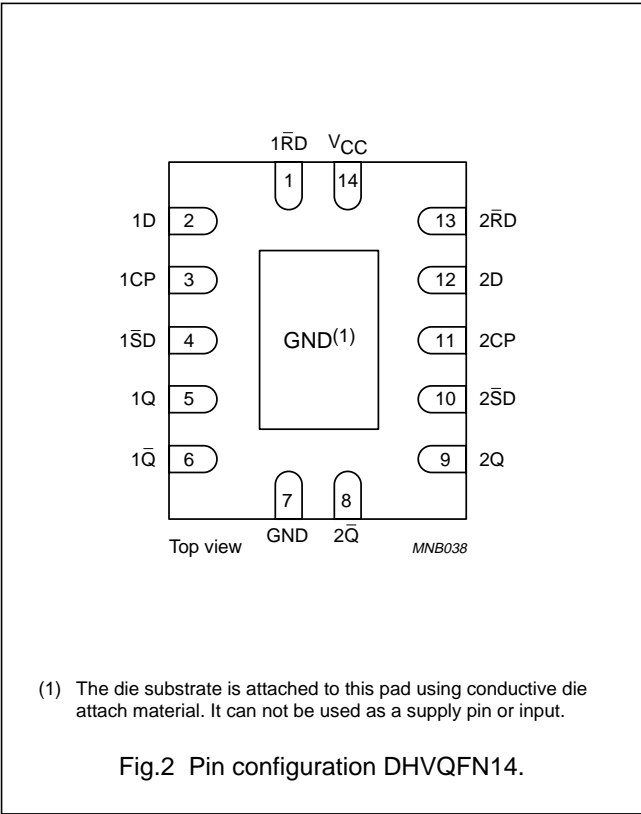
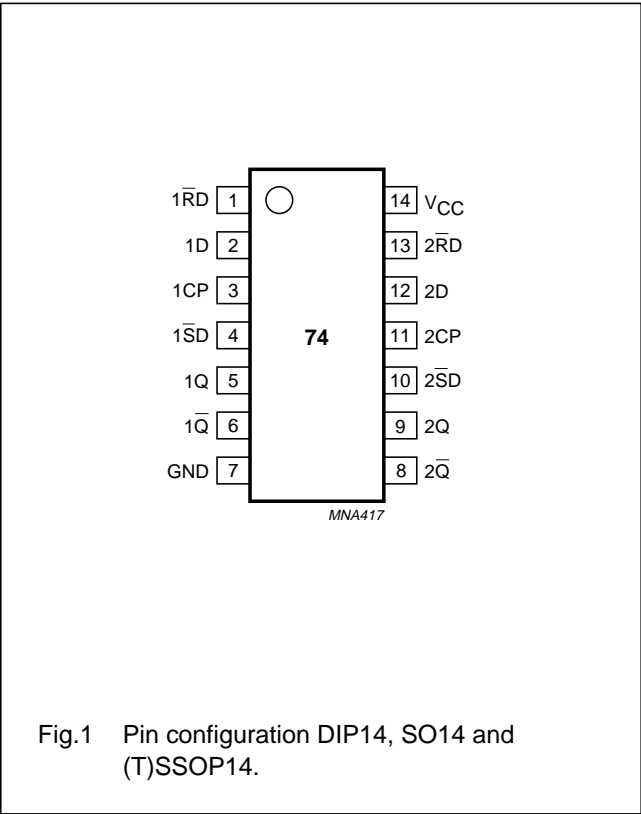
TYPE NUMBER	PACKAGE				
	TEMPERATURE RANGE	PINS	PACKAGE	MATERIAL	CODE
74HC74N	−40 to +125 °C	14	DIP14	plastic	SOT27-1
74HCT74N	−40 to +125 °C	14	DIP14	plastic	SOT27-1
74HC74D	−40 to +125 °C	14	SO14	plastic	SOT108-1
74HCT74D	−40 to +125 °C	14	SO14	plastic	SOT108-1
74HC74DB	−40 to +125 °C	14	SSOP14	plastic	SOT337-1
74HCT74DB	−40 to +125 °C	14	SSOP14	plastic	SOT337-1
74HC74PW	−40 to +125 °C	14	TSSOP14	plastic	SOT402-1
74HCT74PW	−40 to +125 °C	14	TSSOP14	plastic	SOT402-1
74HC74BQ	−40 to +125 °C	14	DHVQFN14	plastic	SOT762-1
74HCT74BQ	−40 to +125 °C	14	DHVQFN14	plastic	SOT762-1

Dual D-type flip-flop with set and reset;
positive-edge trigger

74HC74; 74HCT74

PINNING

PIN	SYMBOL	DESCRIPTION
1	1 $\overline{\text{RD}}$	asynchronous reset-direct input (active LOW)
2	1D	data input
3	1CP	clock input (LOW-to-HIGH, edge-triggered)
4	1 $\overline{\text{SD}}$	asynchronous set-direct input (active LOW)
5	1Q	true flip-flop output
6	1 $\overline{\text{Q}}$	complement flip-flop output
7	GND	ground (0 V)
8	2 $\overline{\text{Q}}$	complement flip-flop output
9	2Q	true flip-flop output
10	2 $\overline{\text{SD}}$	asynchronous set-direct input (active LOW)
11	2CP	clock input (LOW-to-HIGH, edge-triggered)
12	2D	data input
13	2 $\overline{\text{RD}}$	asynchronous reset-direct input (active LOW)
14	V _{CC}	positive supply voltage



Dual D-type flip-flop with set and reset;
positive-edge trigger

74HC74; 74HCT74

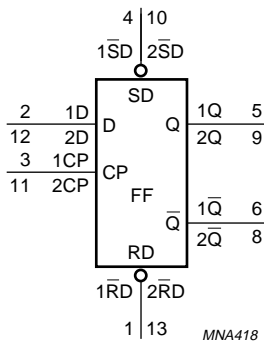


Fig.3 Logic symbol.

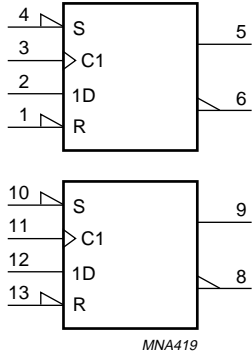


Fig.4 IEC logic symbol.

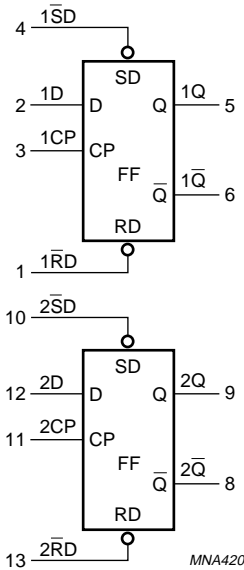


Fig.5 Functional diagram.

Dual D-type flip-flop with set and reset; positive-edge trigger

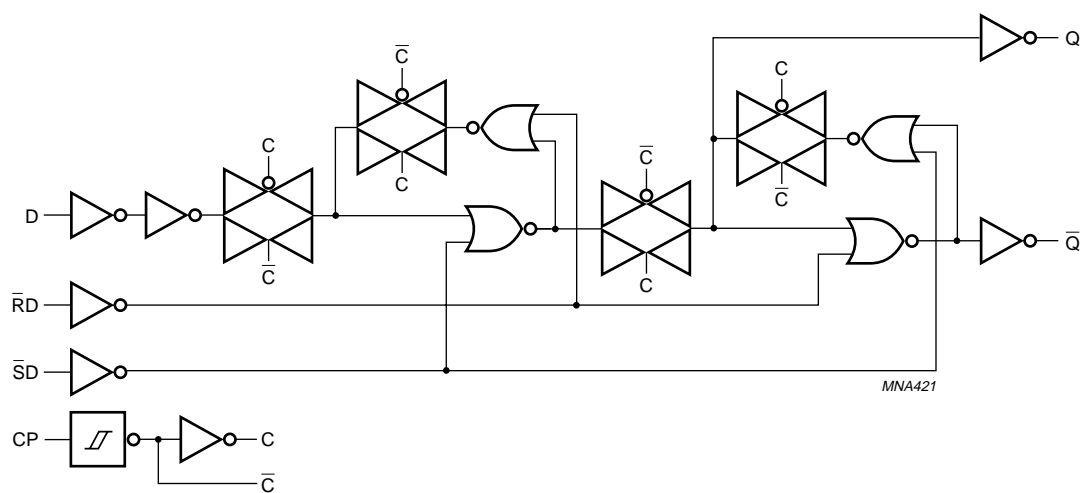
74HC74; 74HCT74

Fig.6 Logic diagram (one flip-flop).

Dual D-type flip-flop with set and reset; positive-edge trigger

74HC74; 74HCT74

RECOMMENDED OPERATING CONDITIONS

SYMBOL	PARAMETER	CONDITIONS	74HC74			74HCT74			UNIT
			MIN.	TYP.	MAX.	MIN.	TYP.	MAX.	
V_{CC}	supply voltage		2.0	5.0	6.0	4.5	5.0	5.5	V
V_I	input voltage		0	–	V_{CC}	0	–	V_{CC}	V
V_O	output voltage		0	–	V_{CC}	0	–	V_{CC}	V
T_{amb}	operating ambient temperature		–40	+25	+125	–40	+25	+125	°C
t_r, t_f	input rise and fall times	$V_{CC} = 2.0\text{ V}$	–	–	1000	–	–	500	ns
		$V_{CC} = 4.5\text{ V}$	–	6.0	500	–	6.0	500	ns
		$V_{CC} = 6.0\text{ V}$	–	–	400	–	–	500	ns

LIMITING VALUES

In accordance with the Absolute Maximum Rating System (IEC 60134); voltages are referenced to GND (ground = 0 V).

SYMBOL	PARAMETER	CONDITIONS	MIN.	MAX.	UNIT
V_{CC}	supply voltage		–0.5	+7.0	V
I_{IK}	input diode current	$V_I < -0.5\text{ V}$ or $V_I > V_{CC} + 0.5\text{ V}$; note 1	–	±20	mA
I_{OK}	output diode current	$V_O < -0.5\text{ V}$ or $V_O > V_{CC} + 0.5\text{ V}$; note 1	–	±20	mA
I_O	output source or sink current	$-0.5\text{ V} < V_O < V_{CC} + 0.5\text{ V}$; note 1	–	±25	mA
I_{CC}, I_{GND}	V_{CC} or GND current		–	±100	mA
T_{stg}	storage temperature		–65	+150	°C
P_{tot}	power dissipation	$T_{amb} = -40\text{ to }+125\text{ °C}$; note 2	–	500	mW

Notes

1. The input and output voltage ratings may be exceeded if the input and output current ratings are observed.
2. For SO14 packages: above 70 °C derate linearly with 8 mW/K.
For SSOP14 and TSSOP14 packages: above 60 °C derate linearly with 5.5 mW/K.
For DHVQFN14 packages: above 60 °C derate linearly with 4.5 mW/K.
For DIP14 packages: above 70 °C derate linearly with 12 mW/K.

Dual D-type flip-flop with set and reset; positive-edge trigger

74HC74; 74HCT74

DC CHARACTERISTICS

Family 74HC

At recommended operating conditions; voltages are referenced to GND (ground = 0 V).

SYMBOL	PARAMETER	TEST CONDITIONS		MIN.	TYP.	MAX.	UNIT
		WAVEFORMS	V _{CC} (V)				
T _{amb} = –40 to +85 °C; note 1							
V _{IH}	HIGH-level input voltage		2.0	1.5	1.2	–	V
			4.5	3.15	2.4	–	V
			6.0	4.2	3.2	–	V
V _{IL}	LOW-level input voltage		2.0	–	0.8	0.5	V
			4.5	–	2.1	1.35	V
			6.0	–	2.8	1.8	V
V _{OH}	HIGH-level output voltage	V _I = V _{IH} or V _{IL} I _O = –4.0 mA I _O = –5.2 mA					
			4.5	3.84	4.32	–	V
			6.0	5.34	5.81	–	V
V _{OL}	LOW-level output voltage	V _I = V _{IH} or V _{IL} I _O = 4.0 mA I _O = 5.2 mA					
			4.5	–	0.15	0.33	V
			6.0	–	0.16	0.33	V
I _{LI}	input leakage current	V _I = V _{CC} or GND	6.0	–	–	±1.0	μA
I _{CC}	quiescent supply current	V _I = V _{CC} or GND; I _O = 0	6.0	–	–	40	μA
T _{amb} = –40 to +125 °C							
V _{IH}	HIGH-level input voltage		2.0	1.5	–	–	V
			4.5	3.15	–	–	V
			6.0	4.2	–	–	V
V _{IL}	LOW-level input voltage		2.0	–	–	0.5	V
			4.5	–	–	1.35	V
			6.0	–	–	1.8	V
V _{OH}	HIGH-level output voltage	V _I = V _{IH} or V _{IL} I _O = –4.0 mA I _O = –5.2 mA					
			4.5	3.7	–	–	V
			6.0	5.2	–	–	V
V _{OL}	LOW-level output voltage	V _I = V _{IH} or V _{IL} I _O = 4.0 mA I _O = 5.2 mA					
			4.5	–	–	0.4	V
			6.0	–	–	0.4	V
I _{LI}	input leakage current	V _I = V _{CC} or GND	6.0	–	–	±1.0	μA
I _{CC}	quiescent supply current	V _I = V _{CC} or GND; I _O = 0	6.0	–	–	80	μA

Note

1. All typical values are measured at T_{amb} = 25 °C.

Dual D-type flip-flop with set and reset; positive-edge trigger

74HC74; 74HCT74

Family 74HCT

At recommended operating conditions; voltages are referenced to GND (ground = 0 V).

SYMBOL	PARAMETER	TEST CONDITIONS		MIN.	TYP.	MAX.	UNIT
		WAVEFORMS	V _{CC} (V)				
T _{amb} = −40 to +85 °C; note 1							
V _{IH}	HIGH-level input voltage		4.5 to 5.5	2.0	1.6	–	V
V _{IL}	LOW-level input voltage		4.5 to 5.5	–	1.2	0.8	V
V _{OH}	HIGH-level output voltage	V _I = V _{IH} or V _{IL} ; I _O = −4.0 mA	4.5	3.84	4.32	–	V
V _{OL}	LOW-level output voltage	V _I = V _{IH} or V _{IL} ; I _O = 4.0 mA	4.5	0.33	0.15	–	V
I _{LI}	input leakage current	V _I = V _{CC} or GND	5.5	–	–	±1.0	μA
I _{CC}	quiescent supply current	V _I = V _{CC} or GND; I _O = 0	5.5	–	–	40	μA
ΔI _{CC}	additional quiescent supply current per input	V _I = V _{CC} −2.1 V other inputs at V _{CC} or GND; I _O = 0	4.5 to 5.5	–	100	450	μA
T _{amb} = −40 to +125 °C							
V _{IH}	HIGH-level input voltage		4.5 to 5.5	2.0	–	–	V
V _{IL}	LOW-level input voltage		4.5 to 5.5	–	–	0.8	V
V _{OH}	HIGH-level output voltage	V _I = V _{IH} or V _{IL} ; I _O = −4.0 mA	4.5	3.7	–	–	V
V _{OL}	LOW-level output voltage	V _I = V _{IH} or V _{IL} ; I _O = 4.0 mA	4.5	–	–	0.4	V
I _{LI}	input leakage current	V _I = V _{CC} or GND	5.5	–	–	±1.0	μA
I _{CC}	quiescent supply current	V _I = V _{CC} or GND; I _O = 0	5.5	–	–	80	μA
ΔI _{CC}	additional quiescent supply current per input	V _I = V _{CC} −2.1 V other inputs at V _{CC} or GND; I _O = 0	4.5 to 5.5	–	–	490	μA

Note

1. All typical values are measured at T_{amb} = 25 °C.

Remark to HCT types

The value of additional quiescent supply current (ΔI_{CC}) for a unit load of 1 is given here. To determine ΔI_{CC} per input, multiply this value by the unit load coefficient shown in the table.

INPUT	UNIT LOAD COEFFICIENT
nD	0.70
nRD	0.70
nSD	0.80
nCP	0.80

Dual D-type flip-flop with set and reset; positive-edge trigger

74HC74; 74HCT74

AC CHARACTERISTICS

Family 74HC

GND = 0 V; $t_r = t_f = 6$ ns; $C_L = 50$ pF.

SYMBOL	PARAMETER	TEST CONDITIONS		MIN.	TYP.	MAX.	UNIT
		WAVEFORMS	V _{CC} (V)				
T _{amb} = −40 to +85 °C							
t _{PHL} /t _{PLH}	propagation delay nCP to nQ, nQ̄	see Fig.7	2.0	–	47	220	ns
			4.5	–	17	44	ns
			6.0	–	14	37	ns
	propagation delay nSD to nQ, nQ̄	see Fig.8	2.0	–	50	250	ns
			4.5	–	18	50	ns
			6.0	–	14	43	ns
	propagation delay nRD to nQ, nQ̄	see Fig.8	2.0	–	52	250	ns
			4.5	–	19	50	ns
			6.0	–	15	43	ns
t _{THL} /t _{TLH}	output transition time	see Fig.7	2.0	–	19	95	ns
			4.5	–	7	19	ns
			6.0	–	6	16	ns
t _w	clock pulse width HIGH or LOW	see Fig.7	2.0	100	19	–	ns
			4.5	20	7	–	ns
			6.0	17	6	–	ns
	set or reset pulse width LOW	see Fig.8	2.0	100	19	–	ns
			4.5	20	7	–	ns
			6.0	17	6	–	ns
t _{rem}	removal time set or reset	see Fig.8	2.0	40	3	–	ns
			4.5	8	1	–	ns
			6.0	7	1	–	ns
t _{su}	set-up time nD to nCP	see Fig.7	2.0	75	6	–	ns
			4.5	15	2	–	ns
			6.0	13	2	–	ns
t _h	hold time nCP to nD	see Fig.7	2.0	3	−6	–	ns
			4.5	3	−2	–	ns
			6.0	3	−2	–	ns
f _{max}	maximum clock pulse frequency	see Fig.7	2.0	4.8	23	–	MHz
			4.5	24	69	–	MHz
			6.0	28	82	–	MHz

Dual D-type flip-flop with set and reset;
positive-edge trigger

74HC74; 74HCT74

SYMBOL	PARAMETER	TEST CONDITIONS		MIN.	TYP.	MAX.	UNIT
		WAVEFORMS	V _{CC} (V)				
T _{amb} = −40 to +125 °C							
t _{PHL} /t _{PLH}	propagation delay nCP to nQ, nQ̄	see Fig.7	2.0	–	–	265	ns
			4.5	–	–	53	ns
			6.0	–	–	45	ns
	propagation delay nSD to nQ, nQ̄	see Fig.8	2.0	–	–	300	ns
			4.5	–	–	60	ns
			6.0	–	–	51	ns
	propagation delay nRD to nQ, nQ̄	see Fig.8	2.0	–	–	300	ns
			4.5	–	–	60	ns
			6.0	–	–	51	ns
t _{THL} /t _{TLH}	output transition time	see Fig.7	2.0	–	–	110	ns
			4.5	–	–	22	ns
			6.0	–	–	19	ns
t _w	clock pulse width HIGH or LOW	see Fig.7	2.0	120	–	–	ns
			4.5	24	–	–	ns
			6.0	20	–	–	ns
t _w	set or reset pulse width LOW	see Fig.8	2.0	120	–	–	ns
			4.5	24	–	–	ns
			6.0	20	–	–	ns
t _{rem}	removal time set or reset	see Fig.8	2.0	45	–	–	ns
			4.5	9	–	–	ns
			6.0	8	–	–	ns
t _{su}	set-up time nD to nCP	see Fig.7	2.0	90	–	–	ns
			4.5	18	–	–	ns
			6.0	15	–	–	ns
t _h	hold time nCP to nD	see Fig.7	2.0	3	–	–	ns
			4.5	3	–	–	ns
			6.0	3	–	–	ns
f _{max}	maximum clock pulse frequency	see Fig.7	2.0	4.0	–	–	MHz
			4.5	20	–	–	MHz
			6.0	24	–	–	MHz

Dual D-type flip-flop with set and reset; positive-edge trigger

74HC74; 74HCT74

Family 74HCT

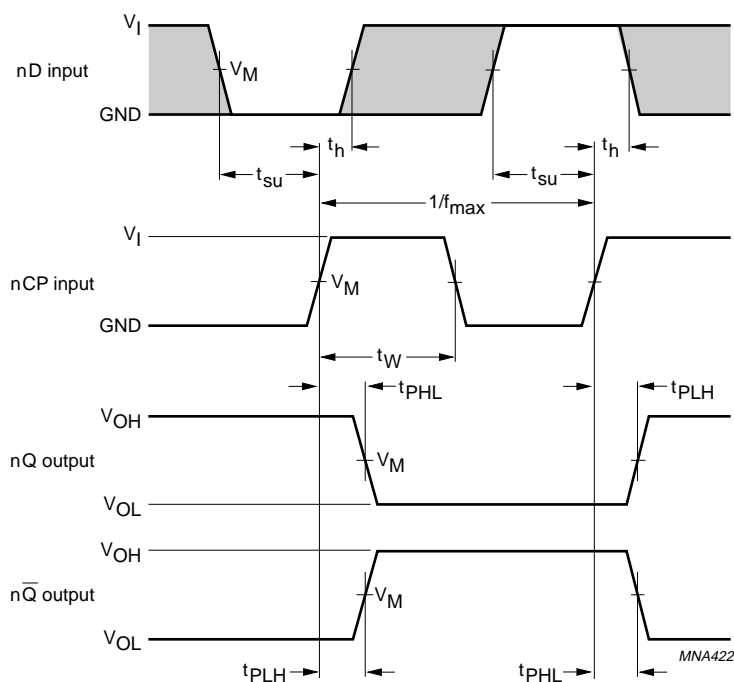
GND = 0 V; $t_r = t_f = 6$ ns; $C_L = 50$ pF.

SYMBOL	PARAMETER	TEST CONDITIONS		MIN.	TYP.	MAX.	UNIT
		WAVEFORMS	V _{CC} (V)				
T _{amb} = −40 to +85 °C							
t _{PHL} /t _{PLH}	propagation delay nCP to nQ, nQ̄	see Fig.7	4.5	–	18	44	ns
	propagation delay nSD to nQ, nQ̄	see Fig.8	4.5	–	23	50	ns
	propagation delay nRD to nQ, nQ̄	see Fig.8	4.5	–	24	50	ns
t _{THL} /t _{TLH}	output transition time	see Fig.7	4.5	–	7	19	ns
t _W	clock pulse width HIGH or LOW	see Fig.7	4.5	23	9	–	ns
	set or reset pulse width LOW	see Fig.8	4.5	20	9	–	ns
t _{rem}	removal time set or reset	see Fig.8	4.5	8	1	–	ns
t _{su}	set-up time nD to nCP	see Fig.7	4.5	15	5	–	ns
t _h	hold time nCP to nD	see Fig.7	4.5	+3	−3	–	ns
f _{max}	maximum clock pulse frequency	see Fig.7	4.5	22	54	–	MHz
T _{amb} = −40 to +125 °C							
t _{PHL} /t _{PLH}	propagation delay nCP to nQ, nQ̄	see Fig.7	4.5	–	–	53	ns
	propagation delay nSD to nQ, nQ̄	see Fig.8	4.5	–	–	60	ns
	propagation delay nRD to nQ, nQ̄	see Fig.8	4.5	–	–	60	ns
t _{THL} /t _{TLH}	output transition time	see Fig.7	4.5	–	–	22	ns
t _W	clock pulse width HIGH or LOW	see Fig.7	4.5	27	–	–	ns
	set or reset pulse width LOW	see Fig.8	4.5	24	–	–	ns
t _{rem}	removal time set or reset	see Fig.8	4.5	9	–	–	ns
t _{su}	set-up time nD to nCP	see Fig.7	4.5	18	–	–	ns
t _h	hold time nCP to nD	see Fig.7	4.5	3	–	–	ns
f _{max}	maximum clock pulse frequency	see Fig.7	4.5	18	–	–	MHz

Dual D-type flip-flop with set and reset; positive-edge trigger

74HC74; 74HCT74

AC WAVEFORMS



The shaded areas indicate when the input is permitted to change for predictable output performance.

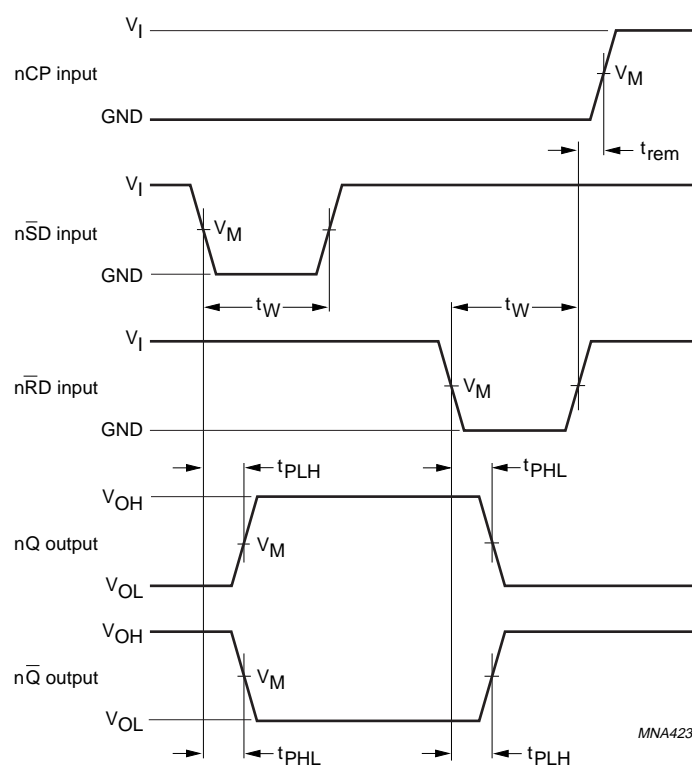
74HC74: $V_M = 50\%$; $V_I = \text{GND to } V_{CC}$.

74HCT74: $V_M = 1.3 \text{ V}$; $V_I = \text{GND to } 3 \text{ V}$.

Fig.7 The clock (nCP) to output (nQ, \overline{nQ}) propagation delays, the clock pulse width, the nD to nCP set-up, the nCP to nD hold times, the output transition times and the maximum clock pulse frequency.

Dual D-type flip-flop with set and reset; positive-edge trigger

74HC74; 74HCT74



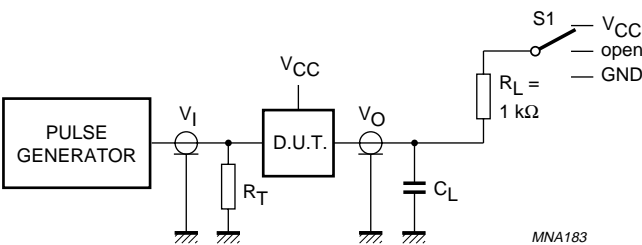
74HC74: $V_M = 50\%$; $V_I = \text{GND to } V_{CC}$.

74HCT74: $V_M = 1.3 \text{ V}$; $V_I = \text{GND to } 3 \text{ V}$.

Fig.8 The set (\overline{nSD}) and reset (\overline{nRD}) input to output (nQ , \overline{nQ}) propagation delays, the set and reset pulse widths and the \overline{nRD} , \overline{nRD} to nCP removal time.

Dual D-type flip-flop with set and reset;
positive-edge trigger

74HC74; 74HCT74



TEST	S1
t _{pZH}	GND
t _{pZL}	V _{CC}
t _{pHZ}	GND
t _{pLZ}	V _{CC}

Definitions for test circuit:
R_L = Load resistor.
C_L = Load capacitance including jig and probe capacitance.
R_T = Termination resistance should be equal to the output impedance Z_o of the pulse generator.

Fig.9 Load circuitry for switching times.

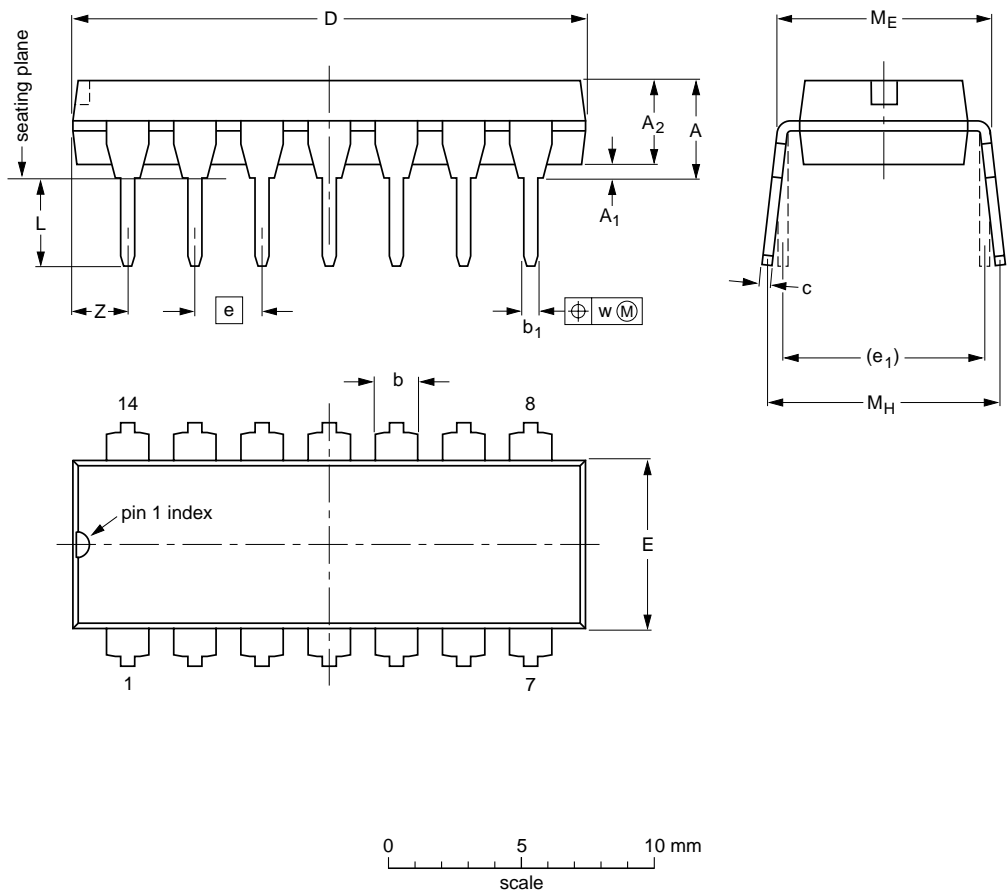
Dual D-type flip-flop with set and reset;
positive-edge trigger

74HC74; 74HCT74

PACKAGE OUTLINES

DIP14: plastic dual in-line package; 14 leads (300 mil)

SOT27-1



DIMENSIONS (inch dimensions are derived from the original mm dimensions)

UNIT	A max.	A ₁ min.	A ₂ max.	b	b ₁	c	D ⁽¹⁾	E ⁽¹⁾	e	e ₁	L	M _E	M _H	w	Z ⁽¹⁾ max.
mm	4.2	0.51	3.2	1.73 1.13	0.53 0.38	0.36 0.23	19.50 18.55	6.48 6.20	2.54	7.62	3.60 3.05	8.25 7.80	10.0 8.3	0.254	2.2
inches	0.17	0.02	0.13	0.068 0.044	0.021 0.015	0.014 0.009	0.77 0.73	0.26 0.24	0.1	0.3	0.14 0.12	0.32 0.31	0.39 0.33	0.01	0.087

Note

1. Plastic or metal protrusions of 0.25 mm (0.01 inch) maximum per side are not included.

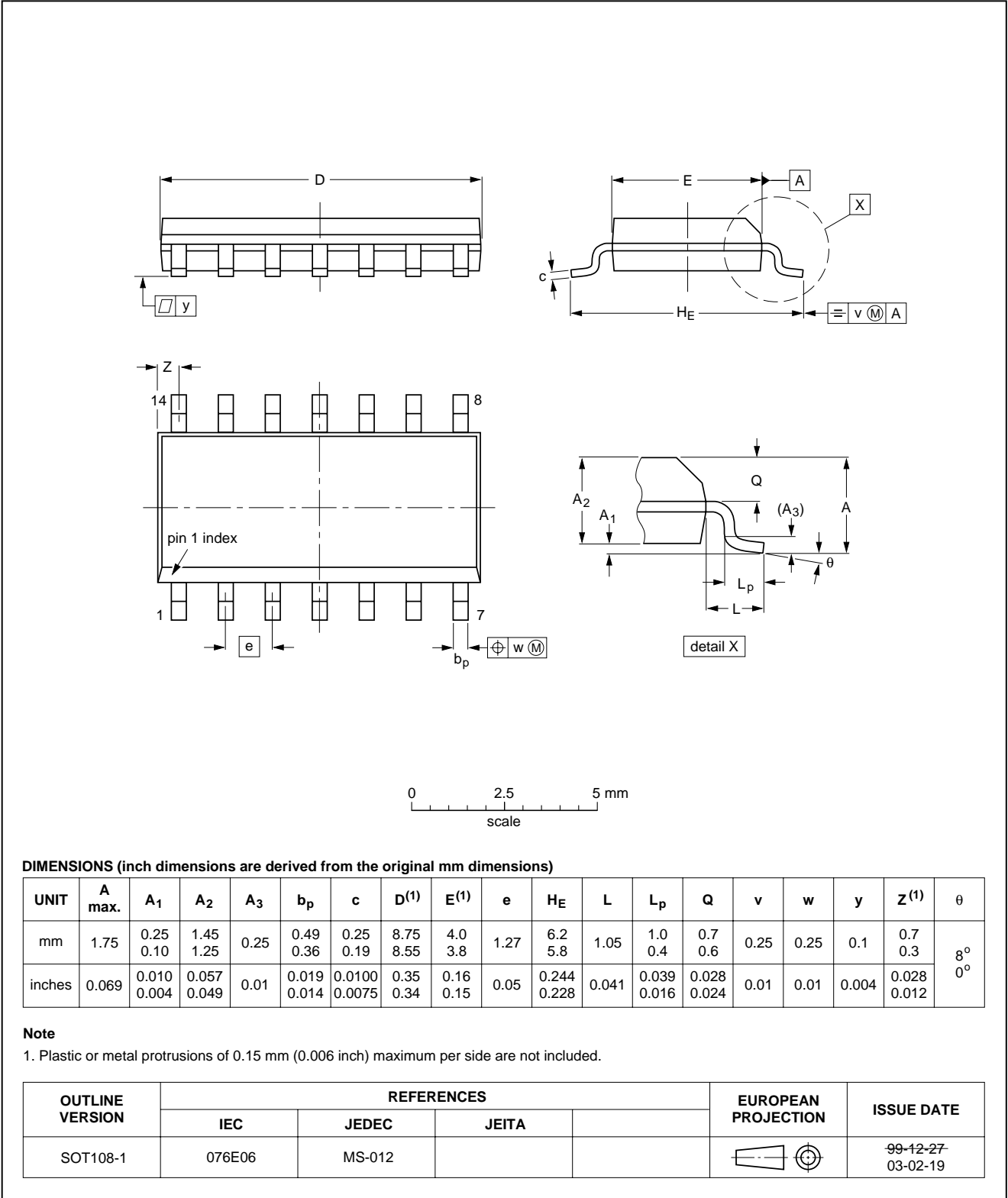
OUTLINE VERSION	REFERENCES				EUROPEAN PROJECTION	ISSUE DATE
	IEC	JEDEC	JEITA			
SOT27-1	050G04	MO-001	SC-501-14			99-12-27- 03-02-13

Dual D-type flip-flop with set and reset;
positive-edge trigger

74HC74; 74HCT74

SO14: plastic small outline package; 14 leads; body width 3.9 mm

SOT108-1

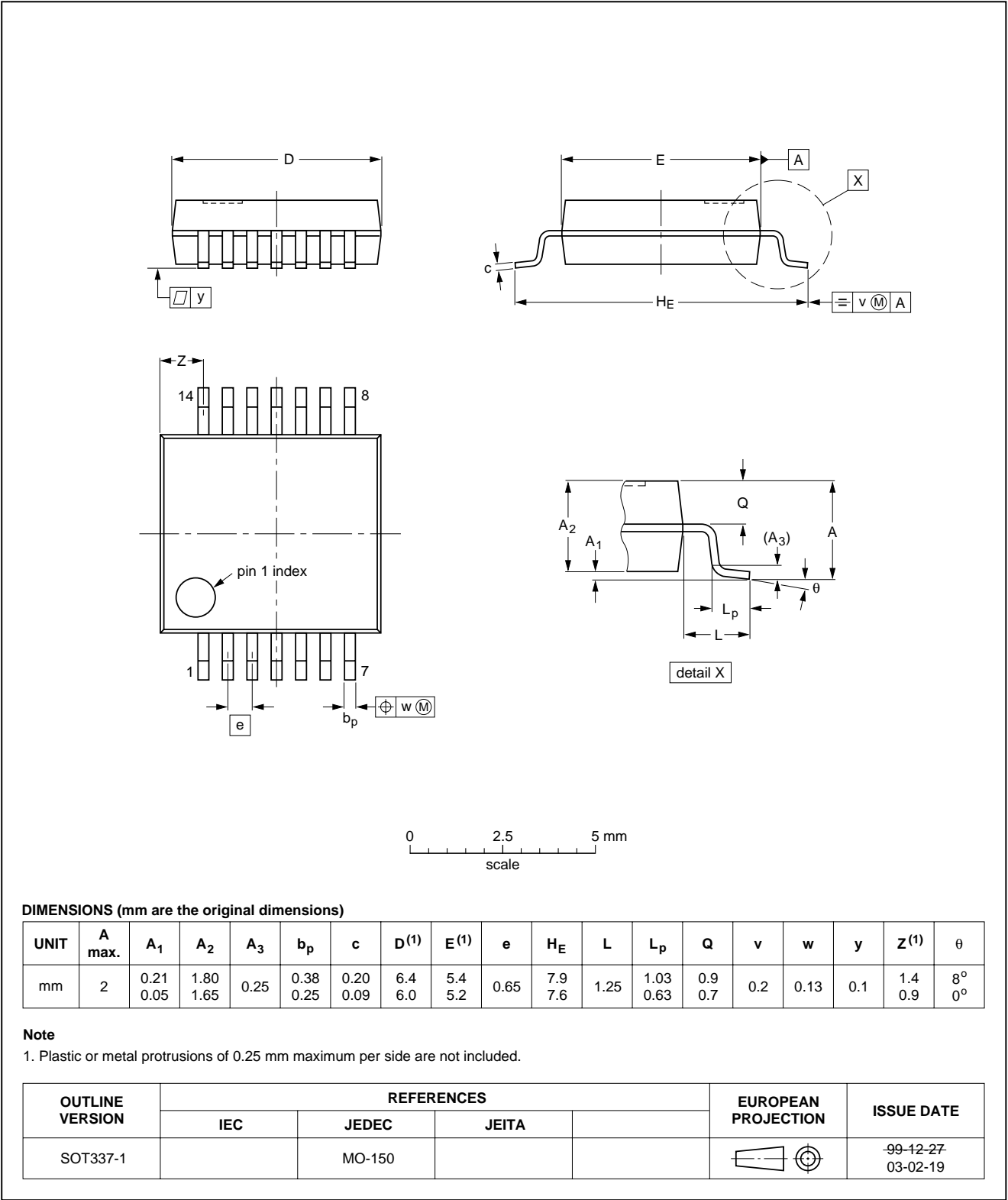


Dual D-type flip-flop with set and reset;
positive-edge trigger

74HC74; 74HCT74

SSOP14: plastic shrink small outline package; 14 leads; body width 5.3 mm

SOT337-1

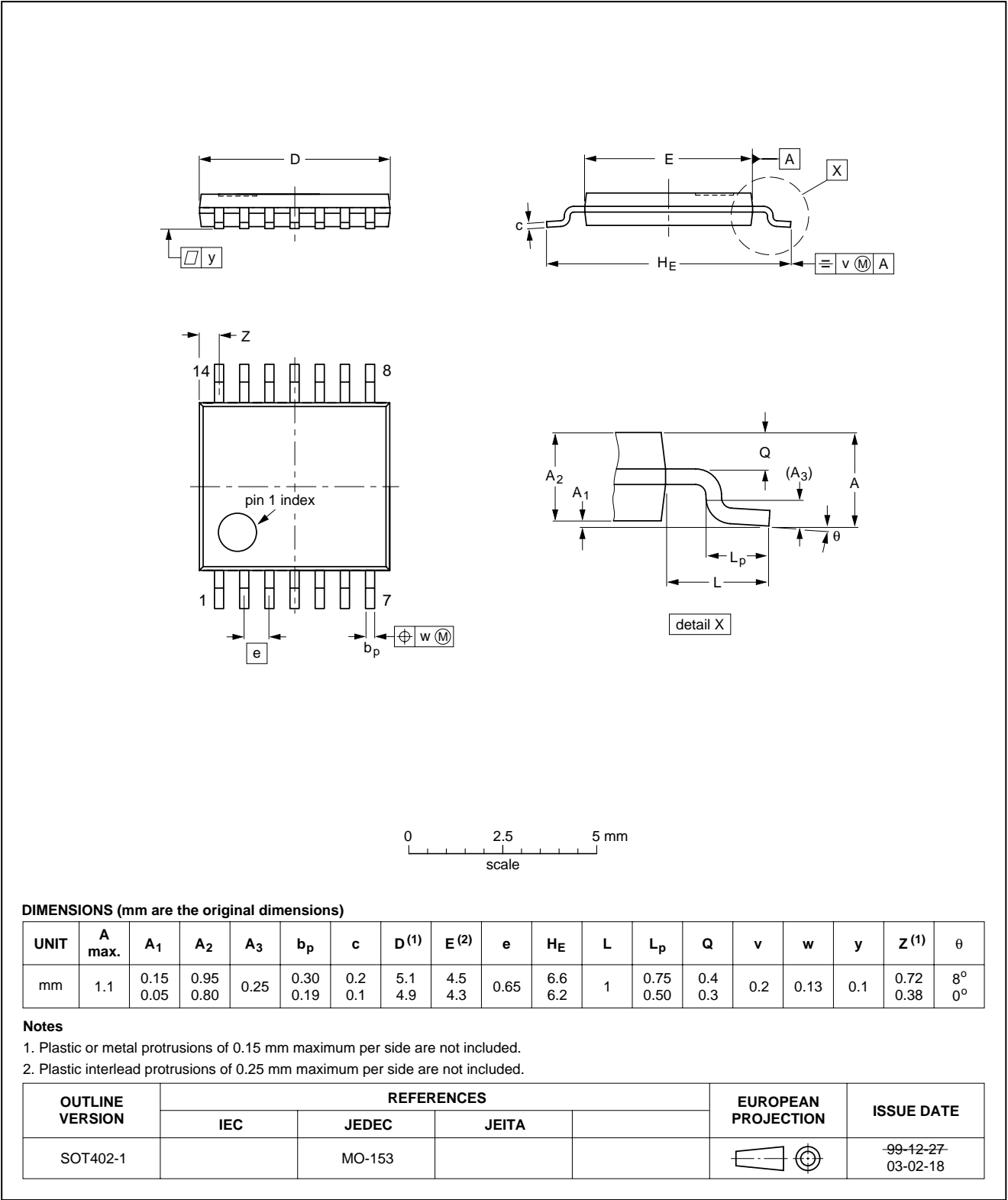


Dual D-type flip-flop with set and reset;
positive-edge trigger

74HC74; 74HCT74

TSSOP14: plastic thin shrink small outline package; 14 leads; body width 4.4 mm

SOT402-1

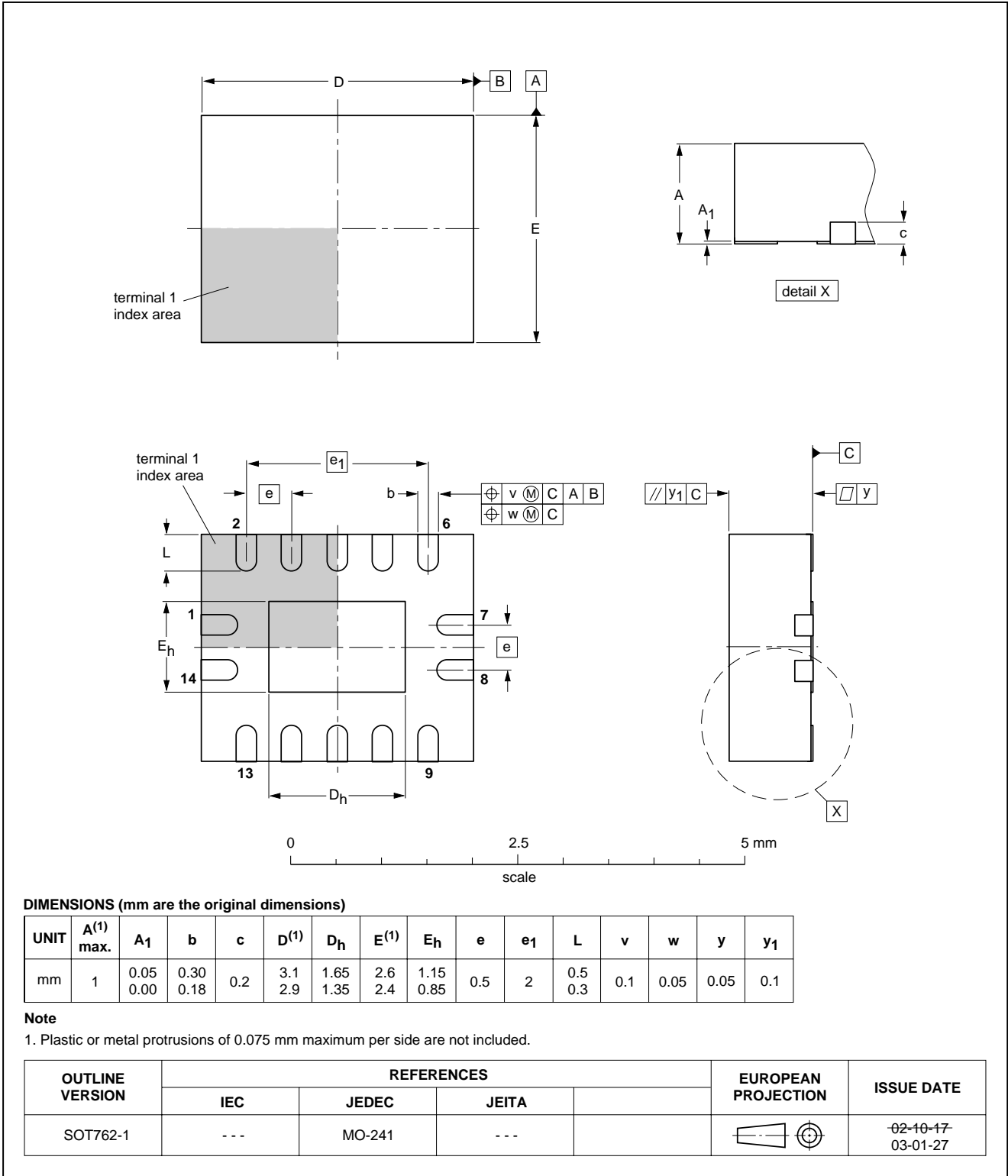


Dual D-type flip-flop with set and reset;
positive-edge trigger

74HC74; 74HCT74

DHVQFN14: plastic dual in-line compatible thermal enhanced very thin quad flat package; no leads;
14 terminals; body 2.5 x 3 x 0.85 mm

SOT762-1



Dual D-type flip-flop with set and reset; positive-edge trigger

74HC74; 74HCT74

DATA SHEET STATUS

LEVEL	DATA SHEET STATUS ⁽¹⁾	PRODUCT STATUS ⁽²⁾⁽³⁾	DEFINITION
I	Objective data	Development	This data sheet contains data from the objective specification for product development. Philips Semiconductors reserves the right to change the specification in any manner without notice.
II	Preliminary data	Qualification	This data sheet contains data from the preliminary specification. Supplementary data will be published at a later date. Philips Semiconductors reserves the right to change the specification without notice, in order to improve the design and supply the best possible product.
III	Product data	Production	This data sheet contains data from the product specification. Philips Semiconductors reserves the right to make changes at any time in order to improve the design, manufacturing and supply. Relevant changes will be communicated via a Customer Product/Process Change Notification (CPCN).

Notes

1. Please consult the most recently issued data sheet before initiating or completing a design.
2. The product status of the device(s) described in this data sheet may have changed since this data sheet was published. The latest information is available on the Internet at URL <http://www.semiconductors.philips.com>.
3. For data sheets describing multiple type numbers, the highest-level product status determines the data sheet status.

DEFINITIONS

Short-form specification — The data in a short-form specification is extracted from a full data sheet with the same type number and title. For detailed information see the relevant data sheet or data handbook.

Limiting values definition — Limiting values given are in accordance with the Absolute Maximum Rating System (IEC 60134). Stress above one or more of the limiting values may cause permanent damage to the device. These are stress ratings only and operation of the device at these or at any other conditions above those given in the Characteristics sections of the specification is not implied. Exposure to limiting values for extended periods may affect device reliability.

Application information — Applications that are described herein for any of these products are for illustrative purposes only. Philips Semiconductors make no representation or warranty that such applications will be suitable for the specified use without further testing or modification.

DISCLAIMERS

Life support applications — These products are not designed for use in life support appliances, devices, or systems where malfunction of these products can reasonably be expected to result in personal injury. Philips Semiconductors customers using or selling these products for use in such applications do so at their own risk and agree to fully indemnify Philips Semiconductors for any damages resulting from such application.

Right to make changes — Philips Semiconductors reserves the right to make changes in the products - including circuits, standard cells, and/or software - described or contained herein in order to improve design and/or performance. When the product is in full production (status 'Production'), relevant changes will be communicated via a Customer Product/Process Change Notification (CPCN). Philips Semiconductors assumes no responsibility or liability for the use of any of these products, conveys no licence or title under any patent, copyright, or mask work right to these products, and makes no representations or warranties that these products are free from patent, copyright, or mask work right infringement, unless otherwise specified.

Philips Semiconductors – a worldwide company

Contact information

For additional information please visit **<http://www.semiconductors.philips.com>**. Fax: **+31 40 27 24825**

For sales offices addresses send e-mail to: **sales.addresses@www.semiconductors.philips.com**.

© Koninklijke Philips Electronics N.V. 2003

SCA75

All rights are reserved. Reproduction in whole or in part is prohibited without the prior written consent of the copyright owner.

The information presented in this document does not form part of any quotation or contract, is believed to be accurate and reliable and may be changed without notice. No liability will be accepted by the publisher for any consequence of its use. Publication thereof does not convey nor imply any license under patent- or other industrial or intellectual property rights.

Printed in The Netherlands

613508/03/pp22

Date of release: 2003 Jul 10

Document order number: 9397 750 11259

Let's make things better.

**Philips
Semiconductors**



PHILIPS

VCSEL-1550-SM



SM 1550 nm VCSEL Pigtail with 2.5 Gbps

The 1550 nm single mode VCSEL is designed for high-speed, high-performance communication applications. Contact Optilab for more information.

Features

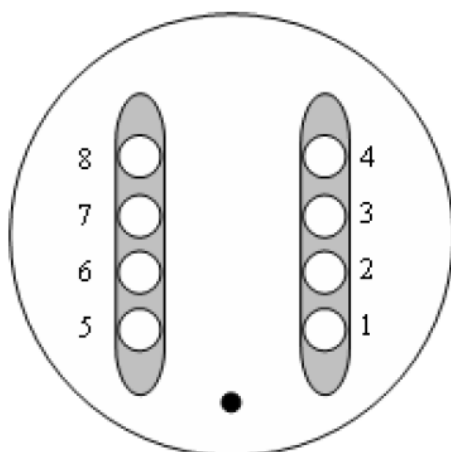
- Low dependence of electrical and optical characteristics over temperature
- Data rates up to 2.5 Gbps
- Cylindrical TO package with single mode fiber pigtail

Applications

- Access network for long distance (>2 km)
- Metro area network
- Gigabit Ethernet

TO-56 temp control/pigtail VCSEL

TO package bottom side view



Pin configuration

Number	Function
1	TEC cathode(-) for cool device
2	Thermistor
3	NA
4	VCSEL cathode/mPD anode
5	TEC anode(+) for cool device
6	Thermistor
7	mPD cathode
8	VCSEL anode

SM 1550 nm VCSEL Pigtail with 2.5 Gbps

OPTIONS

VCSEL-1550-SM

TECHNICAL INFO

For technical info and support:

sales@optilab.com

www.optilab.com

WEB ORDER

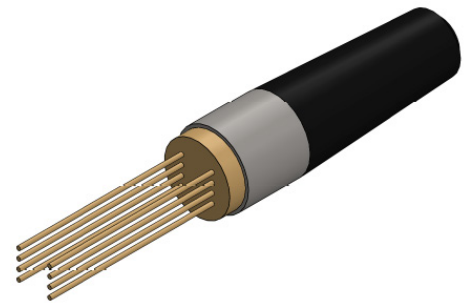
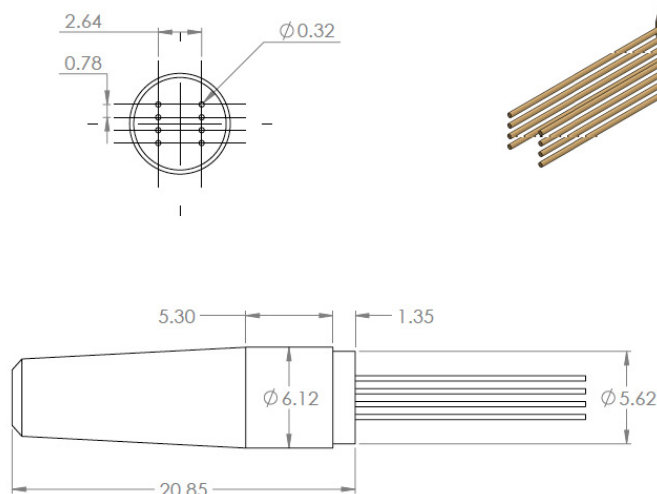
To order, please visit OEQuest.com.



Optical Specifications	
Wavelength	1510 nm to 1570 nm
Threshold Current	2 mA typ., 4 mA max.
Forward Voltage	3 V
Series Resistance	100 Ω typ., 300 Ω max.
Output Power	0.4 mW min., 0.5 mW typ.
Side Mode Suppression	30 dB min., 35 dB max.
Rise and Fall Time	100-150 psec typ.
Monitor Current	0.05 mA min., 0.1 mA typ.
m-PD Dark Current	0.1 μ A
Absolute Maximum Ratings	
Forward Current	15 mA
Reverse Voltage	5 V
Operating Temperature	70 ° C
Reflow Temperature	260 ° C
TEC Maximum Current	0.7 A
Mechanical Specifications	
Operation Temperature Range	0° to +70° C
Storage Temperature Range	0° to +100° C
Dimensions	28 mm x 7 mm x 7 mm

Optilab Advantage Mechanical Drawing

- Innovation
- Performance
- Quality
- Customization
- Warranty



Fiber Fabry-Perot Tunable Filter | FFP-TF2



Description

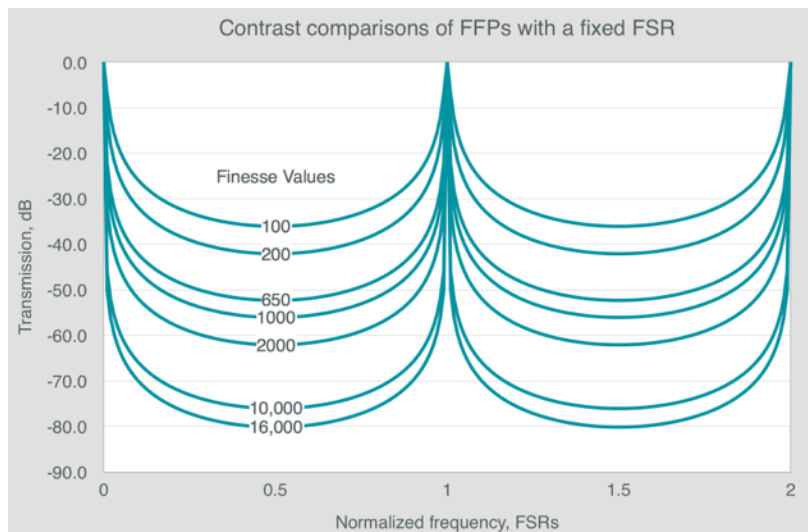
Micron Optics' patented FFP-TF2, Fiber Fabry-Perot (FFP) Tunable Filter achieves high finesse and maintains low loss in a rugged package.

The key to the simple and elegant design of the FFP tunable filter is the lensless all-fiber construction. There are no collimating optics or lenses, thus with the FFP tunable filter Micron Optics has eliminated the pitfalls of other Fabry-Perot component technologies, including misalignment, environmental sensitivity, and extraneous modes.

The FFP tunable filter follows the Airy function so closely that engineers can design it into the opto-electronic OEM systems knowing that it will provide results very close to the theoretical mathematical model.

The FFP-TF2 design provides improved etalon alignment for stable long-term, high reliability, and Telcordia-qualified performance at a more attractive price. Several standard low-cost configurations are readily available for quick delivery. Custom high performance multi-band configurations are also available for special uses including sensing, biotech, and scientific applications.

An all-fiber Fabry-Perot
super-cavity
in a robust, Telcordia
qualified package.



Key Features

All-fiber platform

High resolution and **low loss design**

Super-cavity finesse

Vibration and **shock resistant**

Thermally stable

Large dynamic range permits accurate measurements

Ideal for OEM applications

Customizable center wavelength, free spectral range, finesse & bandwidth

Center wavelength bands from 800 to 2000 nm

Small footprint

Low power requirements

Telcordia GR 2883 qualified



OEM Applications

Optical Performance Monitoring

Spectrum Analysis

Tunable Optical Noise Filtering

Tunable Channel Drop for Ultra DWDM

Tunable Sources

Optical Sensing

Fiber Fabry-Perot Tunable Filter | FFP-TF2



Optical Properties

Standard¹ FFP-TF2s

Operating Wavelength Range	1520-1570 nm	1520-1570 nm	1520-1570 nm	1460-1620 nm	1460-1620 nm
Free Spectral Range ²	12.5 THz (100 nm)	15 THz (120 nm)	15 THz (120 nm)	27.5 THz (220 nm)	27.5 THz (220 nm)
Finesse	650	1,000	2,000	2,000	10,000
Bandwidth, (FWHM or 3dB) ³	19 GHz (152 pm)	15 GHz (120 pm)	7.5 GHz (60 pm)	13.8 GHz (110 pm)	2.8 GHz (22 pm)
Insertion Loss	< 2.5 dB	< 3 dB	< 3 dB	< 3 dB	< 4 dB
Polarization Dependent Loss	< 0.2 dB				
Input Power	50 mW	30 mW	15 mW	15 mW	3 mW

Electrical Properties

Tuning Voltage/FSR	< 18 V				
Tuning Rate/FSR ⁴	800 Hz				
Capacitance	< 3 uF				
Tuning Voltage, Maximum	70 V				

Mechanical Properties

Dimension; Weight	13.5 x 25.8 x 57.2 mm; 53 g				
Mounting Holes	(4) #1-72 UNF x 0.16" deep				
Cable Jacket	900 um loose buffer tubing				
Cable Length	~ 1 m				

Environmental Properties⁵

Operating Temperature	-20 to 80 C				
Change in Voltage	< 12 V				
Change in Insertion Loss	< 0.5 dB				

Custom and OEM Options

Contact Micron Optics for configuration details

Wavelength bands: from 800 to 2000 nm

Free spectral range²: 100 to 45,000 GHz

Finesse: up to 16,000

Bandwidth³: from MHz to GHz

Ordering Information

FFP-TF2 www-wwwww-bbbu-ffff-ii-ccc

www Operating wavelength range
For example, 1520-1570

bbb Bandwidth
For example, 015 = 15 GHz

u Bandwidth unit
G GHz
M MHz

ffff Finesse
For example, 01000 = finesse of 1000

ii Insertion loss
For example, 2.5 = 2.5 dB loss

ccc 000 Unconnectorized
061 FC/APC (fusion spliced)
063 SC/APC (fusion spliced)
065 FC/APC (connectorized)
070 Side terminal configuration

Notes

¹ Standard specifications are fixed configurations. Please contact Micron Optics for custom specifications.

² FSRs are fixed but customizable within these ranges.

³ Bandwidth tolerances are typically +/-20%

⁴ Tuning rate/FSR are recommended maximums.

⁵ Complies to Telcordia GR 2883.



1852 Century Place NE
Atlanta, GA 30345 USA
www.micronoptics.com

Copyright © 2015, FFP-TF2-1511. All rights reserved.
Specifications subject to change without further notice.